

Міністерство освіти і науки України
Національний університет «Львівська політехніка»

Кафедра ЕОМ



Звіт

до лабораторної роботи № 1

з дисципліни «Моделювання комп'ютерних систем»
на тему:

«Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.
Ознайомлення зі стендом Elbert V2 – Spartan 3A FPGA»

Варіант №3

Виконав:
ст. гр. КІ-201
Бовтач П.В
Прийняв:
ст. викладач
каф. ЕОМ
Козак Н.Б.

Львів 2024

Етапи роботи:

1. Інсталяція Xilinx ISE та додавання ліцензії.
2. Побудова дешифратора (згідно варіанту) за допомогою ISE WebPACK™ Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
3. Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Spartan 3A FPGA.

Виконання завдання

Таблиця варіант 3

in_3	in_2	in_1	in_0	out_0	out_1	out_2	out_3
0	0	0	0	1	0	0	1
0	0	0	1	1	0	0	0
0	0	1	0	0	1	1	1
0	0	1	1	0	0	0	0
0	1	0	0	0	0	0	0
0	1	0	1	1	0	0	0
0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	0
1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0
1	0	1	0	1	0	0	0
1	0	1	1	1	0	0	1
1	1	0	0	1	1	0	0
1	1	0	1	0	1	0	1
1	1	1	0	0	1	0	0
1	1	1	1	0	1	1	0

Out_0

Map				
	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	1	1	0	0
$\overline{A}.B$	0	1	0	0
$A.B$	1	0	0	0
$A.\overline{B}$	0	0	1	1

Out_1

Map				
	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	0	1
$\overline{A}.B$	0	0	0	0
$A.B$	1	1	1	1
$A.\overline{B}$	0	0	0	0

Out_2

Map				
	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	0	1
$\overline{A}.B$	0	0	0	0
$A.B$	1	1	1	1
$A.\overline{B}$	0	0	0	0

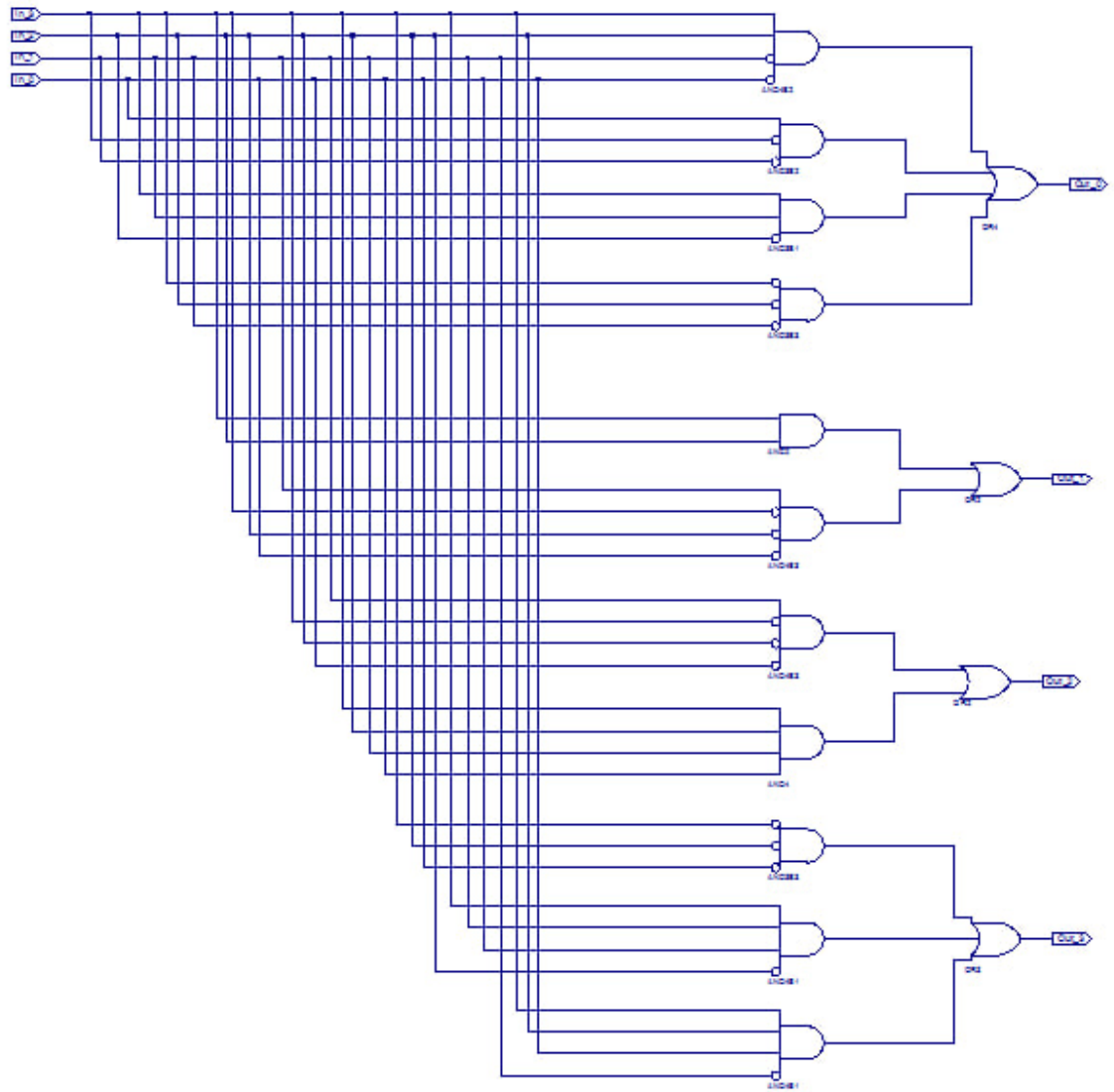
Out_3

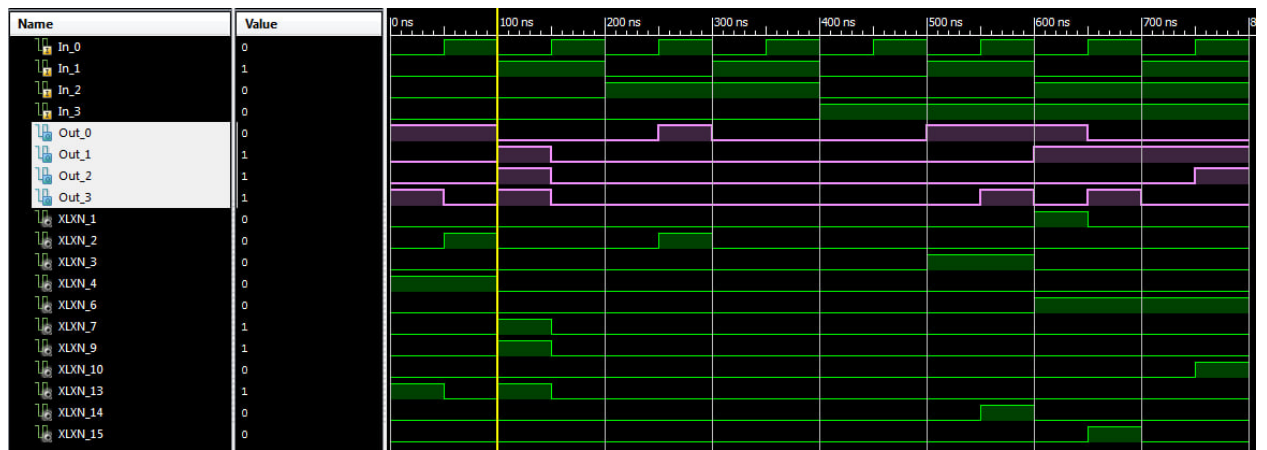
Map				
	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	0	0	0	1
$\overline{A}.B$	0	0	0	0
$A.B$	0	0	1	0
$A.\overline{B}$	0	0	0	0

Out_4

Map				
	$\overline{C.D}$	$\overline{C}.D$	$C.D$	$C.\overline{D}$
$\overline{A.B}$	1	0	0	1
$\overline{A}.B$	0	0	0	0
$A.B$	0	1	0	0
$A.\overline{B}$	0	0	1	0

Реалізована схема





Висновок

Виконуючи дану лабораторну роботу, я навчився використовувати ISE WebPACK™ Schematic Capture та моделювати його роботу за допомогою симулятора ISim, а також генерувати bit файл та тестувати його за допомогою стенда Elbert V2 – Spartan 3A FPGA.