Міністерство освіти і науки України

Національний університет “Львівська політехніка”

Кафедра ЕОМ



**Звіт**

З лабораторної роботи №2

З дисципліни: «Моделювання комп’ютерних систем»

На тему: «Структурний опис цифрового автомата Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan3A FPGA»

***Варіант 3***

Виконав: ст. гр. КІ-201

Бовтач П.В

Прийняв:

Козак Н.Б

**Львів 2024**

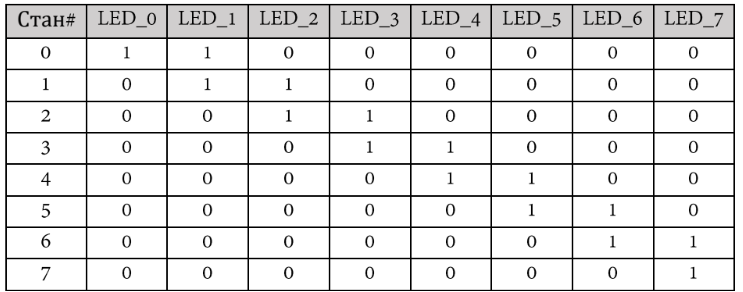
**Мета роботи:**

На базі стенда реалізувати цифровий автомат світлових ефектів

**Варіант виконання роботи:**

**Варіант 3**

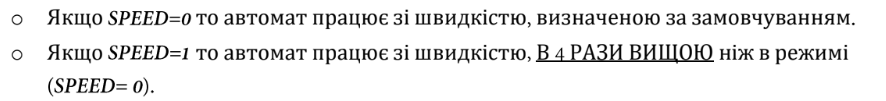
Пристрій повинен реалізувати комбінацій вихідних сигналів згідно таблиці:



* Пристрій повинен використовувати тактовий сигнал 12MHz від мікроконтролера і знижувати частоту за допомогою внутрішнього подільника Мікроконтролер є частиною стенда Elbert V2 – Spartan3A FPGA. Тактовий сигнал заведено на вхід LOC = P129 FPGA.
* Інтерфейс пристрою повинен мати вхід синхронного скидання (RESET).
* Інтерфейс пристрою повинен мати вхід керування режимом роботи (MODE):



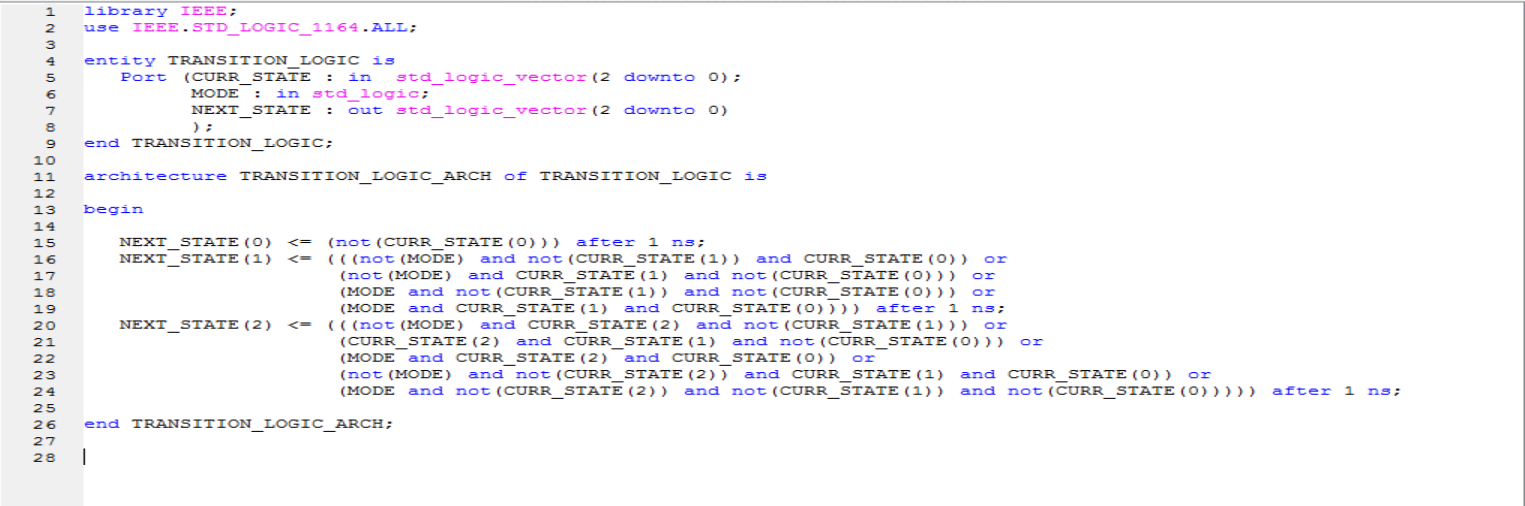
* Інтерфейс пристрою повинен мати однорозрядний вхід (SPEED):



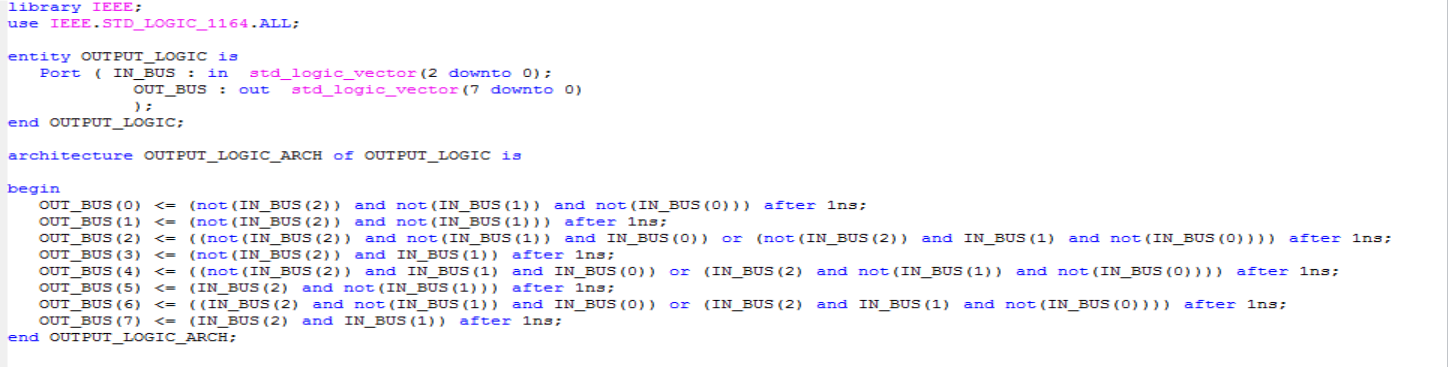
* Для керування сигналом MODE використати будь який з 8 DIP перемикачів.
* Для керування сигналами RESET/SPEED використати будь які з PUSH BUTTON кнопок.

**Виконання роботи:**

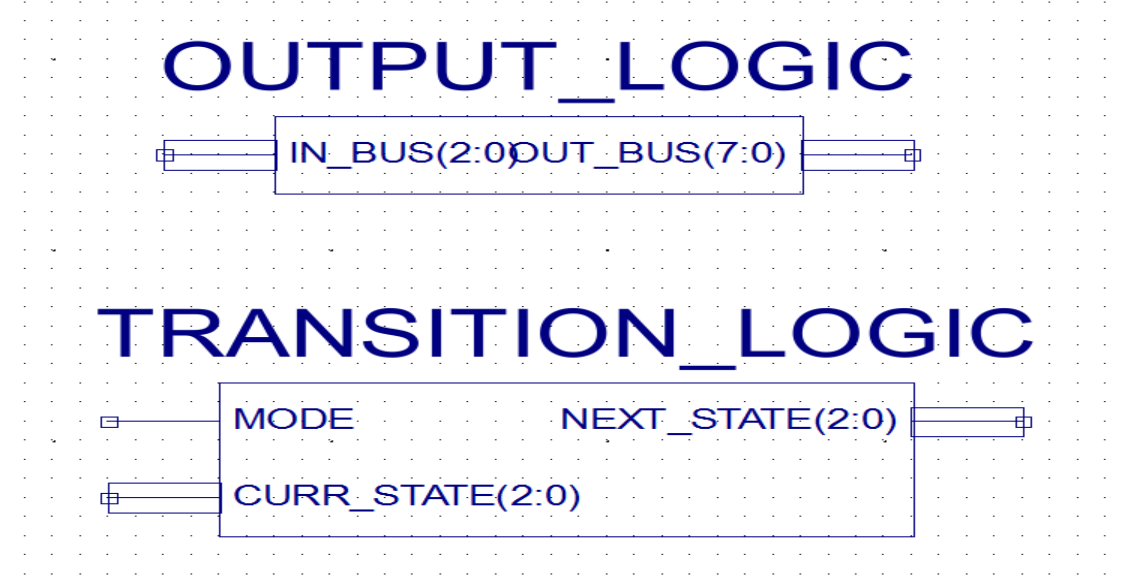
**VHDL опис логіки переходів**



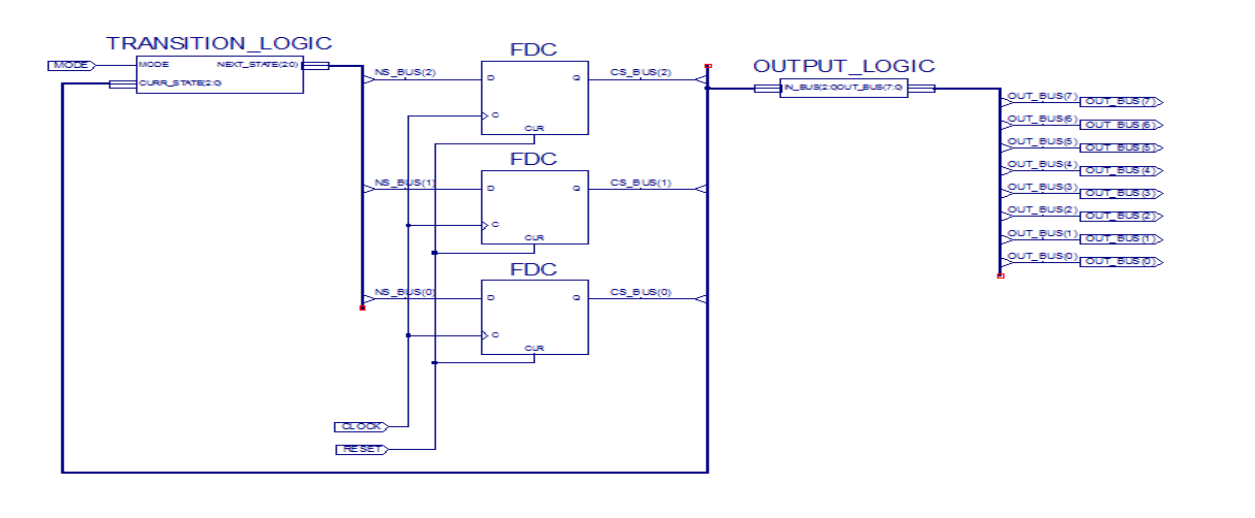
**VHDL опис вихідних сигналів**



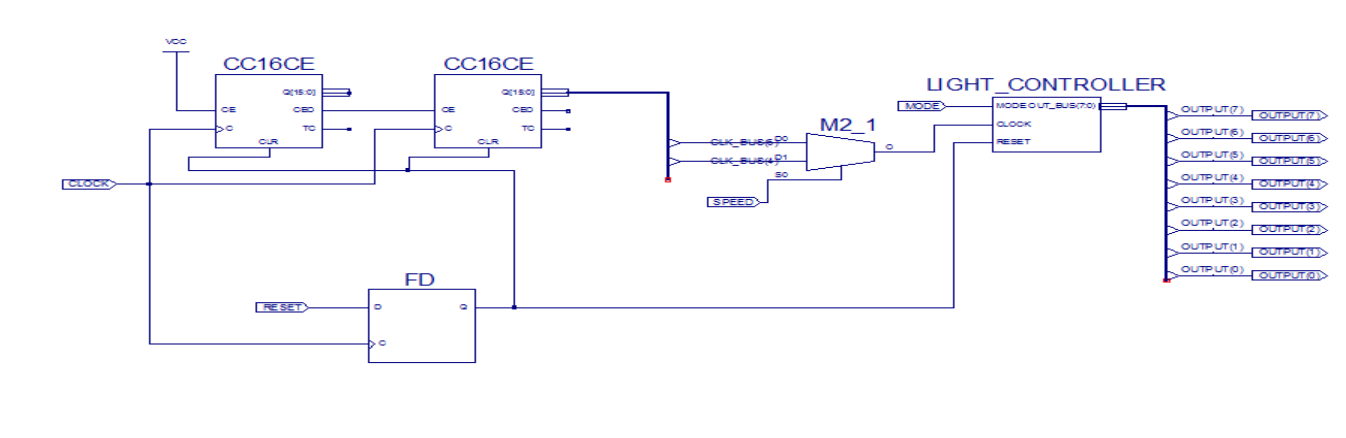
**Згенеровані схематичні символи**



**Інтеграція всіх створених компонентів разом з пам’яттю стану автомата**



**Автомат світлових сигналів та подільник тактового сигналу**



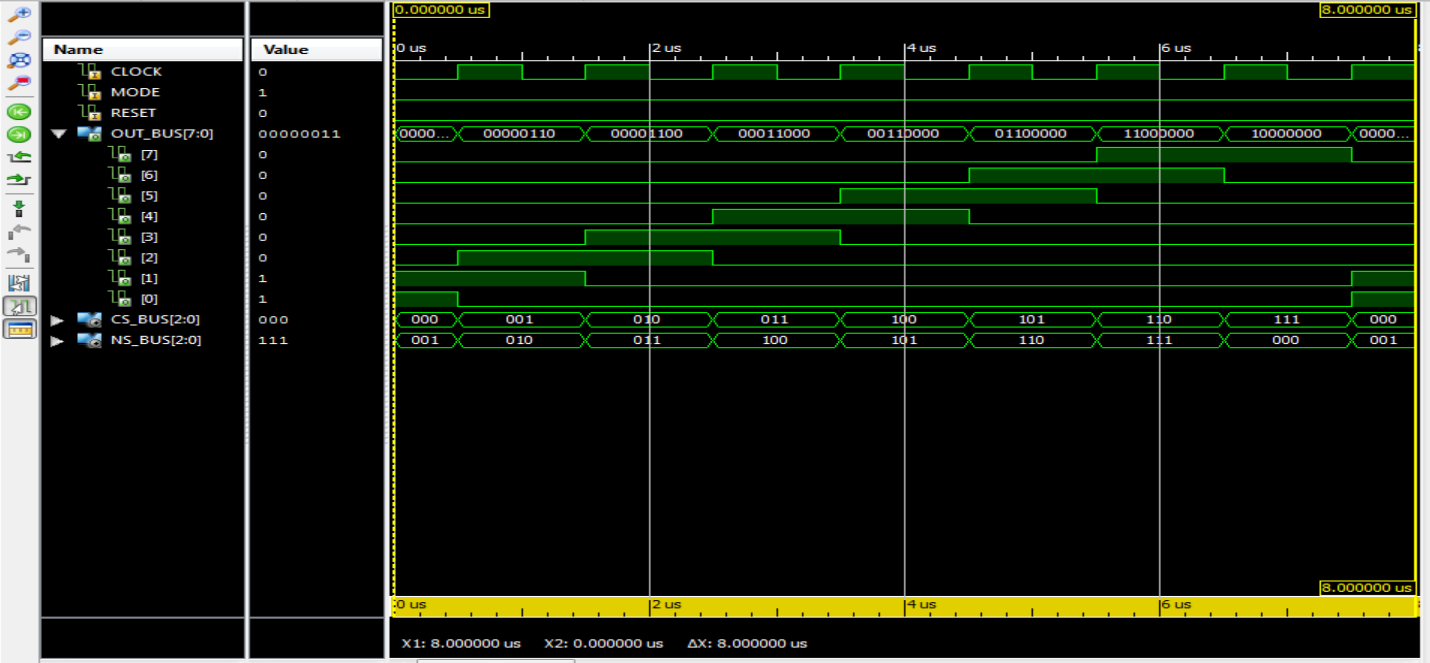
**Результати симуляції логіки переходів в ISim**



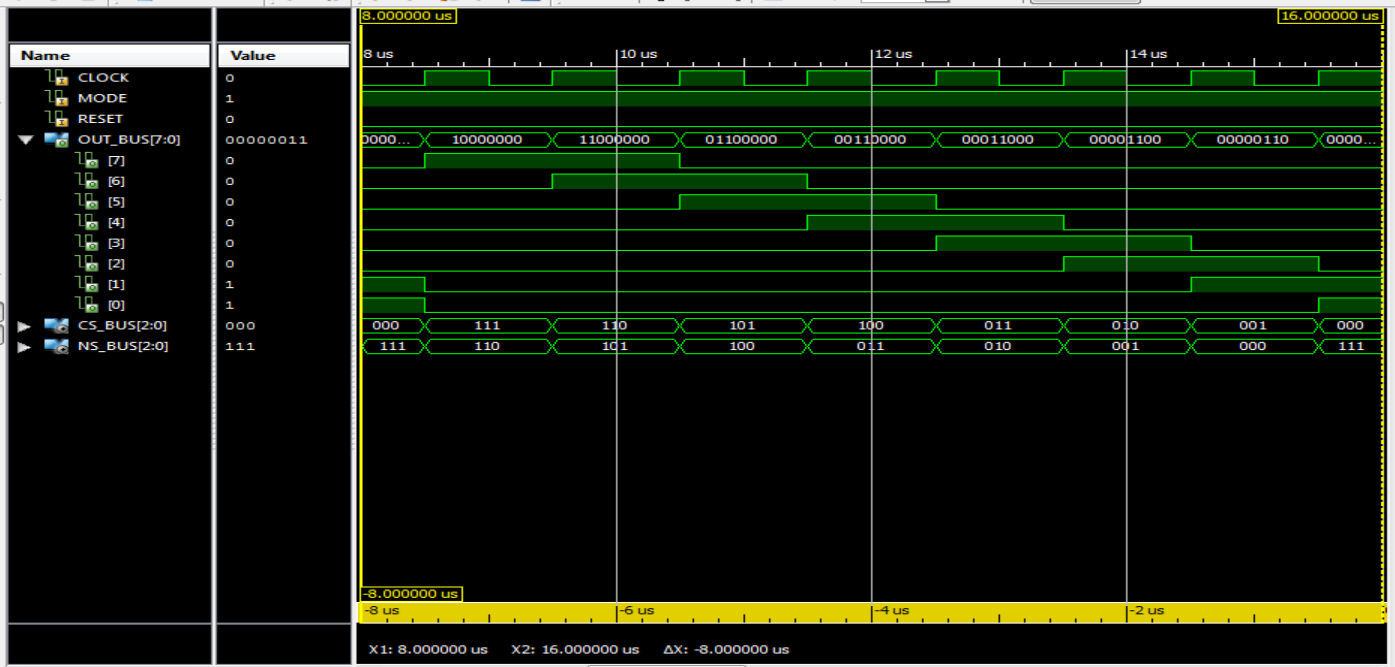
**Результати симуляції логіки вихідних сигналів в ISim**



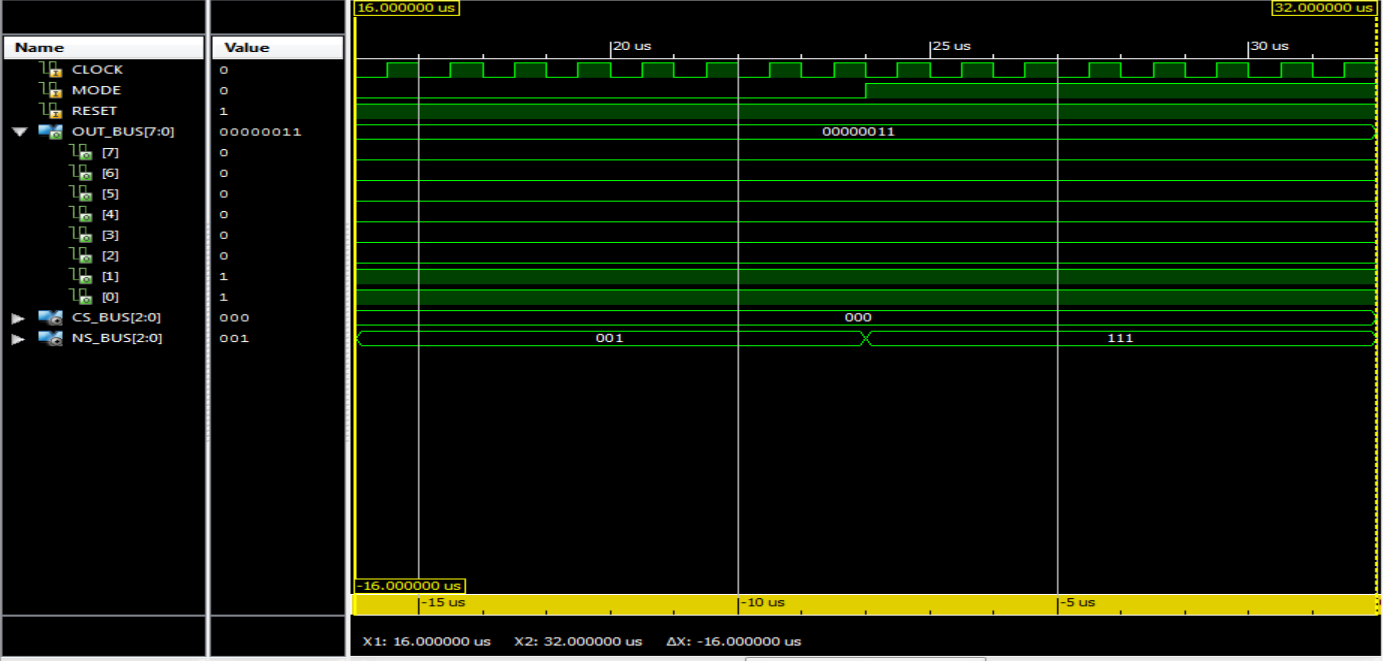
**Результати симуляції автомата (MODE = 0, RESET = 0)**



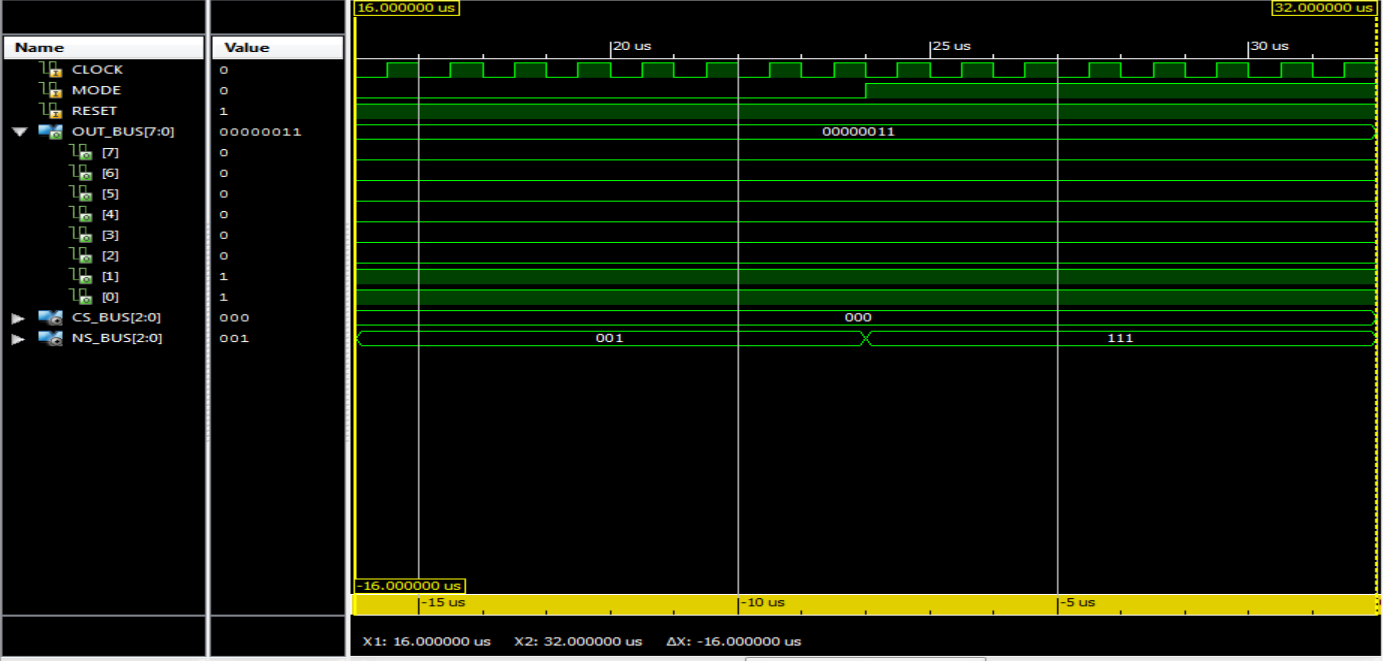
**Результати симуляції автомата (MODE = 1, RESET = 0)**



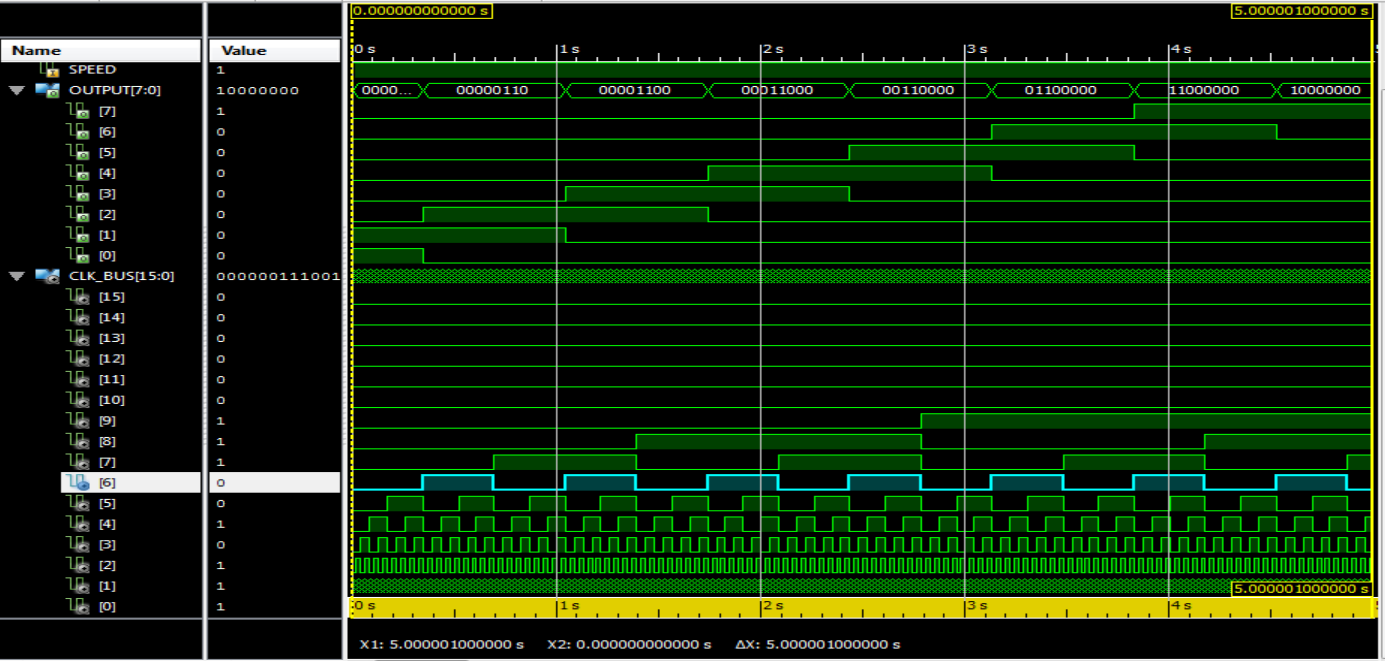
**Результати симуляції автомата (MODE = 0, RESET = 1)**



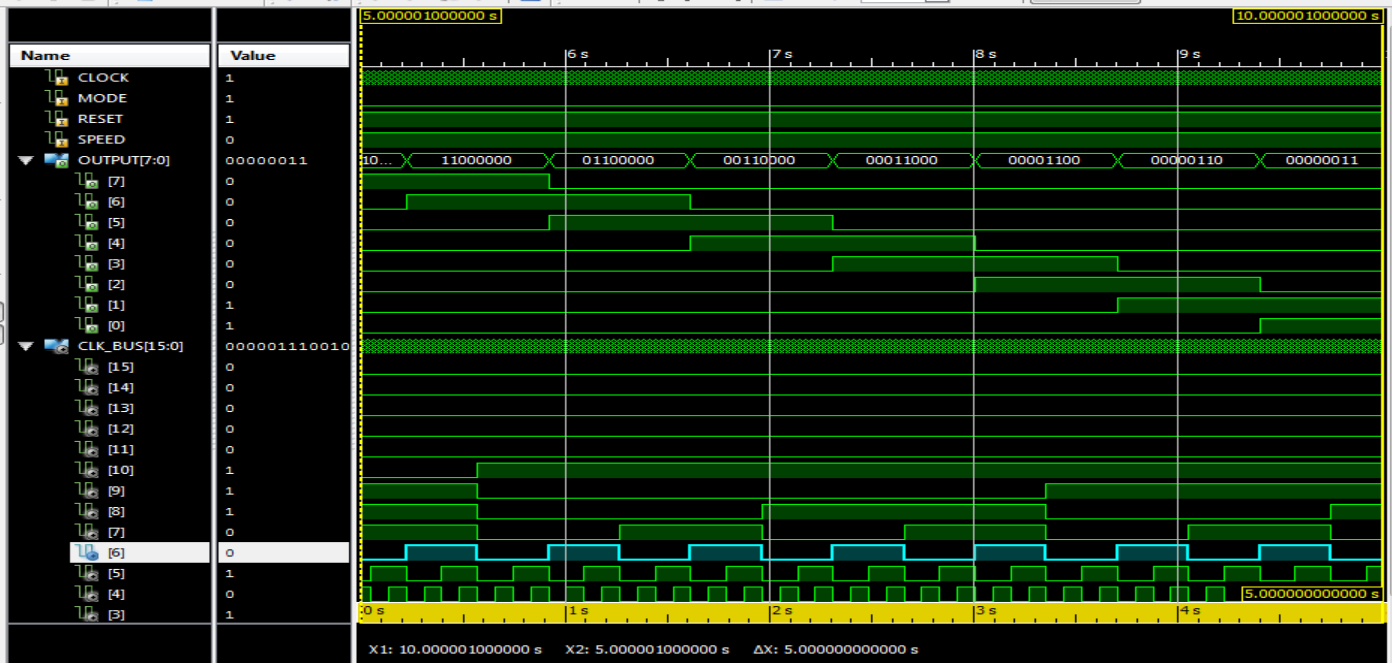
**Результати симуляції автомата (MODE = 1, RESET = 1)**



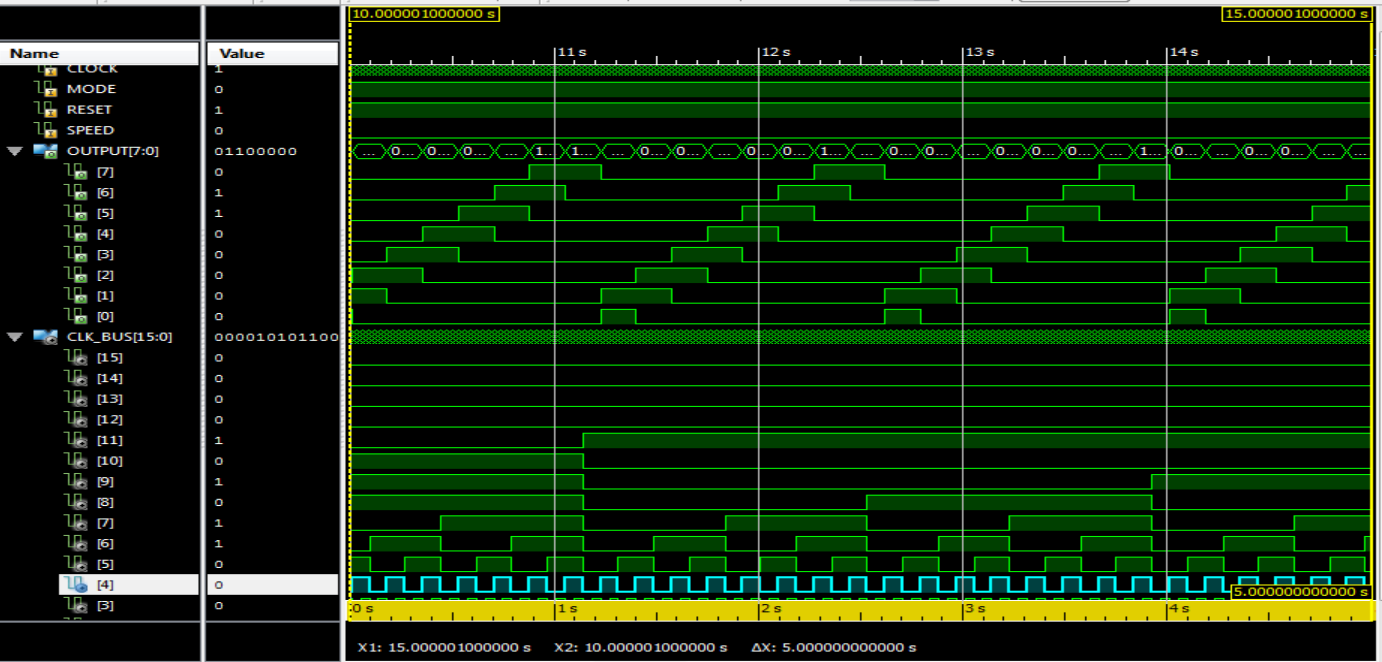
**Результати симуляції фінальної схеми (MODE = 0, SPEED = 0, RESET = 0)**



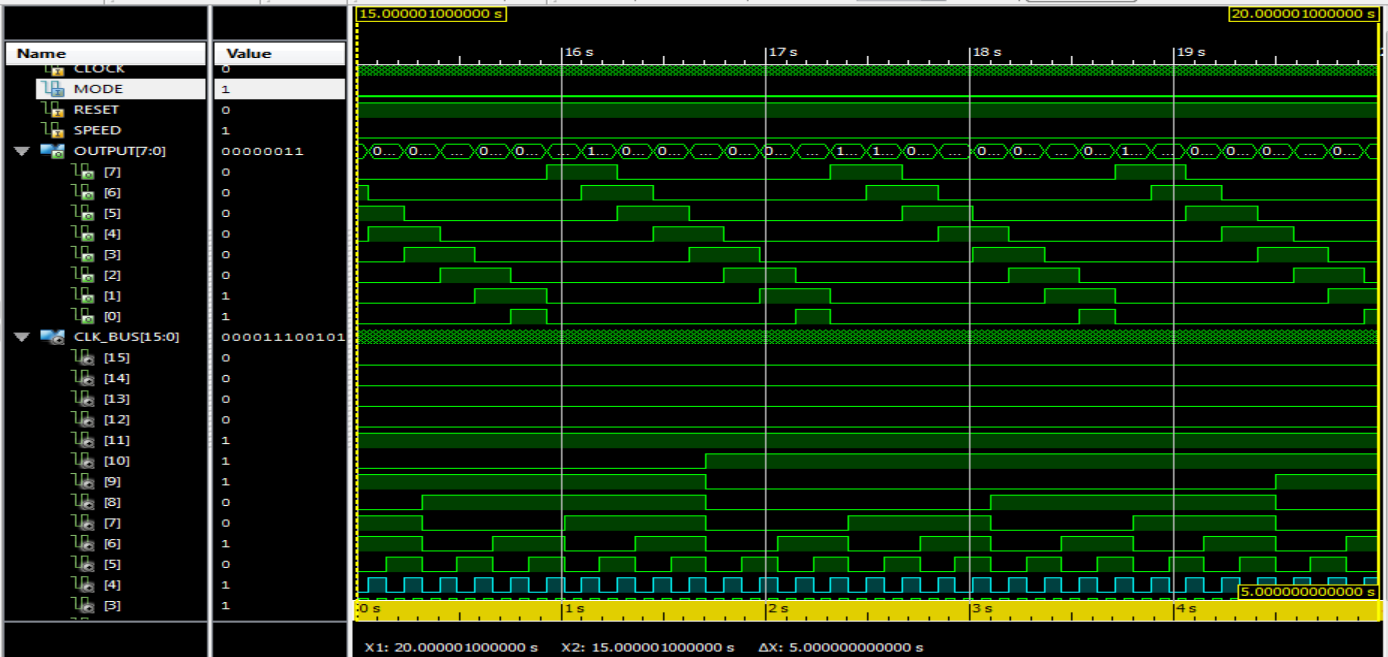
**Результати симуляції фінальної схеми (MODE = 1, SPEED = 0, RESET = 0)**



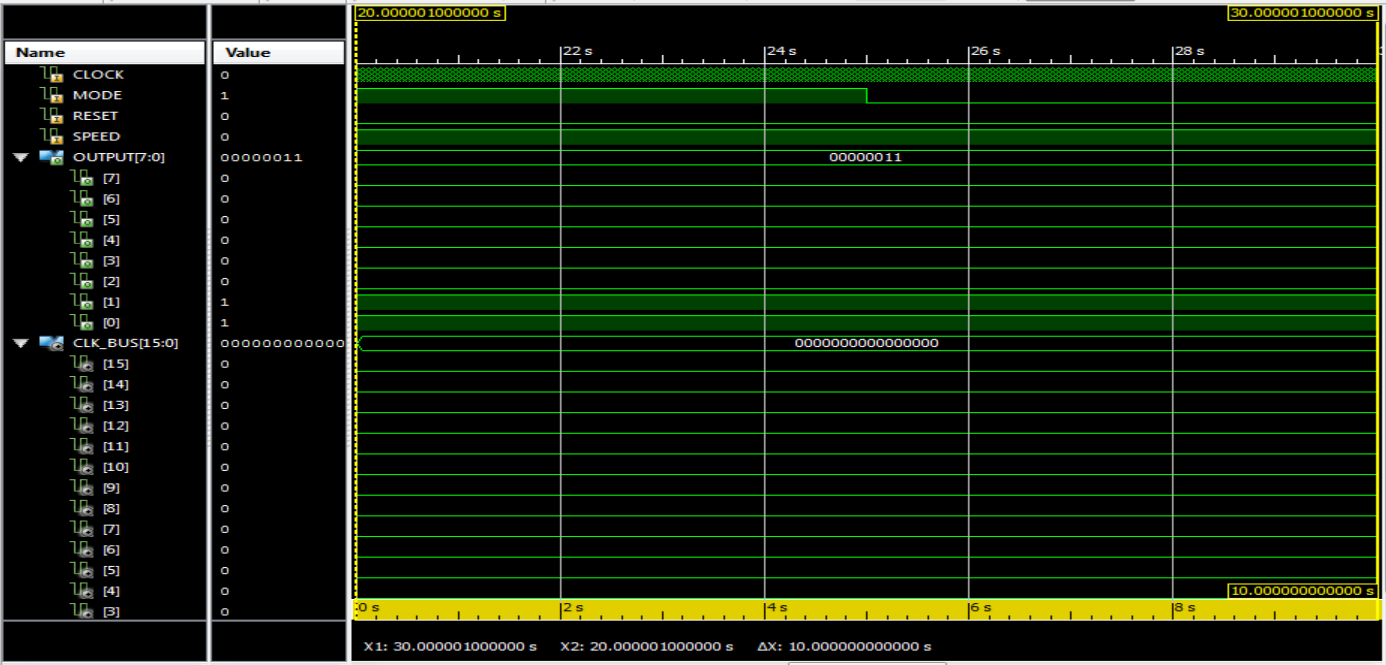
**Результати симуляції фінальної схеми (MODE = 0, SPEED = 1, RESET = 0)**



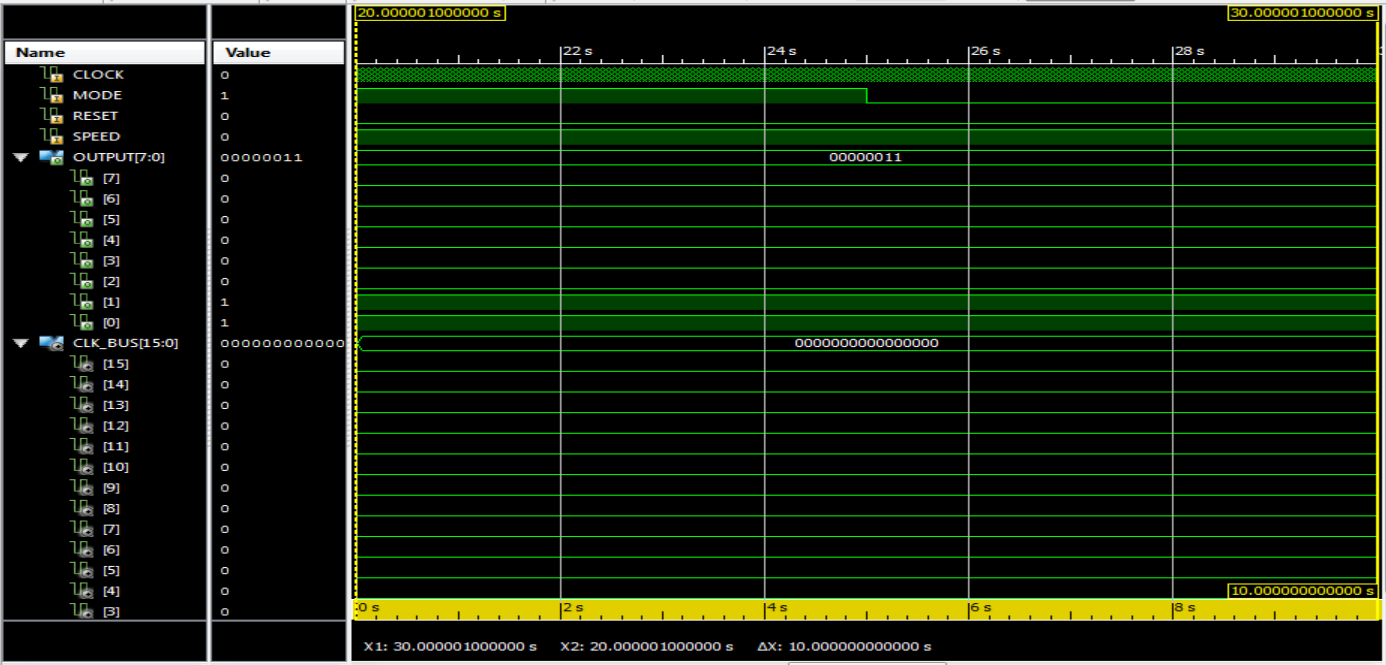
**Результати симуляції фінальної схеми (MODE = 1, SPEED = 1, RESET = 0)**



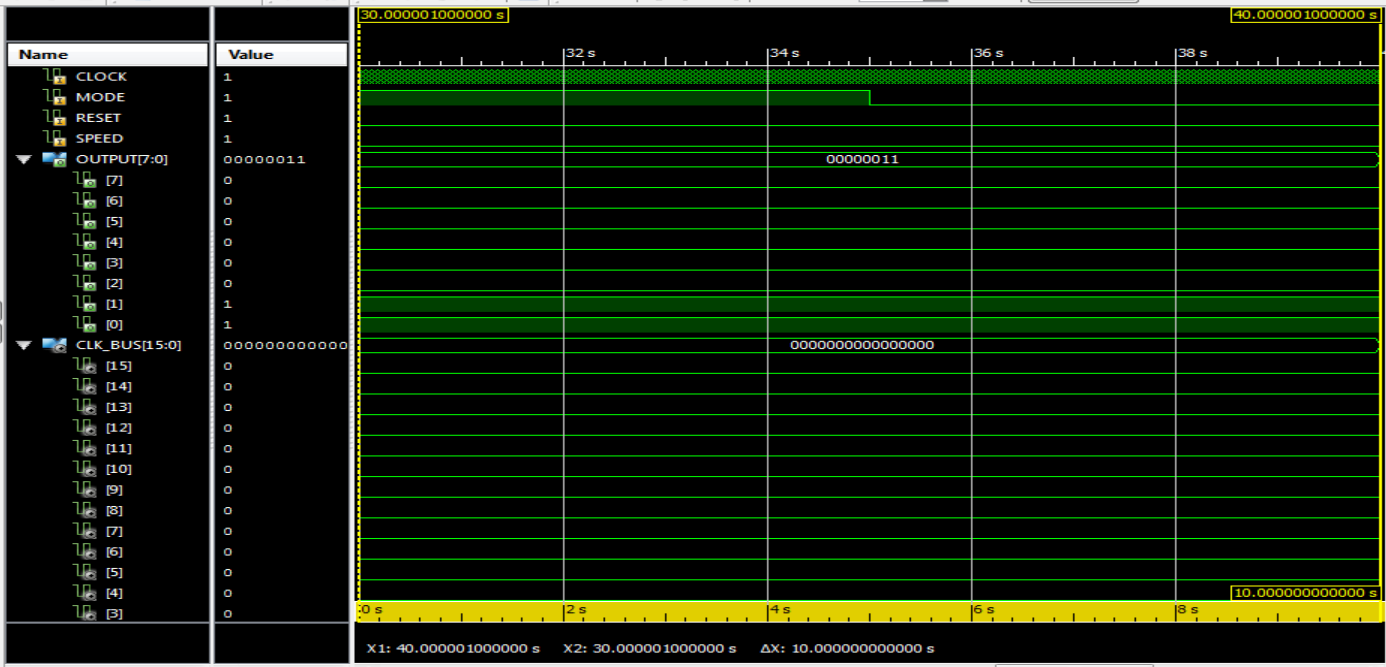
**Результати симуляції фінальної схеми (MODE = 0, SPEED = 0, RESET = 1)**



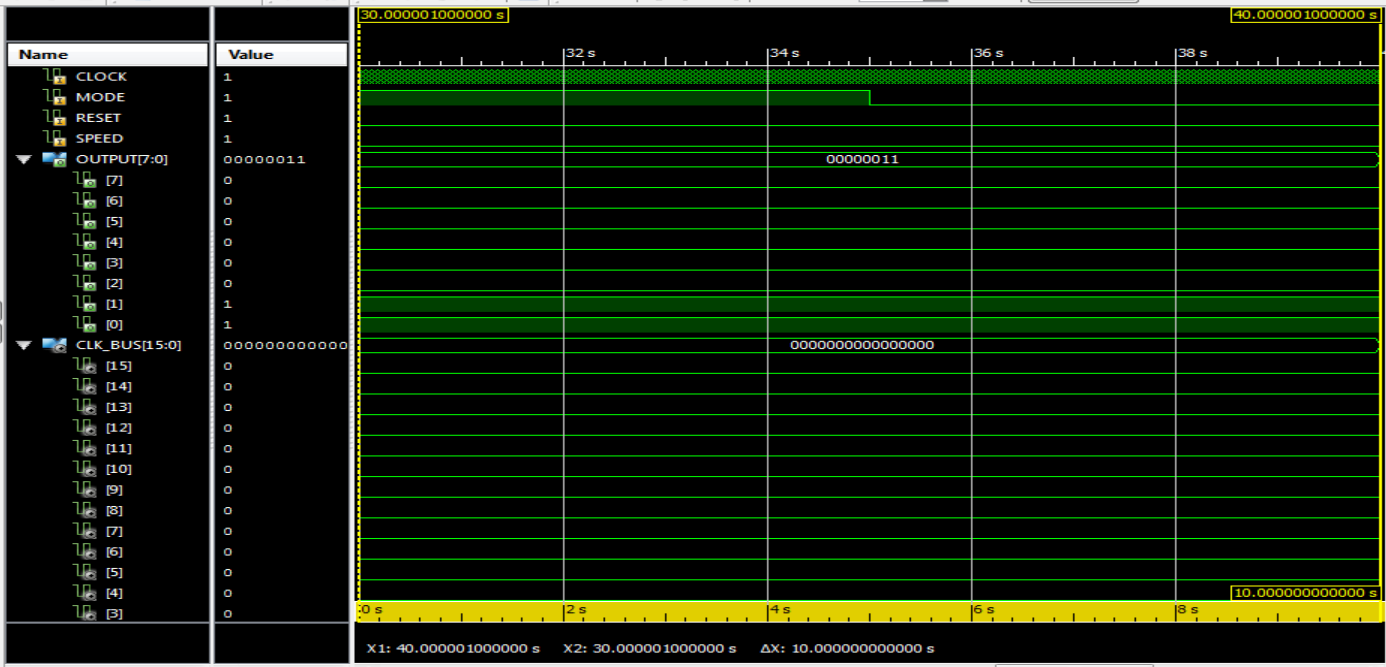
**Результати симуляції фінальної схеми (MODE = 1, SPEED = 0, RESET = 1)**



**Результати симуляції фінальної схеми (MODE = 0, SPEED = 1, RESET = 1)**



**Результати симуляції фінальної схеми (MODE = 1, SPEED = 1, RESET = 1)**



**TEST BENCH:**

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

USE ieee.numeric\_std.ALL;

LIBRARY UNISIM;

USE UNISIM.Vcomponents.ALL;

ENTITY TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb IS

END TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb;

ARCHITECTURE behavioral OF TOP\_SCHEME\_TOP\_SCHEME\_sch\_tb IS

COMPONENT TOP\_SCHEME

PORT( CLOCK : IN STD\_LOGIC;

RESET : IN STD\_LOGIC;

SPEED : IN STD\_LOGIC;

OUTPUT : OUT STD\_LOGIC\_VECTOR (7 DOWNTO 0);

MODE : IN STD\_LOGIC);

END COMPONENT;

SIGNAL CLOCK : STD\_LOGIC := '0';

SIGNAL RESET : STD\_LOGIC;

SIGNAL SPEED : STD\_LOGIC;

SIGNAL OUTPUT : STD\_LOGIC\_VECTOR (7 DOWNTO 0);

SIGNAL MODE : STD\_LOGIC;

BEGIN

CLOCK <= not CLOCK after 83ns;

UUT: TOP\_SCHEME PORT MAP(

CLOCK => CLOCK,

RESET => RESET,

SPEED => SPEED,

OUTPUT => OUTPUT,

MODE => MODE

);

-- \*\*\* Test Bench - User Defined Section \*\*\*

tb : PROCESS

BEGIN

MODE <= '0';

SPEED <= '0';

RESET <= '1', '0' after 200ms;

wait until RESET = '0';

assert OUTPUT = "00000011";

wait for 696255us;

assert OUTPUT = "00000110";

wait for 1392509us;

assert OUTPUT = "00001100";

wait for 1392509us;

assert OUTPUT = "00011000";

wait for 1392509us;

assert OUTPUT = "00110000";

wait for 1392509us;

assert OUTPUT = "01100000";

wait for 1392509us;

assert OUTPUT = "11000000";

wait for 1392509us;

assert OUTPUT = "10000000";

wait for 1392509us;

SPEED <= '1';

MODE <= '1';

RESET <= '1', '0' after 1ms;

wait until RESET = '0';

assert OUTPUT = "00000011";

wait for 175065us;

assert OUTPUT = "10000000";

wait for 348149us;

assert OUTPUT = "11000000";

wait for 348149us;

assert OUTPUT = "01100000";

wait for 348149us;

assert OUTPUT = "00110000";

wait for 348149us;

assert OUTPUT = "00011000";

wait for 348149us;

assert OUTPUT = "00001100";

wait for 348149us;

assert OUTPUT = "00000110";

wait for 348149us;

MODE <= '0';

SPEED <= '1';

RESET <= '1', '0' after 1ms;

wait until RESET = '0';

assert OUTPUT = "00000011";

wait for 175065us;

assert OUTPUT = "10000000";

wait for 348149us;

assert OUTPUT = "11000000";

wait for 348149us;

assert OUTPUT = "01100000";

wait for 348149us;

assert OUTPUT = "00110000";

wait for 348149us;

assert OUTPUT = "00011000";

wait for 348149us;

assert OUTPUT = "00001100";

wait for 348149us;

assert OUTPUT = "00000110";

wait for 348149us;

MODE <= '1';

SPEED <= '0';

RESET <= '1', '0' after 1ms;

wait until RESET = '0';

assert OUTPUT = "00000011";

wait for 696255us;

assert OUTPUT = "00000110";

wait for 1392509us;

assert OUTPUT = "00001100";

wait for 1392509us;

assert OUTPUT = "00011000";

wait for 1392509us;

assert OUTPUT = "00110000";

wait for 1392509us;

assert OUTPUT = "01100000";

wait for 1392509us;

assert OUTPUT = "11000000";

wait for 1392509us;

assert OUTPUT = "10000000";

wait for 1392509us;

MODE <= '0';

SPEED <= '0';

RESET <= '1', '0' after 1ms;

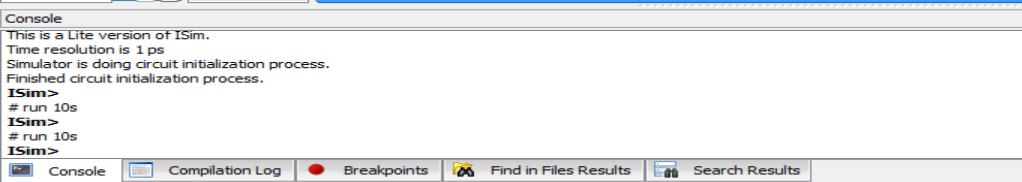
wait until RESET = '0';

END PROCESS;

...-- \*\*\* End Test Bench - User Defined Section \*\*\*

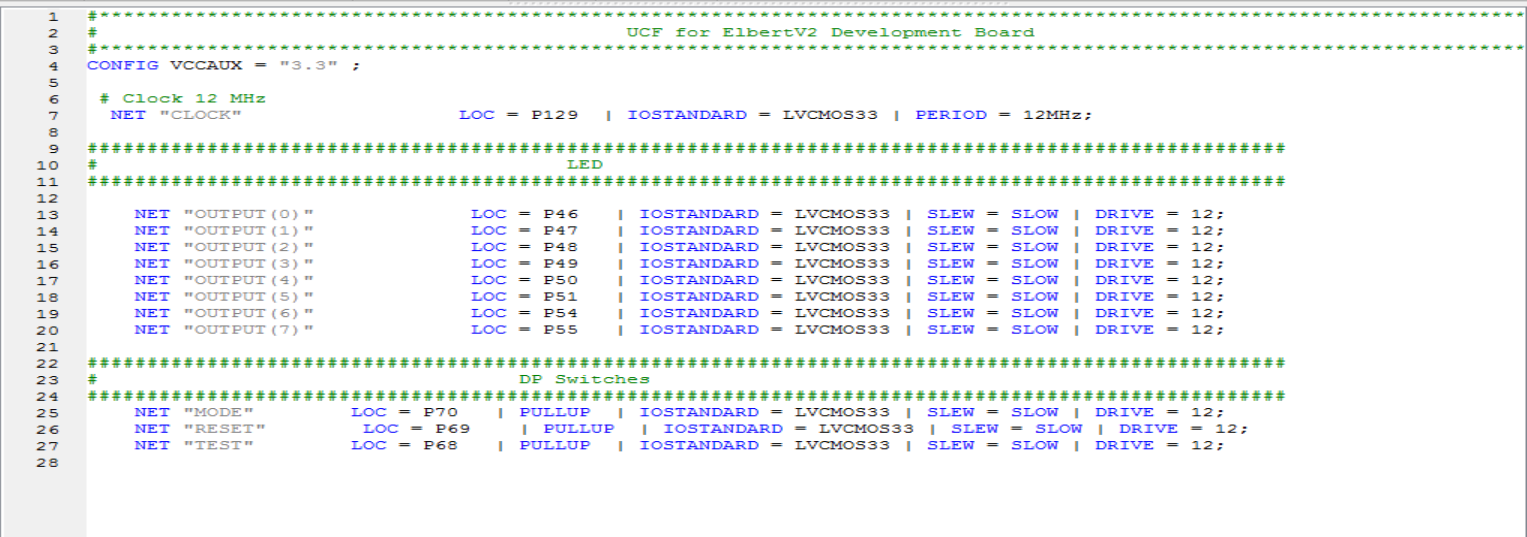
END;





**Результати TEST BENCH**

Призначення фізичних входів та виходів



**Висновок:**

В ході виконання цієї лабораторної роботи я реалізував на базі стенда Elbert V2 – Spartan3A FPGA цифровий автомат світлових ефектів згідно заданих вимог