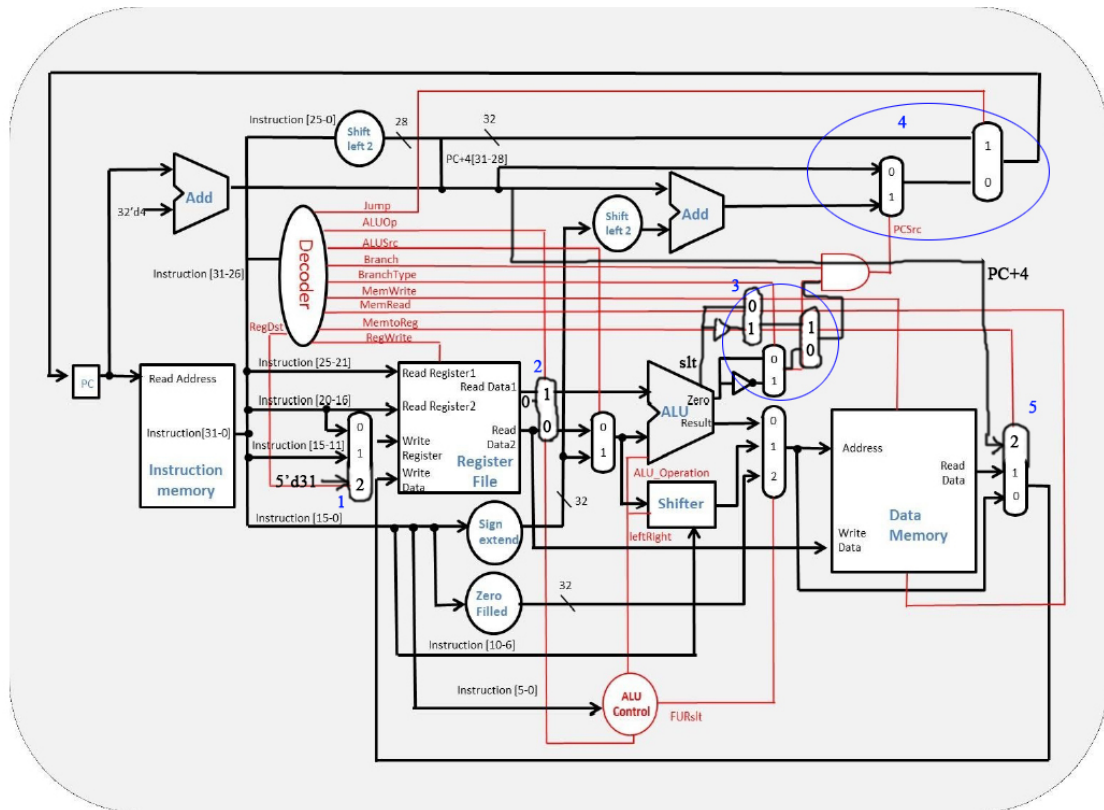


# Computer Organization

Architecture diagrams:



Hardware module analysis:

## 1. 新增的硬體

- 1 : 預設 5'd31 的暫存器位置用來讓 jar 寫入 \$r31
- 2 : 預設  $rt = 0$ ，用來給 blt, bgez 判斷的 0 (防止 r0 被改掉時功能錯誤)
- 3 : 用 2 個 flag (zero, slt) 來判斷，再用一個 mux 來選要用哪種 flag 的結果做 branch 判斷
- 4 : 左邊的 mux 是用來判斷在 bne, beq 時有沒有要 branch，如果 PCsrc=1 代表符合條件需要 branch。右邊的 mux 是用來判斷是直接 jump 還是條件判斷後 branch
- 5 : 用於 jar 將 pc+4 傳到 Reg File 寫入

## 2. 新增的 control signal

Select\_Zero\_branch = rs=rt 時為 1，rs!=rt 時為 0

Select\_Slt\_branch = rs<rt 時為 1，rs>=rt 時為 0

Select\_branchType：bne, beq 用==判斷的指令為 0，blt, bgez 等用<或>=判斷的指令為 1

RegDst：新增 2 用來選擇 5'd31

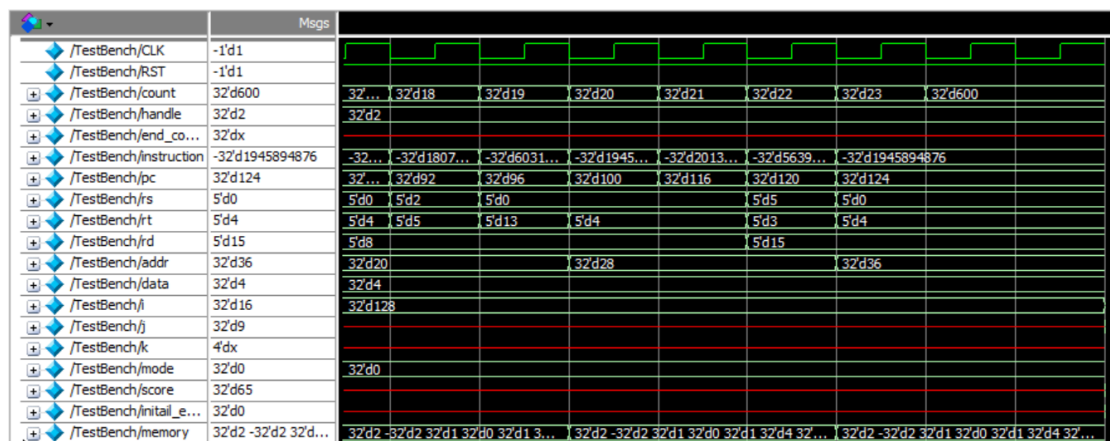
MemtoReg：Rtype 指令輸出=0，Ltype 指令輸出=1，PC+4 輸出=2(jar)

MemRead：只有 lw=1，其餘為 0

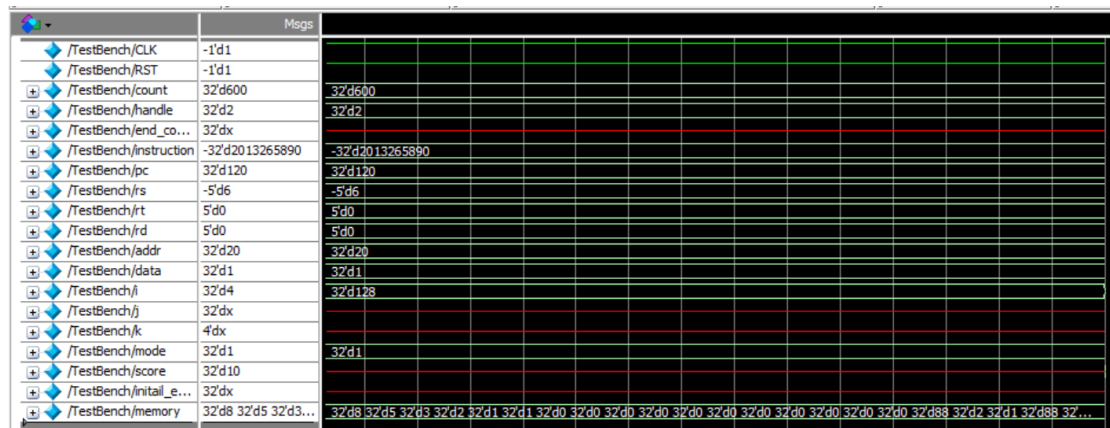
MemWrite：只有 sw=1，其餘為 0

## Finished part:

### Test data 1



### Test data 2



### Test data 2\_2

