Logic Design Lab Report: Week 9

2013-11826 임주경

1. Introduction

8-bit Universal Shift Register를 Verilog를 이용해서 Behavioral description 방식으로 구현하고 Simulate 해본다.

2. Implementation

구현의 I/O specification은 shift_reg_8b template을 따른다. 구현 방식은 Behavioral description을 사용하였으며, reg [7:0] O를 따로 선언하였다. always 구문을 이용해, 각 컨트롤 input에 맞는 결과값을 O에 저장한다. 이때, always @(posedge CLK or negedge CLRb)의 조건을 사용하여 positive edge-triggered로 구현하였고, if구문을 사용해 CLRb가 negedge이거나, 그렇지 않고 0의 값을 유지해도 output은 0이 나오도록 한다. 나머지의 경우는 else를 이용해 구현한다. 즉, Asynchronous CLRb의 특징을 살려 구현한다. 이외에 나머지 함수는 8-bit Universal Shift Register의 Truth table을 참고하였으며, 최종적으로 output [7:0] Q에 O의 값을 assign 해준다.

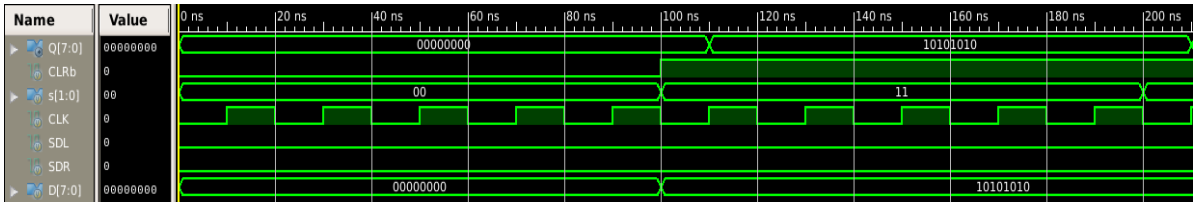
3. Result

결과값이 맞는지 확인하기 위해서 test bench code를 작성하였다. 핵심 코드는 아래의 그림과 같다.

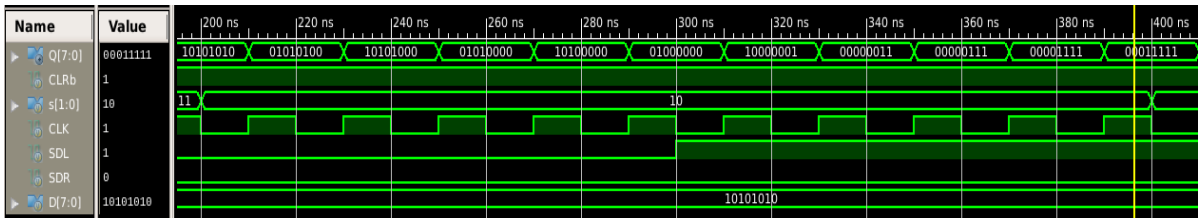
```
26
27      always #10 CLK = ~CLK;
28
29      initial begin
30          // Initialize Inputs
31          CLRb = 0;
32          s = 2'b00;
33          CLK = 0;
34          SDL = 0;
35          SDR = 0;
36          D = 8'b00000000;
37          #100;
38
39          CLRb = 1;
40          s = 2'b11;
41          SDL = 0;
42          SDR = 0;
43          D = 8'b10101010;
44          #100;
45
46          CLRb = 1;
47          s = 2'b10;
48          SDL = 0;
49          #100;
50
51          CLRb = 1;
52          s = 2'b10;
53          SDL = 1;
54          #100;
55
56          CLRb = 1;
57          s = 2'b01;
58          SDR = 0;
59          #100;
60
61          CLRb = 1;
62          s = 2'b01;
63          SDR = 1;
64          #100;
65
66          CLRb = 1;
67          s = 2'b00;
68          SDL = 0;
69          SDR = 0;
70          #100;
71
72          CLRb = 0;
73          s = 2'b00;
74          SDL = 0;
75          SDR = 0;
76          #100;
77      end
78
```

클락은 초기값 0에서부터 딜레이 10마다 값이 변하도록 설정하고, 테스트는 초기화, parallel load,

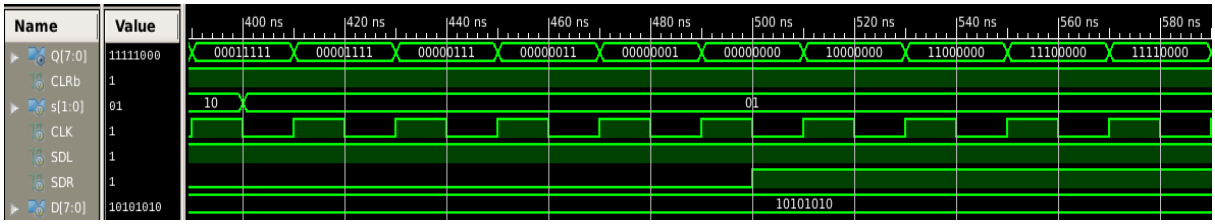
shift left (SDL = 0 & 1), shift right (SDR = 0 & 1), hold, clear 순서로 진행하였다. 결과 waveform은 아래 그림과 같다.



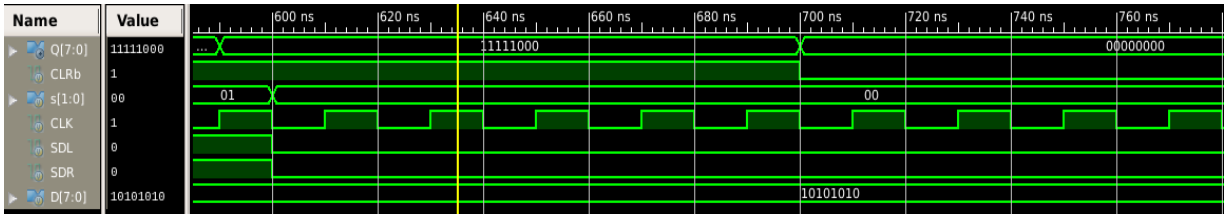
초기화하고 난 뒤 2'b10101010으로 parallel load



Shift left (300 ns에서 SDL : 0 -> 1)



Shift right (500 ns에서 SDR : 0 -> 1)



Hold 하다가 700 ns에서 CLRb : 1 -> 0

4. Conclusion/Discussion

테스트결과 정확한 결과값을 확인할 수 있었다. Posedge triggered 특징을 확인할 수 있으며, Shift도 SDL, SDR의 값에 따라서 정확하게 구현되었다. 또한, CLRb가 negedge가 일어나거나, 그대로 0을 유지할 때 모두의 경우에서 클락과 asynchronous하게 output은 0을 유지하고 있음을 확인할 수 있다. 따라서, 잘 구현된 결과를 얻을 수 있었다.