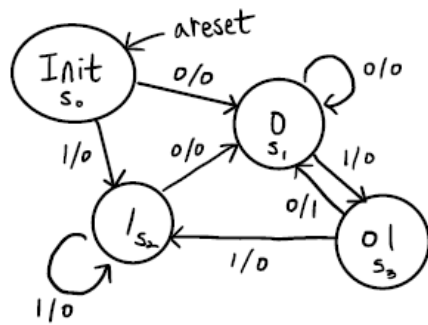


## 1. Introduction

'010' sequence detector를 Verilog를 이용해서 구현해본다.

## 2. Implementation

구현하고자 하는 sequence detector는 sequence의 마지막이 '010'일 때, Output이 1이며, 나머지는 0이다. Mealy machine으로 구현하며, State는 Clock의 positive edge일 때 변화한다. Input 변수 areset이 1이면, 초기 State로 돌아간다. 구현을 위한 State transition diagram과 table은 다음과 같다.



Present state		Input	Next state	Output
$Q_1, Q_0$		seq	$D_1, D_0$	detected
$s_0$	00	0	$s_1$ 01	0
		1	$s_2$ 10	0
$s_1$	01	0	$s_1$ 01	0
		1	$s_3$ 11	0
$s_2$	10	0	$s_1$ 01	0
		1	$s_2$ 10	0
$s_3$	11	0	$s_1$ 01	1
		1	$s_2$ 10	0

4개의 State 변수를 사용하며, 2 bit로 모든 State를 나타낼 수 있다. Input 변수 areset이 asserted 일 때,  $s_0$ 의 State로 Synchronous하게 변화하며, Output이 1인 경우는 State  $s_3$ 일 때, Input이 0인

경우밖에 없다.

### 3. Result

주어진 템플릿 코드에 case구문을 사용해서 구현한 결과, 테스트 벤치 코드에서 에러 결과가 0개로 출력되었으며, Sequence에서 '010'을 올바르게 탐지해내는 detector를 구현했음을 확인할 수 있었다.

### 4. Conclusion/Discussion

Mealy machine으로 구현하기 때문에, State 변수의 개수를 줄일 수 있다. Mealy machine의 state도 Clock에 Synchronous하게 변화하지만, Output은 Input이 asynchronous한 경우, 불안정하게 변화할 수 있다. 안정적인 구현을 위해서는 Moore machine이 바람직할 것이다.