

## 1. Introduction

Hardware Description Language(HDL)인 Verilog의 기본 개념을 공부하고, Programming 타입 세가지 Structural description, Data-flow style description, Behavioral description 방법을 연습해본다.

## 2. Implementation

Verilog 모듈을 이용해서 16-to-1 MUX를 4-to-1 MUX만을 이용해서 설계한다. 방식은 Behavioral description을 따르며, 우선 제작한 4-to-1 MUX를 Hierarchical Design을 사용해 5개를 불러와서 하나의 16-to-1 MUX를 설계할 수 있다. 코드 디자인은 아래 그림을 참고한다.

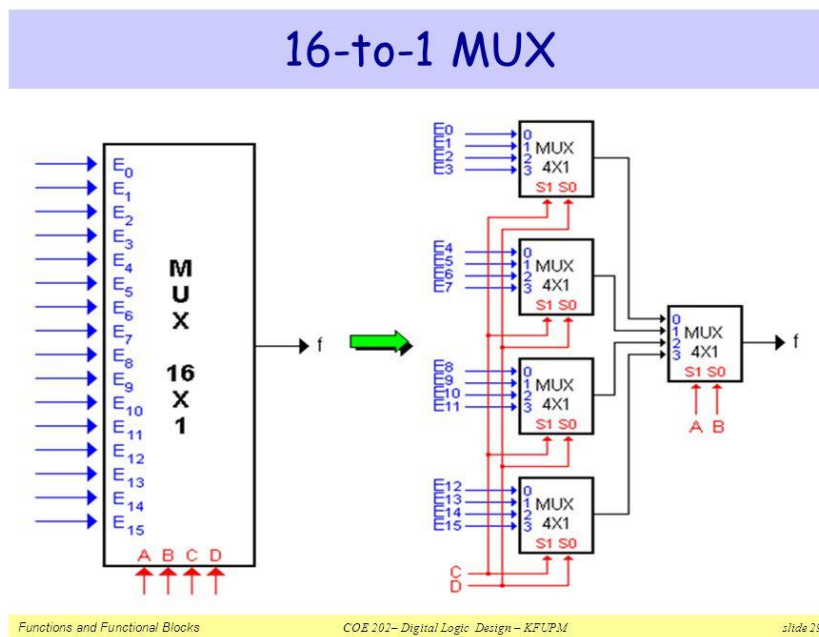


그림1. 16-to-1 MUX 논리 회로도, 출처: www.slideplayer.com

## 3. Result

4-to-1 MUX의 Input은 [3:0] X로 설정하고, Control pin은 [1:0] C로 Output 하나는 Y로 설정한다. 알고리즘은 case구문을 사용하였다. 2-bit 변수 C의 값 n에 따라서 대응하는 X의 n bit 자리의 값을 Output Y로 출력하도록 한다. 방식은 Behavioral description으로, always를 사용하여 X혹은 C의

값이 변할 때 마다, Output reg y에 assign을 실행해준다. 다음 16-to-1 MUX의 Input은 [15:0] X로 설정하고, Control pin은 [3:0] C로 Output 하나는 Y로 설정한다. 4개의 4-to-1 MUX를 이용해 순서대로 Input은 X[3:0], X[7:4], X[11:7], X[15:11]로 설정, Control pin은 동일하게 C[1:0]로 설정한다. 각 Output의 값은 wire [3:0] w에 순서대로 저장한다. 마지막 5번 4-to-1 MUX의 Input은 w[3:0], Control Pin은 C[3:2]로 설정하고 Output은 wire outl에 저장한 다음, 최종 16-to-1 MUX의 Output Y에 outl을 assign하였다. 16-to-1 MUX의 testbench code는 각 실행마다 delay를 100unit time으로 설정하였고, 1세트에서 Input X = 16'b1110110010000011에 대해서 4-bit C의 모든 Input에 대한



16회의 실행과 2세트에서 Input X = 16'b1001001110110001에 대해서 마찬가지로 16회 실행하여 총 32회 실행하였으며, 그 결과에 대한 waveform은 아래 그림2와 같다.

그림2. 16-to-1 MUX test 결과 waveform (1세트 X = 16'b1110110010000011, 2세트 X = 16'b1001001110110001)

Test결과 정확한 simulation 값을 얻어낼 수 있었다.

#### 4. Conclusion/Discussion

16-to-1 MUX을 설계하기 위해선 알고리즘이 매우 복잡해질 수 있다. 하지만, Hierarchical design을 이용해서 이전에 설계한 4-to-1 MUX을 여러 개 조합하면 보다 간단하게 16-to-1 MUX을 구현할 수 있음을 확인하였다. 프로그래밍 방식으로는 가장 high level에 가까운 behavioral description을 사용하는 것이 나에게 편리했다. 이때, behavioral description에 사용되는 Initial, always를 사용할 때는 wire가 아닌 reg를 선언해야 문법상의 오류가 없음을 주의해야 한다.