

Logic Design Lab Report: Week 7

2013-11826 임주경

1. Introduction

Sequential Logic Gate를 verilog를 이용해서 구현하고 결과를 분석한다. 앞서 구현한 RS Latch를 이용해 JK Flip-Flop, D Flip-Flop을 구현한다.

2. Analyze Practice results

2.1. Oscillator

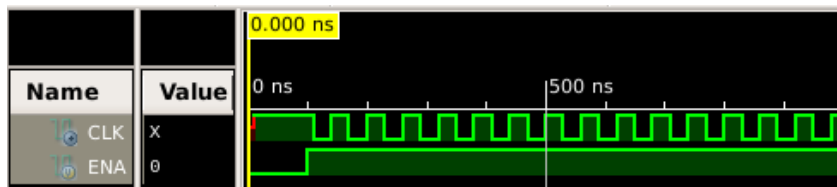


그림1. Oscillator Waveform

ENA 신호가 1이 되면, 실제 회로도에서 인풋 신호를 준 것과 같다. 이때부터, 아웃풋 CLK가 진동하는 waveform을 확인할 수 있다.

2.2. RS Latch

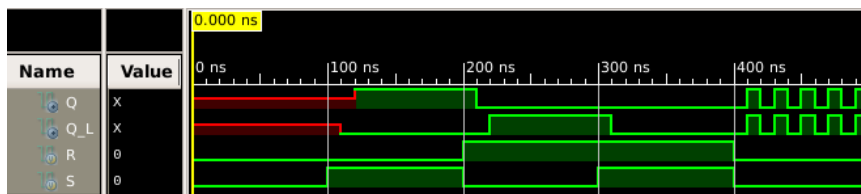


그림2. RS Latch Waveform

$R = 0, S = 0$ 일 때, Q에 값을 지정하지 않아서, X값이 아웃풋으로 출력된다. $R = 0, S = 1$ 일 때, $Q = 1$ 이 되는 Set기능을 보이며, $R = 1, S = 0$ 일 때, $Q = 0$ 이며, Reset기능을 한다. Q_L 은 Q의 inverter 값이다. 이때, $R = 1, S = 1$ 이면, Q와 Q_L 의 값에 대해서 일어날 수 없는 결과가 나오며, 이후에 $R = 0, S = 0$ 에서 race가 일어나도록 한다.

2.3. Gated RS Latch

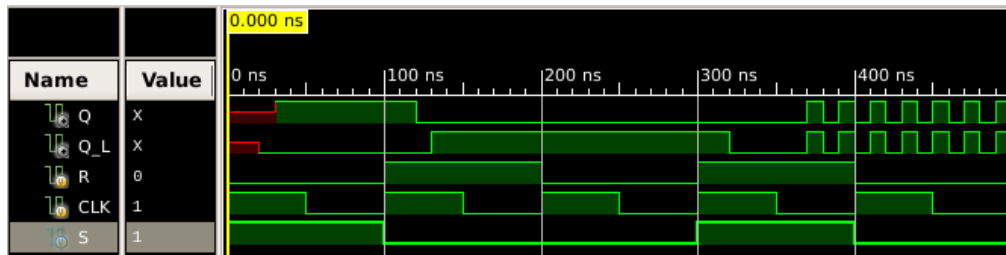


그림3. Gated RS Latch Waveform

클럭(CLK)가 1일 때, Delay를 거친 Output의 결과가 나타난다. $R = 0, S = 1$ 에서 Set이 일어난다. 이 때, 초기 Q를 지정해주지 않아도 값이 나타날 수 있다. $R = 1, S = 0$ 일 때, Reset이 일어난다. 다음, $R = 0, S = 0$ 일 때, 기존의 Q, Q_L값을 유지하며, $R = 1, S = 1$ 에서 마찬가지로 발생할 수 없는 아웃풋이 일어나며, CLK = 0이 되는 순간 race가 발생한다.

2.4. Master-Slave Latch

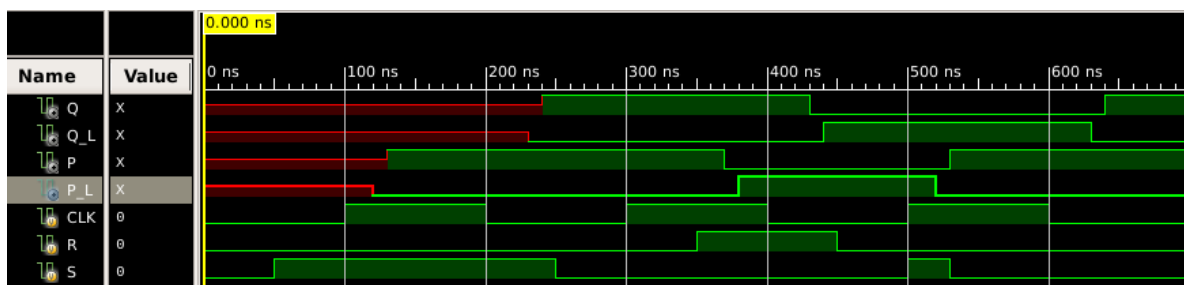


그림4. Master-Slave Latch Waveform

Master-Slave Latch도 R과 S에 대해서 마찬가지로 기능을 하며, 다른 점은 1s catching problem을 갖는다. 위의 문제를 확인하기 위해서 Master outputs P, P_L과 Slave outputs Q, Q_L을 같이 출력했다. 1s catching problem은 S가 0-1-0으로 변하며, 동시에 클럭이 High value를 갖게 될 때, Master outputs의 값이 바뀌고, 이를 hold하게 되어 Slave outputs의 값도 바뀌게 되는 현상이다. 이는 그림4의 500ns에서 1s catching problem이 발생함을 확인할 수 있다. (Testbench code 첨부)

3. JK Flip-Flop

JK Flip-Flop은 그림 5의 회로도를 참고하여 구현하였다. 그림의 T대신 클럭(CLK)를 사용하여 두개의 and gate를 3 inputs and gate로 생각해서 CLK를 각각의 input에 추가하였다.

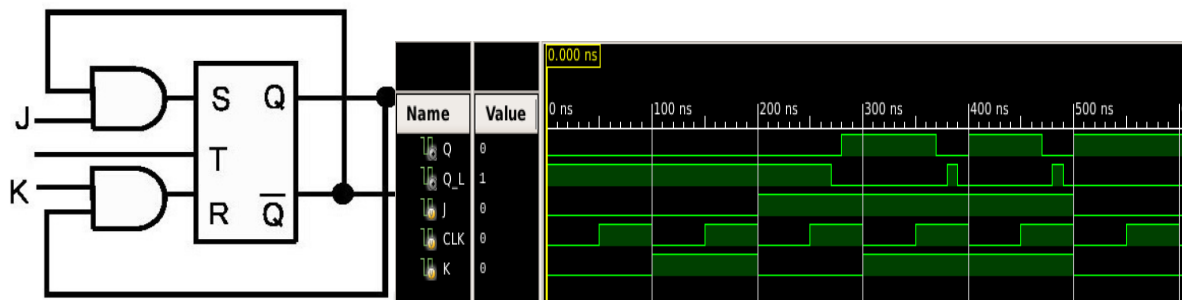


그림5. JK Flip-Flop 회로도

그림6. JK Flip-Flop Waveform

Test는 초기의 $Q = 0$, $Q_L = 1$ 의 값을 force를 사용해 지정해주었다. 그 결과, 각 gate에 delay가 존재함을 고려하면 그림6의 Waveform이 잘 나타남을 확인할 수 있다. RS Latch에서 문제가 되었던 $R = 1$, $S = 1$ 의 경우에도 Toggle이 잘 일어난다. 다시 $R = 0$, $S = 0$ 으로 Output을 hold해도 rate가 일어나지 않는다.

4. D Flip-Flop

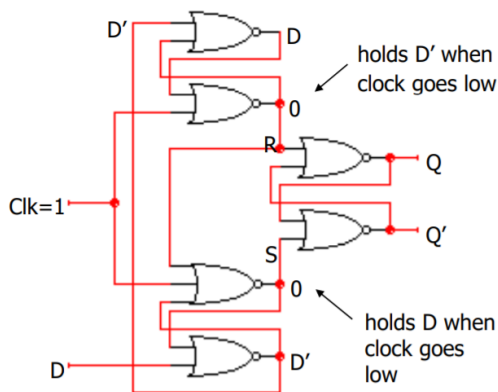


그림7. D Flip-Flop 회로도

D Flip-Flop은 위의 회로도를 참고하여 구현하였다. RS Latch를 3개 사용하였으며, 아래 RS Latch에서 위에 NOR 게이트의 3 inputs은 회로도의 R과 같은 signal을 갖는 wire와 CLK의 OR연산 결과를 하나의 wire로 만들어서 아래 RS Latch의 Input R로 대입하였다.

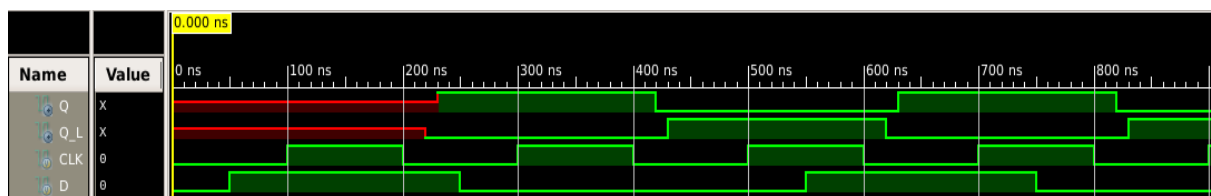


그림 8. D Flip-Flop Waveform

Q, Q_L의 초기값은 따로 지정해주지 않아서 초기에는 X를 갖지만, D = 1일 때, 클락이 negative로 변하면서 Output이 발생하는 것을 확인할 수 있다.

5. Conclusion/Discussion

Sequential Logic Gate의 대표적인 Latch / Flip-Flop을 직접 구현하여 Simulation을 통해 실제 Output과 그에 따른 문제점을 확인할 수 있었다. 각 assign 구문에는 실제 Gate의 Delay를 고려해서 지정해주었다. 그 결과, 예상했던 것과 같은 Waveform을 얻어낼 수 있었다.