

ZYNQ7000 开发平台 用户手册

AX7015B 开发板



文档版本控制

文档版本	修改内容记录
REV1.0	创建文档
REV1.1	增加光纤接口丝印 OPT1, OPT2 的说明

目 录

文档版本控制	2
一、 开发板简介	6
二、 AC7015B 核心板	9
(一) 简介	9
(二) ZYNQ 芯片	10
(三) DDR3 DRAM	12
(四) QSPI Flash	15
(五) eMMC Flash	16
(六) 时钟配置	18
(七) USB 转串口	20
(八) LED 灯	21
(九) 复位按键	21
(十) JTAG 接口	22
(十一) 拨码开关配置	23
(十二) 电源	23
(十三) 结构图	25
(十四) 连接器管脚定义	26
三、 扩展板	31
(一) 简介	31
(二) 千兆以太网接口	32
(三) USB2.0 Host 接口	35
(四) HDMI 输出接口	36
(五) HDMI 输入接口	38
(六) 光纤接口	39
(七) PCIe x2 接口	41
(八) USB 转串口	42
(九) SD 卡槽	43
(十) JTAG 接口	44
(十一) LED 灯	45

(十二) 用户按键 45

(十三) 扩展口 46

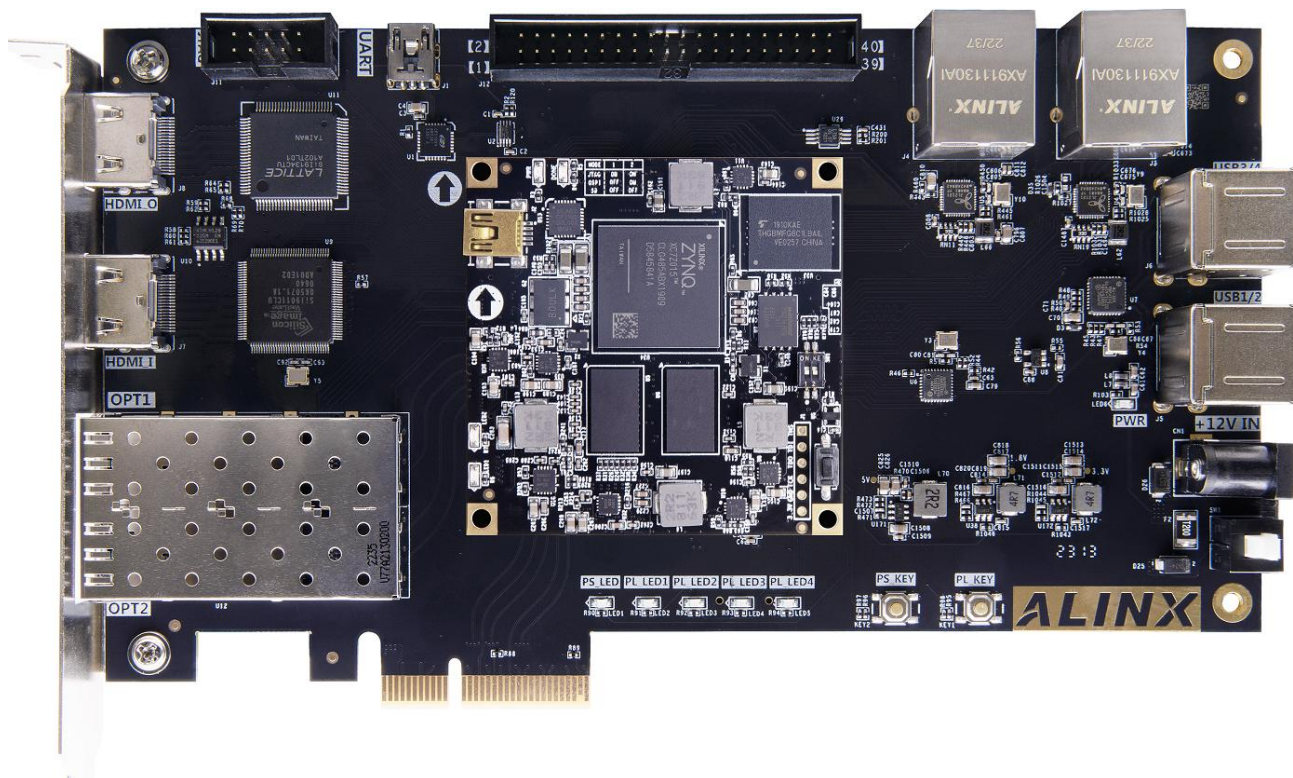
(十四) 供电电源 48

(十五) 底板结构图 49

芯驿电子科技（上海）有限公司 基于 XILINX ZYNQ7000 开发平台的开发板（型号：AX7015B）2018 款正式发布了，为了让您对此开发平台可以快速了解，我们编写了此用户手册。

这款 ZYNQ7000 FPGA 开发平台采用核心板加扩展板的模式，方便用户对核心板的二次开发利用。核心板使用 XILINX 的 Zynq7000 SOC 芯片 XC7Z015 的解决方案，它采用 ARM+FPGA SOC 技术将双核 ARM Cortex-A9 和 FPGA 可编程逻辑集成在一颗芯片上。另外核心板上含有 2 片共 1GB 高速 DDR3 SDRAM 芯片，1 片 8GB 的 eMMC 存储芯片和 1 片 256Mb 的 QSPI FLASH 芯片。

在底板设计上我们为用户扩展了丰富的外围接口，比如 1 个 PCIe x2 接口、2 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输入接口、1 路 HDMI 输出接口，1 路 UART 串口接口、1 路 SD 卡接口、一个 40 针扩展接口等等。满足用户各种高速数据交换，数据存储，视频传输处理以及工业控制的要求，是一款“专业级”的 ZYNQ 开发平台。为高速数据传输和交换，数据处理的前期验证和后期应用提供了可能。相信这样的一款产品非常适合从事 ZYNQ 开发的学生、工程师等群体。



一、 开发板简介

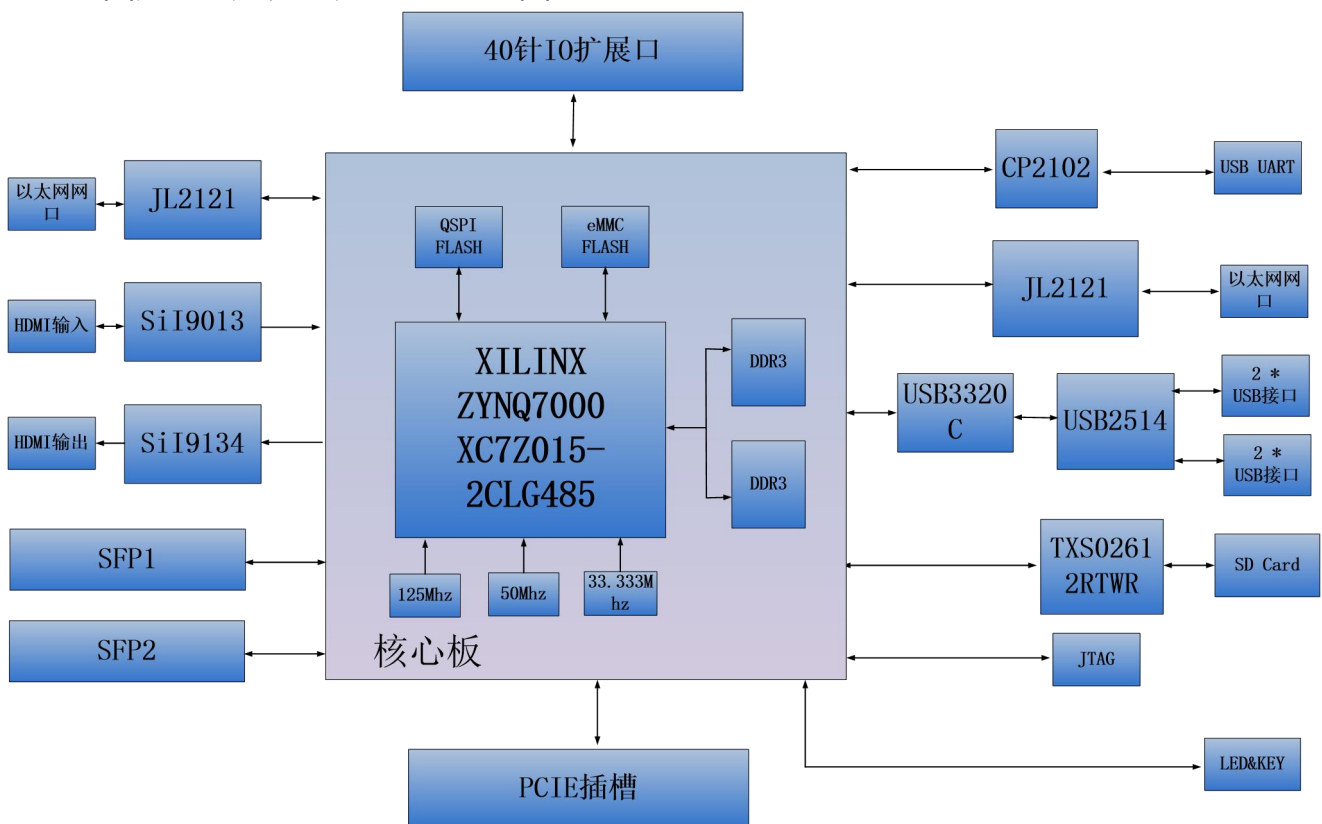
在这里，对这款 AX7015B ZYNQ 开发平台进行简单的功能介绍。

开发板的整个结构，继承了我们一贯的核心板+扩展板的模式来设计的。核心板和扩展板之间使用高速板间连接器连接。

核心板主要由 ZYNQ7015 + 2 个 DDR3 + eMMC + QSPI FLASH 的最小系统构成，承担 ZYNQ 系统的高速数据处理和存储的功能，ZYNQ7015 和两片 DDR3 之间的数据位宽为 32 位，两片 DDR3 容量高达 1GB。8GB 的 eMMC FLASH 存储芯片和 256Mb 的 QSPI FLASH 用来静态存储 ZYNQ 的操作系统、文件系统及用户数据，用户可以通过核心板上的拨码开关来选择不同的启动方式。ZYNQ7015 采用 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z015-2CLG485。ZYNQ7015 芯片可分成处理器系统部分 Processor System (PS) 和可编程逻辑部分 Programmable Logic (PL)。

底板为核心板扩展了丰富的外围接口，其中包含 1 个 PCIe2 接口、2 路光纤接口、2 路千兆以太网接口、4 路 USB2.0 HOST 接口、1 路 HDMI 输入接口、1 路 HDMI 输出接口，1 路 UART 串口接口、1 路 SD 卡接口、1 个 40 针扩展接口和一些按键 LED。

下图为整个开发系统的结构示意图：



通过这个示意图，我们可以看到，我们这个开发平台所能含有的接口和功能。

- ZYNQ7000 核心板

由 XC7Z015+1GB DDR3+8GB eMMC FLASH + 256Mb QSPI FLASH 组成，另外有两个晶振提供时钟，一个是 33.3333MHz 提供给 PS 系统，另一个是 50MHz 提供给 PL 逻辑，一路 GTP 差分参考时钟，频率 125Mhz。

- 1 路 PCIe x2 接口

支持 PCI Express 2.0 标准，提供标准的 PCIe x2 高速数据传输接口，单通道通信速率可高达 5GBaud。

- 2 路 SFP 光纤接口

ZYNQ 的 GTP 收发器的 2 路高速收发器连接到 2 个光模块的发送和接收，实现 2 路高速的光纤通信接口。每路的光纤数据通信接收和发送的速度高达 6.25Gb/s。

- 千兆以太网接口

2 路 10/100M/1000M 以太网 RJ45 接口，用于和电脑或其它网络设备进行以太网数据交换。网络接口芯片采用景略公司的 JL2121 工业级 GPHY 芯片，1 路以太网连接到 ZYNQ 芯片的 PS 端，1 路以太网连接到 ZYNQ 芯片的 PL 端。

- HDMI 视频输出

1 路 HDMI 视频输出接口，我们选用了 Sillion Image 公司的 SIL9134 HDMI 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

- HDMI 视频输入

1 路 HDMI 视频输入接口，我们选用了 Sillion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输入。

- USB2.0 HOST 接口

通过 USB Hub 芯片扩展 4 路 USB HOST 接口，用于连接外部的 USB 从设备，比如连接鼠标，键盘，U 盘等等。USB 接口采用扁型 USB 接口(USB Type A)。

- USB Uart 接口

2 路 Uart 转 USB 接口，用于和电脑通信，方便用户调试。1 路在核心板上，核心板独立工作是使用，1 路在底板上，整板调试时使用。串口芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片，USB 接口采用 MINI USB 接口。

- Micro SD 卡座

1 路 Micro SD 卡座，用于存储操作系统镜像和文件系统。

- 40 针扩展口

1 个 40 针 2.54mm 间距的扩展口，可以外接黑金的各种模块 (双目摄像头, TFT LCD 屏, 高速 AD 模块等等)。扩展口包含 5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。

- USB JTAG 口

1 个 10 针 2.54mm 标准的 JTAG 口,用于 FPGA 程序的下载和调试,用户可以通过 XILINX 下载器对 ZYNQ 系统进行调试和下载。

- LED 灯

10 个发光二极管 LED, 核心板上 4 个,底板上 6 个。核心板上 1 个电源指示灯;1 个 DONE 配置指示灯; 2 个用户指示灯。底板上 1 个电源指示灯, 5 个用户指示灯。

- 按键

3 个按键, 1 个复位按键在核心板上, 2 个用户按键在底板上。

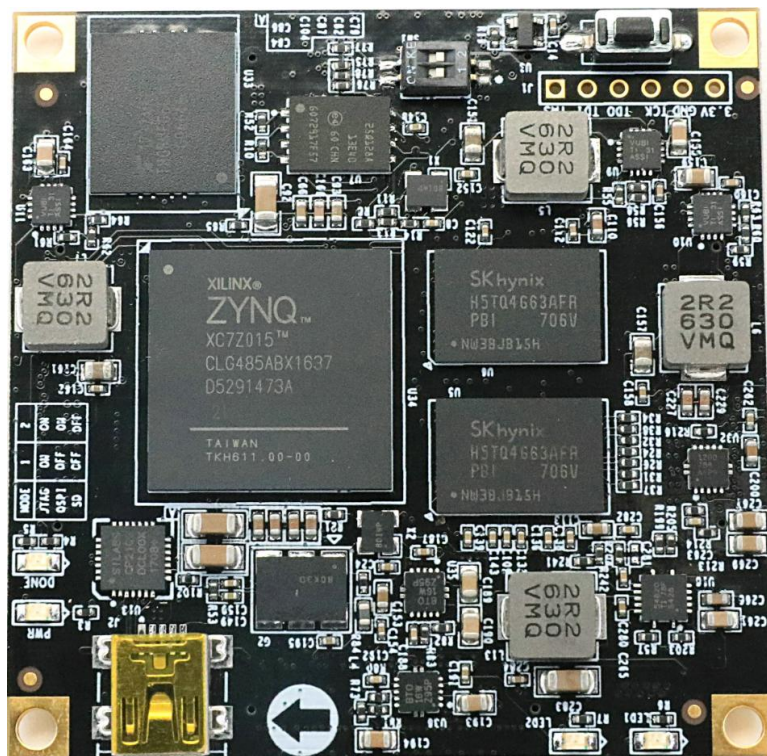
二、 AC7015B 核心板

(一) 简介

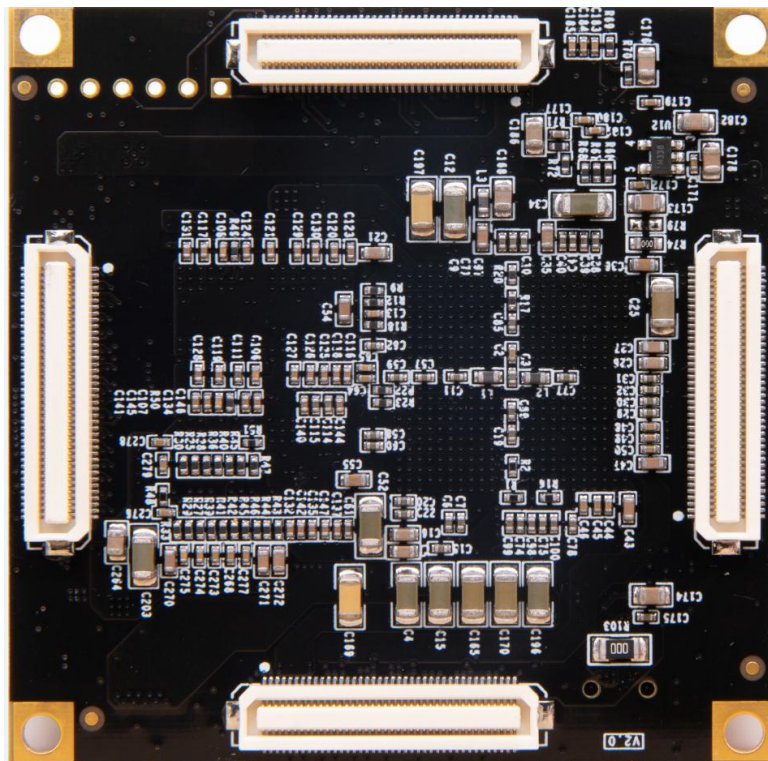
AC7015B(核心板型号, 下同)核心板, ZYNQ 芯片是基于 XILINX 公司的 ZYNQ7000 系列的 XC7Z015-2CLG485I。ZYNQ 芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器, AMBA®互连, 内部存储器, 外部存储器接口和外设。ZYNQ 芯片的 FPGA 内部含有丰富的可编程逻辑单元, DSP 和内部 RAM。

这款核心板使用了 2 片 SK Hynix 公司的 H5TQ4G63AFR-PBI 这款 DDR3 芯片, 每片 DDR 的容量为 4Gbit; 2 片 DDR 芯片组合成 32bit 的数据总线宽度, ZYNQ 和 DDR3 之间的读写数据时钟频率高达 533Mhz; 这样的配置, 可以满足系统的高带宽的数据处理的需求。

为了和底板连接, 这款核心板的 4 个板对板连接器扩展出了 PS 端的 USB 接口, 千兆以太网接口, SD 卡接口及其它剩余的 MIO 口; 也扩展出了 ZYNQ 的 4 对高速收发器 GTP 接口; 以及 PL 端的 BANK13, BANK34 和 BANK35 的几乎所有 IO 口 (84 个), 其中 BANK35 的 IO 的电平可以通过更换核心板上的 LDO 芯片来修改, 满足用户不用电平接口的要求。对于需要大量 IO 的用户, 此核心板将是不错的选择。而且 IO 连接部分, ZYNQ 芯片到接口之间走线做了等长和差分处理, 并且核心板尺寸仅为 60*60 (mm), 对于二次开发来说, 非常适合。



AC7015B 核心板正面图



AC7015B 核心板背面图

(二) ZYNQ 芯片

开发板使用的是 Xilinx 公司的 Zynq7000 系列的芯片，型号为 XC7Z015-2CLG485I。芯片的 PS 系统集成了两个 ARM Cortex™-A9 处理器，AMBA®互连，内部存储器，外部存储器接口和外设。这些外设主要包括 USB 总线接口，以太网接口，SD/SDIO 接口，I2C 总线接口，CAN 总线接口，UART 接口，GPIO 等。PS 可以独立运行并在上电或复位下启动。ZYNQ7000 芯片的总体框图如图 2-2-1 所示

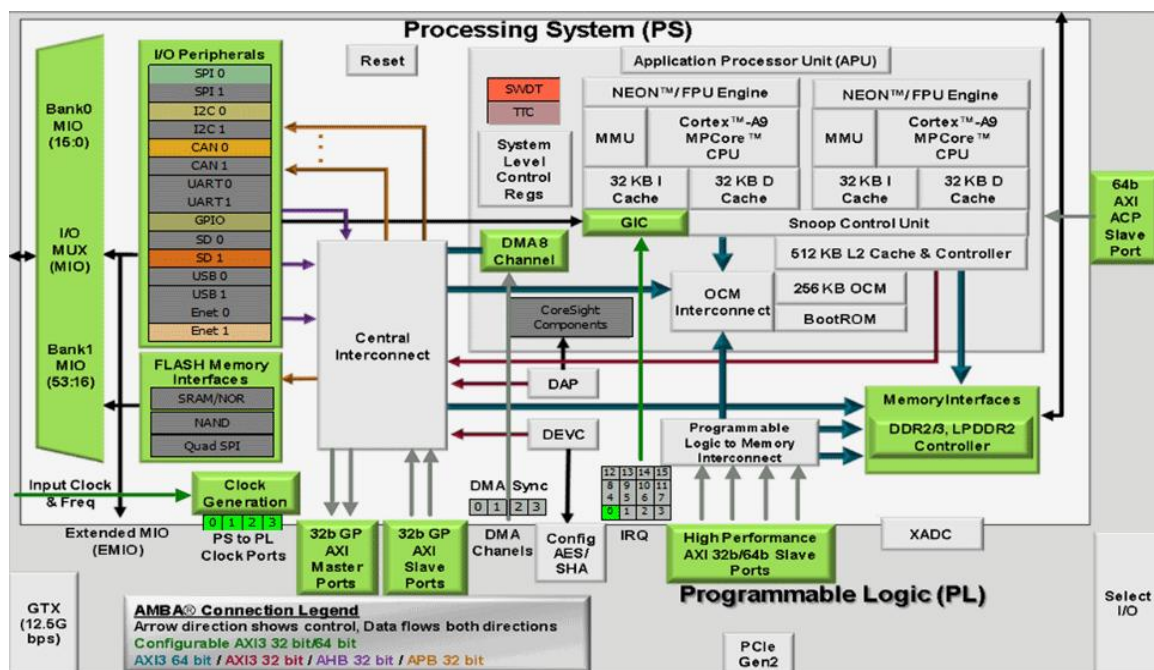


图2-2-1 ZYNQ7000芯片的总体框图

其中 PS 系统部分的主要参数如下：

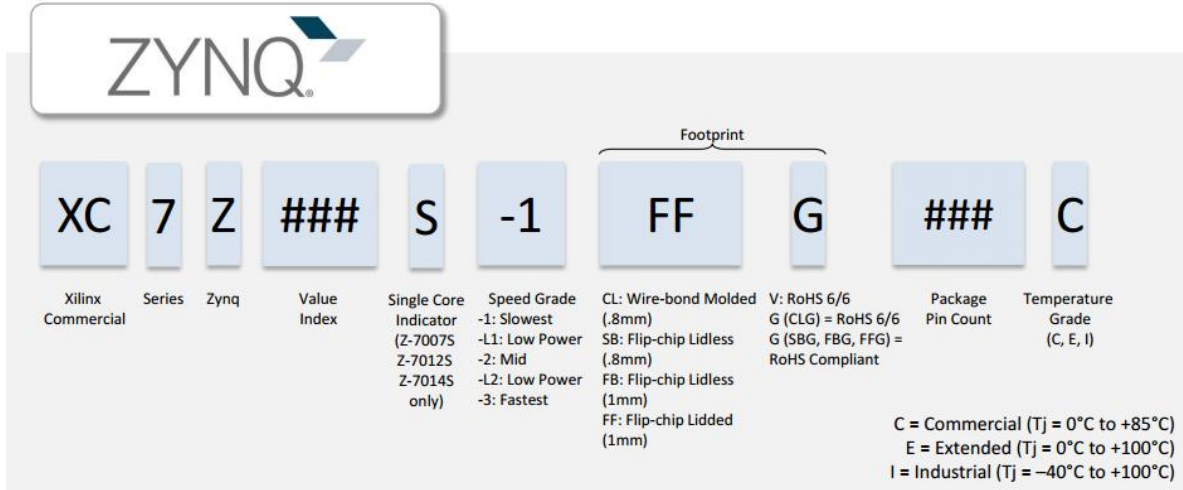
- 基于 ARM 双核 CortexA9 的应用处理器，ARM-v7 架构 高达 766MHz
- 每个 CPU 32KB 1 级指令和数据缓存，512KB 2 级缓存 2 个 CPU 共享
- 片上 boot ROM 和 256KB 片内 RAM
- 外部存储接口，支持 16/32 bit DDR2、DDR3 接口
- 两个千兆网卡支持：发散-聚集 DMA，GMII，RGMII，SGMII 接口
- 两个 USB2.0 OTG 接口，每个最多支持 12 节点
- 两个 CAN2.0B 总线接口
- 两个 SD 卡、SDIO、MMC 兼容控制器
- 2 个 SPI，2 个 UARTs，2 个 I2C 接口
- 4 组 32bit GPIO，54 (32+22) 作为 PS 系统 IO，64 连接到 PL
- PS 内和 PS 到 PL 的高带宽连接

其中 PL 逻辑部分的主要参数如下：

- 逻辑单元 Logic Cells: 74K;
- 查找表 LUTs: 46,200
- 触发器(flip-flops):92,400
- 乘法器 18x25MACCs: 160;
- Block RAM: 3.3Mb;
- 4 路高速 GTP 收发器，支持 PCIE Gen2x4;

- 2 个 AD 转换器,可以测量片上电压、温度感应和高达 17 外部差分输入通道，1MBPS

XC7Z015-2CLG485I 芯片的速度等级为-2，工业级，封装为 BGA484，引脚间距为 0.8mm，ZYNQ7000 系列的具体的芯片型号定义如下图 2-2-2 所示。



(三) DDR3 DRAM

AC7015B 核心板上配有两片 SK Hynix 公司的 DDR3 SDRAM 芯片 (共计 1GB)，型号为 H5TQ4G63AFR-PBI（兼容美光的 MT41J256M16RE-125）。DDR3 SDRAM 的总线宽度共为 32bit。DDR3 SDRAM 的最高运行速度可达 533MHz (数据速率 1066Mbps)。该 DDR3 存储系统直接连接到了 ZYNQ 处理系统 (PS) 的 BANK 502 的存储器接口上。DDR3 SDRAM 的具体配置如下表 2-3-1 所示。

表 5-1 DDR3 SDRAM 配置

位号	芯片型号	容量	厂家
U5,U6	H5TQ4G63AFR-PBI	256M x 16bit	SK Hynix

DDR3 的硬件设计需要严格考虑信号完整性，我们在电路设计和 PCB 设计的时候已经充分考虑了匹配电阻/终端电阻,走线阻抗控制,走线等长控制，保证 DDR3 的高速稳定的工作。DDR3 DRAM 的硬件连接方式如图 2-3-1 所示:

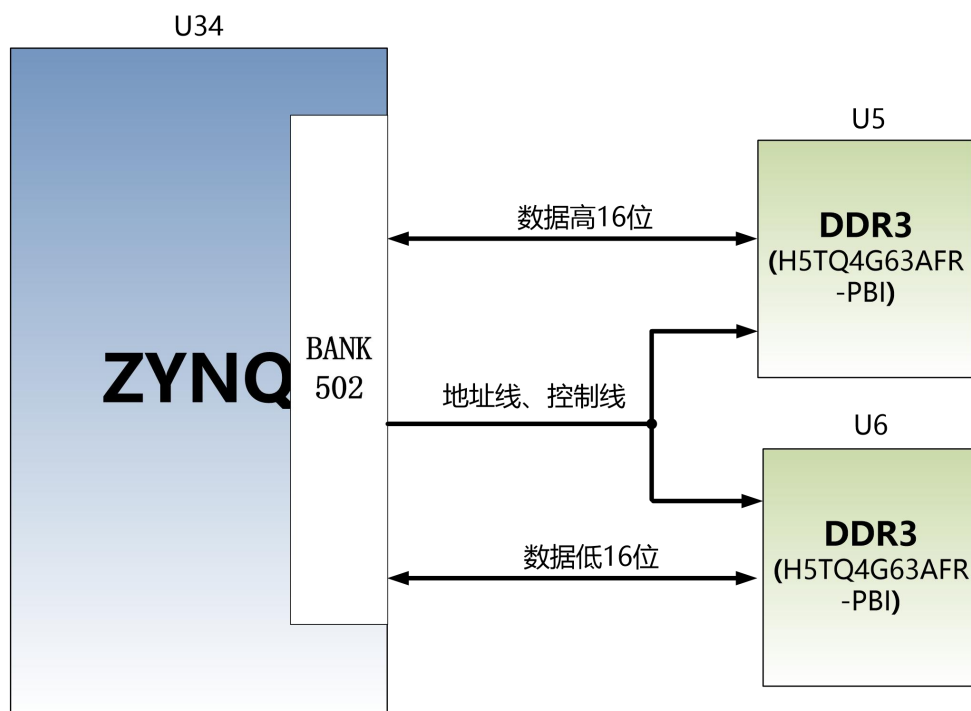


图2-3-1 DDR3 DRAM原理图部分

DDR3 DRAM 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
DDR3_DQS0_P	PS_DDR_DQS_P0_502	C21
DDR3_DQS0_N	PS_DDR_DQS_N0_502	D21
DDR3_DQS1_P	PS_DDR_DQS_P1_502	H21
DDR3_DQS1_N	PS_DDR_DQS_N1_502	J21
DDR3_DQS2_P	PS_DDR_DQS_P2_502	N21
DDR3_DQS2_N	PS_DDR_DQS_N2_502	P21
DDR3_DQS3_P	PS_DDR_DQS_P3_502	V21
DDR3_DQS4_N	PS_DDR_DQS_N3_502	W21
DDR3_D0	PS_DDR_DQ0_502	D22
DDR3_D1	PS_DDR_DQ1_502	C20
DDR3_D2	PS_DDR_DQ2_502	B21
DDR3_D3	PS_DDR_DQ3_502	D20
DDR3_D4	PS_DDR_DQ4_502	E20
DDR3_D5	PS_DDR_DQ5_502	E22
DDR3_D6	PS_DDR_DQ6_502	F21
DDR3_D7	PS_DDR_DQ7_502	F22

DDR3_D8	PS_DDR_DQ8_502	G21
DDR3_D9	PS_DDR_DQ9_502	G22
DDR3_D10	PS_DDR_DQ10_502	L22
DDR3_D11	PS_DDR_DQ11_502	L21
DDR3_D12	PS_DDR_DQ12_502	L20
DDR3_D13	PS_DDR_DQ13_502	K22
DDR3_D14	PS_DDR_DQ14_502	J22
DDR3_D15	PS_DDR_DQ15_502	K20
DDR3_D16	PS_DDR_DQ16_502	M22
DDR3_D17	PS_DDR_DQ17_502	T20
DDR3_D18	PS_DDR_DQ18_502	N20
DDR3_D19	PS_DDR_DQ19_502	T22
DDR3_D20	PS_DDR_DQ20_502	R20
DDR3_D21	PS_DDR_DQ21_502	T21
DDR3_D22	PS_DDR_DQ22_502	M21
DDR3_D23	PS_DDR_DQ23_502	R22
DDR3_D24	PS_DDR_DQ24_502	Y20
DDR3_D25	PS_DDR_DQ25_502	U22
DDR3_D26	PS_DDR_DQ26_502	AA22
DDR3_D27	PS_DDR_DQ27_502	U21
DDR3_D28	PS_DDR_DQ28_502	W22
DDR3_D29	PS_DDR_DQ29_502	W20
DDR3_D30	PS_DDR_DQ30_502	V20
DDR3_D31	PS_DDR_DQ31_502	Y22
DDR3_DM0	PS_DDR_DM0_502	B22
DDR3_DM1	PS_DDR_DM1_502	H20
DDR3_DM2	PS_DDR_DM2_502	P22
DDR3_DM3	PS_DDR_DM3_502	AA21
DDR3_A0	PS_DDR_A0_502	M19
DDR3_A1	PS_DDR_A1_502	M18
DDR3_A2	PS_DDR_A2_502	K19
DDR3_A3	PS_DDR_A3_502	L19

DDR3_A4	PS_DDR_A4_502	K17
DDR3_A5	PS_DDR_A5_502	K18
DDR3_A6	PS_DDR_A6_502	J16
DDR3_A7	PS_DDR_A7_502	J17
DDR3_A8	PS_DDR_A8_502	J18
DDR3_A9	PS_DDR_A9_502	H18
DDR3_A10	PS_DDR_A10_502	J20
DDR3_A11	PS_DDR_A11_502	G18
DDR3_A12	PS_DDR_A12_502	H19
DDR3_A13	PS_DDR_A13_502	F19
DDR3_A14	PS_DDR_A14_502	G19
DDR3_BA0	PS_DDR_BA0_502	L16
DDR3_BA1	PS_DDR_BA1_502	L17
DDR3_BA2	PS_DDR_BA2_502	M17
DDR3_S0	PS_DDR_CS_B_502	P17
DDR3_RAS	PS_DDR_RAS_B_502	R18
DDR3_CAS	PS_DDR_CAS_B_502	P20
DDR3_WE	PS_DDR_WE_B_502	R19
DDR3_ODT	PS_DDR_ODT_502	P18
DDR3_RESET	PS_DDR_DRST_B_502	F20
DDR3_CLK0_P	PS_DDR_CKP_502	N19
DDR3_CLK0_N	PS_DDR_CKN_502	N18
DDR3_CKE	PS_DDR_CKE_502	T19

(四) QSPI Flash

核心板配有一片 256MBit 大小的 Quad-SPI FLASH 芯片，型号为 W25Q256FVEI，它使用 3.3V CMOS 电压标准。由于 QSPI FLASH 的非易失特性，在使用中，它可以作为系统的启动设备来存储系统的启动镜像。这些镜像主要包括 FPGA 的 bit 文件、ARM 的应用程序代码以及其它的用户数据文件。QSPI FLASH 的具体型号和相关参数见表 2-4-1。

位号	芯片类型	容量	厂家
U7	W25Q256FVEI	32M Byte	Winbond

表2-4-1 QSPI Flash的型号和参数

QSPI FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK500 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 QSPI FLASH 接口。为图 2-4-1 为 QSPI Flash 在原理图中的部分。

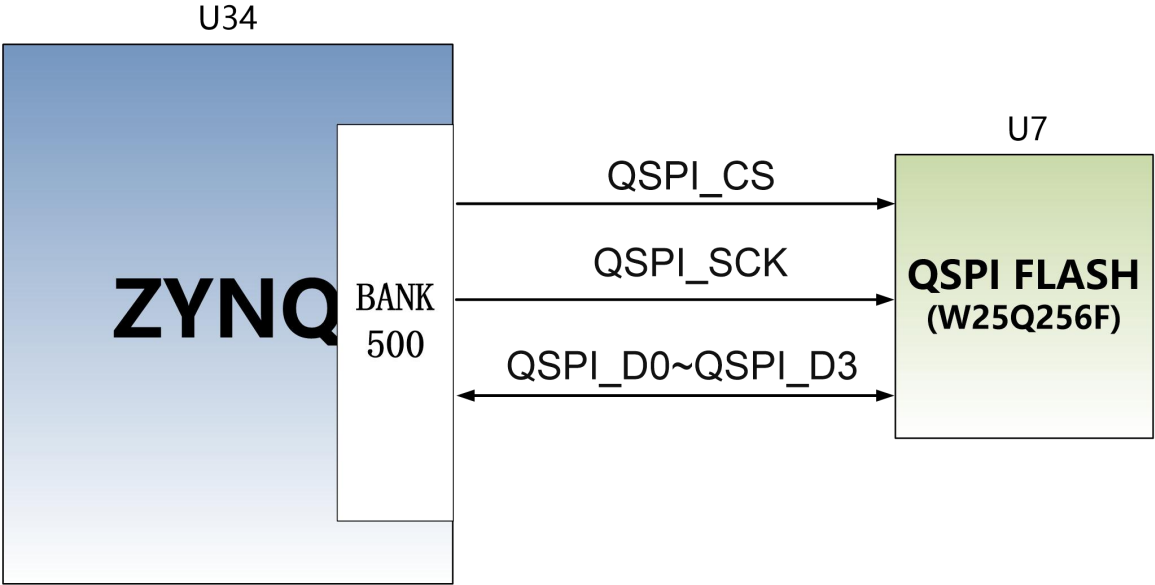


图 2-4-1 QSPI Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
QSPI_SCK	PS_MIO6_500	A19
QSPI_CS	PS_MIO1_500	A22
QSPI_D0	PS_MIO2_500	A21
QSPI_D1	PS_MIO3_500	F17
QSPI_D2	PS_MIO4_500	E19
QSPI_D3	PS_MIO5_500	A20

(五) eMMC Flash

核心板配有一片大容量的 8GB 大小的 eMMC FLASH 芯片，型号为 THGBMFG6C1LBAIL，它支持 JEDEC e-MMC V5.0 标准的 HS-MMC 接口，电平支持 1.8V 或者 3.3V。eMMC FLASH 和 ZYNQ 连接的数据宽度为 4bit。由于 eMMC FLASH 的大容量和非易失特性，在 ZYNQ 系统使用中，它可以作为系统大容量的存储设备，比如存储 ARM 的

应用程序、系统文件以及其它的用户数据文件。eMMC FLASH 的具体型号和相关参数见表 2-5-1。

位号	芯片类型	容量	厂家
U33	THGBMFG6C1LBAIL	8G Byte	TOSHIBA

表2-5-1 eMMC Flash的型号和参数

eMMC FLASH 连接到 ZYNQ 芯片的 PS 部分 BANK501 的 GPIO 口上, 在系统设计中需要配置这些 PS 端的 GPIO 口功能为 SD 接口。为图 2-5-1 为 eMMC Flash 在原理图中的部分。

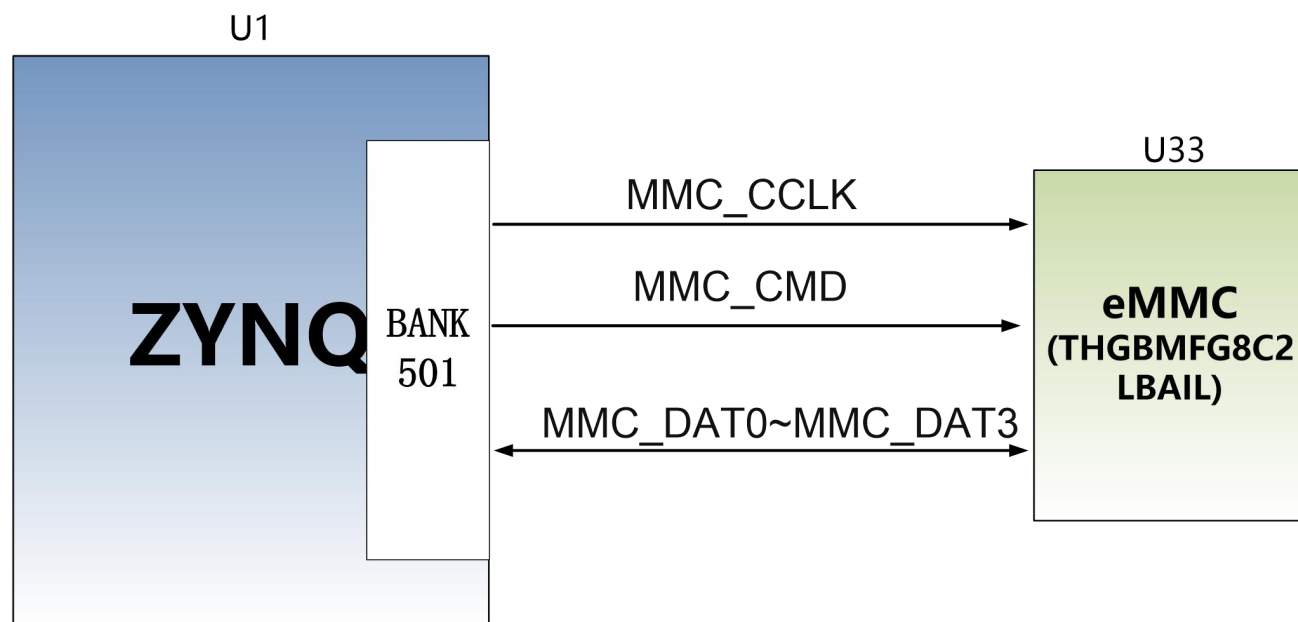


图 2-5-1 eMMC Flash 连接示意图

配置芯片引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号
MMC_CCLK	PS_MIO48_501	D12
MMC_CMD	PS_MIO47_501	B13
MMC_D0	PS_MIO46_501	D11
MMC_D1	PS_MIO49_501	C9
MMC_D2	PS_MIO50_501	D10
MMC_D3	PS_MIO51_501	C13

(六) 时钟配置

AC7015B 核心板上分别为 PS 系统，PL 逻辑部分和 GTP 收发器提供了有源时钟，使 PS 系统，PL 逻辑和 GTP 收发器可以单独工作。其中 PS 和 PL 端使用单端晶振，GTP 端使用差分晶振。

PS 系统时钟源

ZYNQ 芯片通过开发板上的 X1 晶振为 PS 部分提供 33.333MHz 的时钟输入。时钟的输入连接到 ZYNQ 芯片的 BANK500 的 PS_CLK_500 的管脚上。其原理图如图 2-6-1 所示：

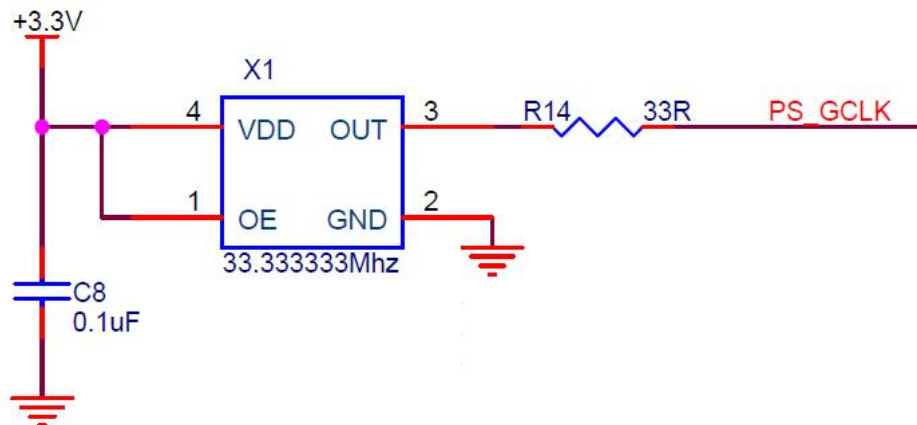


图 2-6-1 PS 部分的有源晶振

时钟引脚分配：

信号名称	ZYNQ 引脚
PS_GCLK	F16

PL 系统时钟源

AC7015B 核心板上提供了单端 50MHz 的 PL 系统时钟源，3.3V 供电。晶振输出连接到 FPGA BANK13 的全局时钟(MRCC)，这个 GCLK 可以用来驱动 FPGA 内的用户逻辑电路。该时钟源的原理图如图 2-6-3 所示

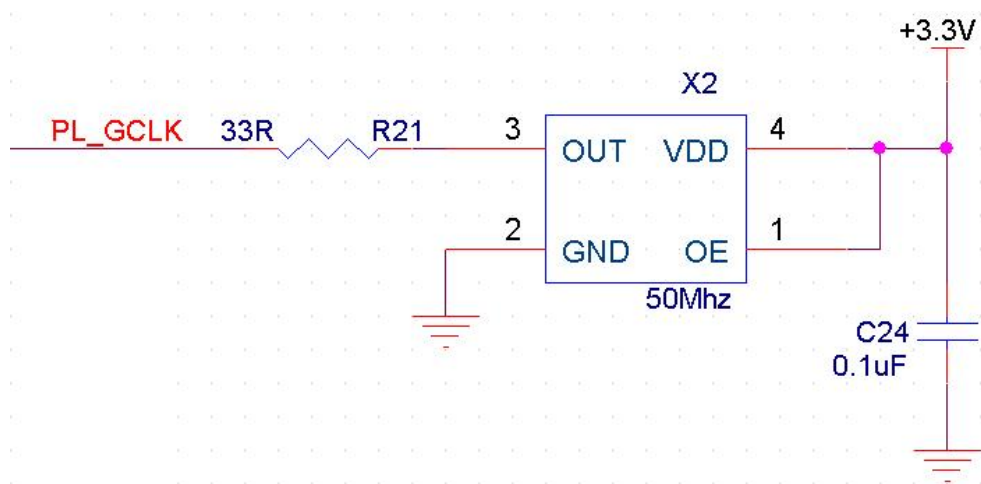


图 2-6-3 PL系统时钟源

PL 时钟引脚分配:

信号名称	ZYNQ 引脚
PL_GCLK	Y14

GTP 差分时钟

AC7015B 核心板上提供了差分 125MHz 的 GTP 参考时钟。差分 LVDS 时钟输出连接到 BANK112 的参考时钟上，这个 125Mhz 的时钟可以用来作为底板的光纤数据通信的参考时钟。该时钟源的原理图如图 2-6-5 所示

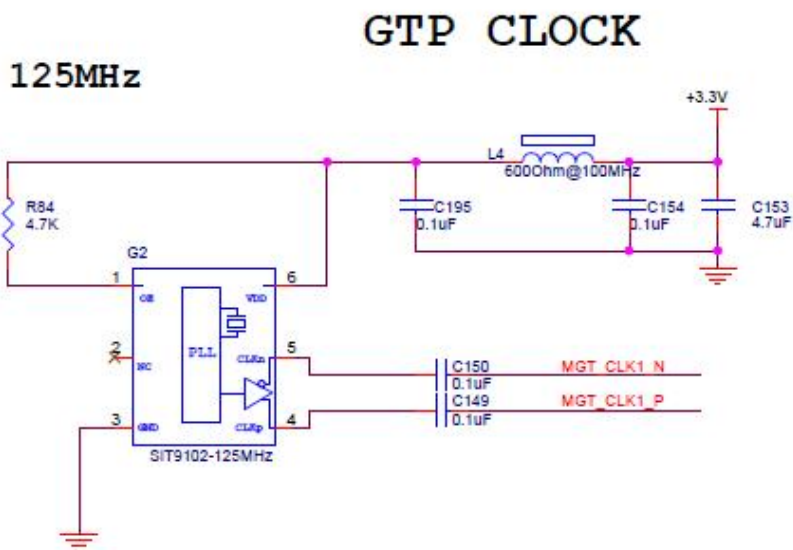


图 2-6-5 GTP参考时钟

图 2-6-6 为差分晶振 125MHz 的实物图

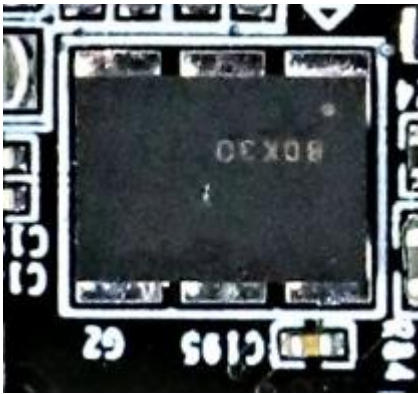


图2-6-6 125Mhz差分晶振实物图

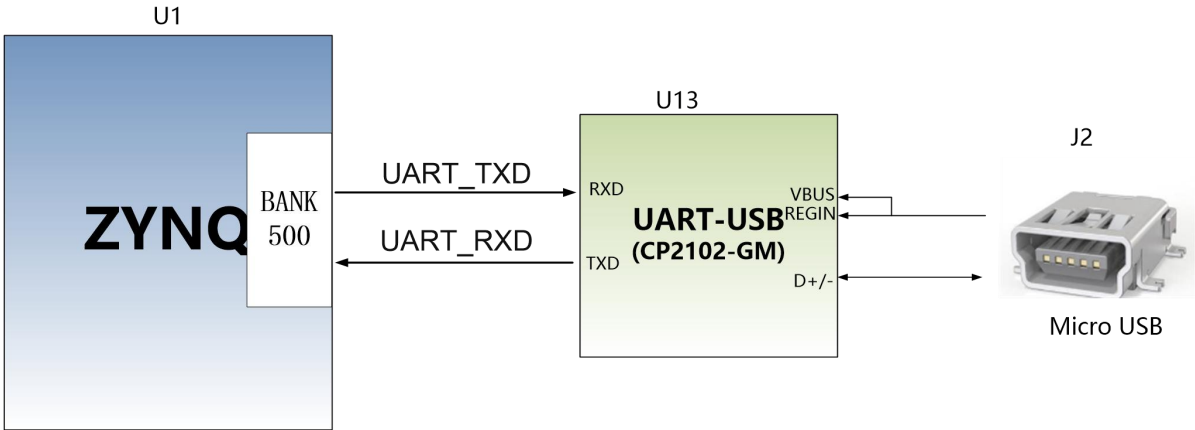
GTP 时钟引脚分配:

信号名称	ZYNQ 引脚
MGT_CLK1_P	U5
MGT_CLK1_N	V5

(七) USB 转串口

为了 AC7015B 核心板单独工作和调试， 我们为核心板配备了一个 Uart 转 USB 接口。用于核心板单独供电和调试。转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口，可以用一根 USB 线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信 。

USB Uart 电路设计的示意图如下图所示:



2-7-1 USB 转串口示意图

UART 转串口的 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
------	----------	----------	----

UART_RXD	PS_MIO14_500	B17	Uart数据输入
UART_TXD	PS_MIO15_500	E17	Uart数据输出

(八) LED 灯

AC7015B 核心板上有 4 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，1 个是配置 LED 灯(DONE)，2 个是用户 LED 灯 (LED1~LED2)。当核心板供电后，电源指示灯会亮起；当 FPGA 配置程序后，配置 LED 灯会亮起。2 个用户 LED 灯一个连接到 PS 的 MIO 上，一个连接到 PL 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 2-8-1 所示：

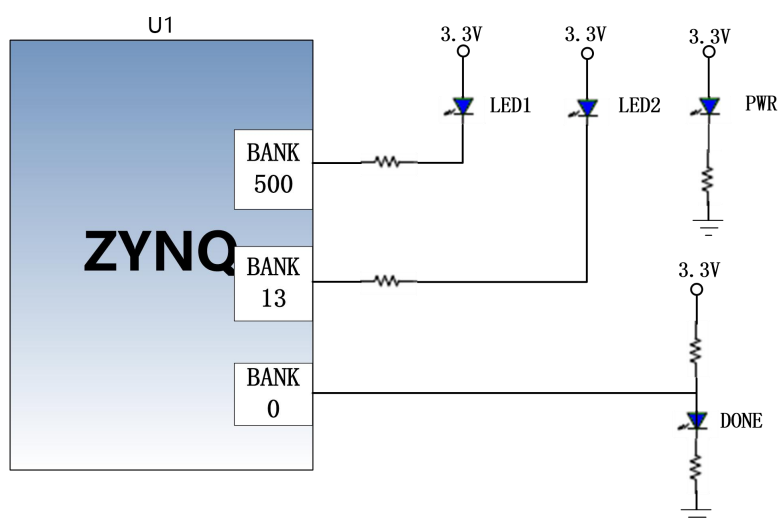


图 2-8-1 核心板 LED 灯硬件连接示意图

用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
MIO0_LED	PS_MIO0_500	G17	用户LED1灯
PL_LED	IO_0_13	T16	用户LED2灯

(九) 复位按键

AC7015B 核心板上有一个复位按键 RESET 和电路，复位信号连接到 ZYNQ 芯片 PS 复位管脚上，用户可以使用这个复位按键来复位 ZYNQ 系统。复位按键按下，复位芯片会产生低电平的复位信号给 ZYNQ 芯片。复位按键和复位芯片连接的示意图如图 2-9-1 所示：

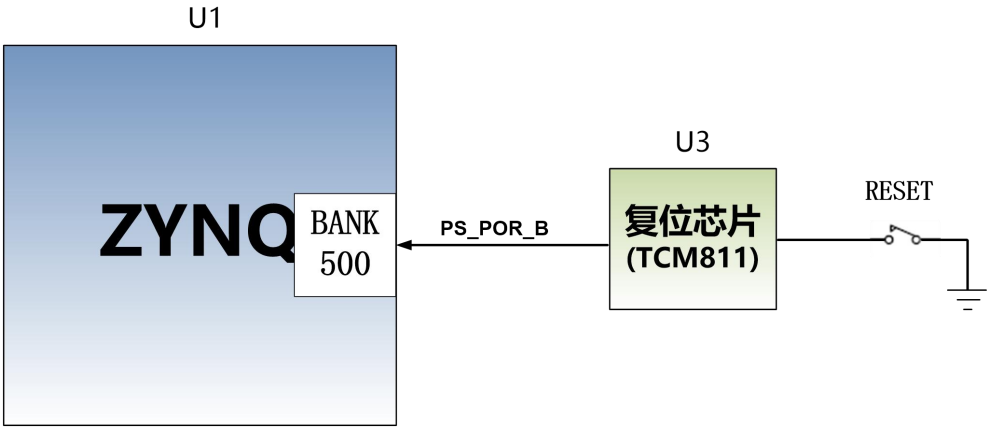


图 2-9-1 复位按键连接示意图

复位按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_POR_B	PS_POR_B_500	B18	ZYNQ系统复位信号

(十) JTAG 接口

在 AC7015B 核心板上我们也预留了 JTAG 的测试座 J1，用来核心板单独 JTAG 下载和调试，图 2-10-1 就是 JTAG 口的原理图部分，其中涉及到 TMS,TDI,TDO,TCK,GND,+3.3V 这六个信号。

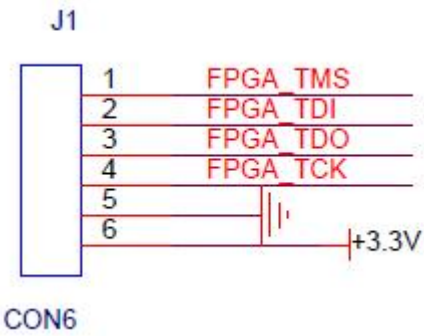


图 2-10-1 核心板原理图中 JTAG 接口部分

核心板上 JTAG 接口 J1 采用 6 针的 2.54mm 间距的单排测试孔，用户如果需要在核心板上用 JTAG 连接调试的话，需要焊接 6 针的单排排针。图 2-10-2 为 JTAG 接口在开发板上的实物图



图 2-10-2 JTAG 接口实物图

(十一) 拨码开关配置

AC7015B 核心板上有一个 2 位的拨码开关 SW1 用来配置 ZYNQ 系统的启动模式。AC7015B 系统开发平台支持三种启动模式。这三种启动模式分别是 JTAG 调试模式, QSPI FLASH 和 SD 卡启动模式。XC7Z015 芯片上电后会检测响应 MIO 口 (MIO5 和 MIO4) 的电平来决定那种启动模式。用户可以通过核心板上的拨码开关 SW1 来选择不同的启动模式。SW1 启动模式配置如下表 2-11-1 所示。

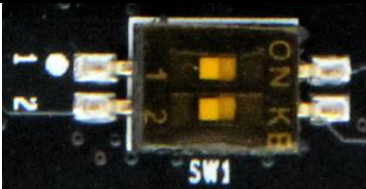
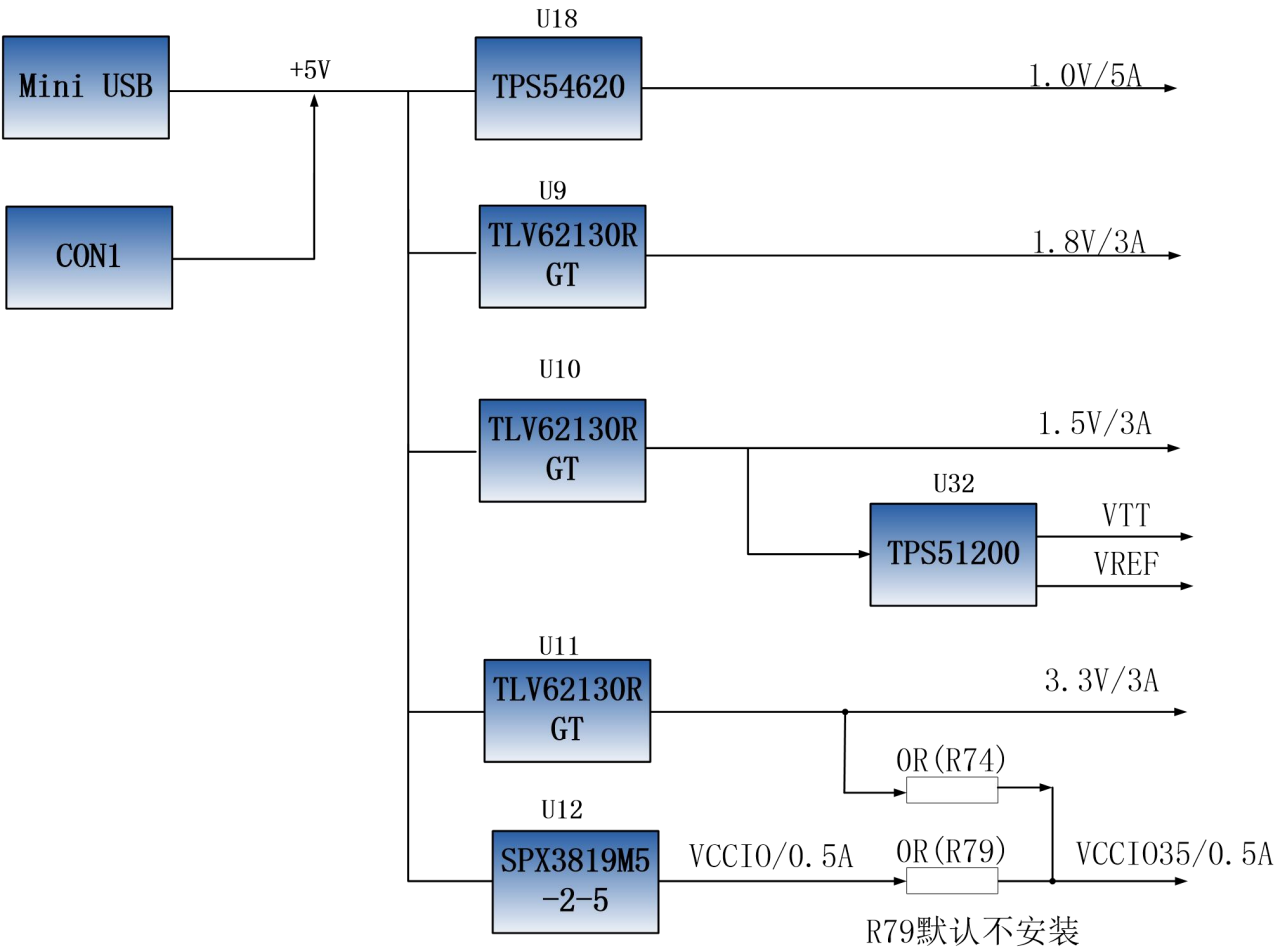
SW1	拨码位置 (1, 2)	MIO5,MIO4电平	启动模式
	ON、ON	0、0	JTAG
	OFF、OFF	1、1	SD卡
	OFF、ON	1、0	QSPI FLASH

表2-11-1 SW1启动模式配置

(十二) 电源

AC7015B 核心板供电电压为 DC5V, 单独使用时通过 Mini USB 接口供电, 连接底板时通过底板供电, 请注意不要 Mini USB 和底板同时供电, 以免造成损坏。板上的电源设计示意图如下图 2-12-1 所示:



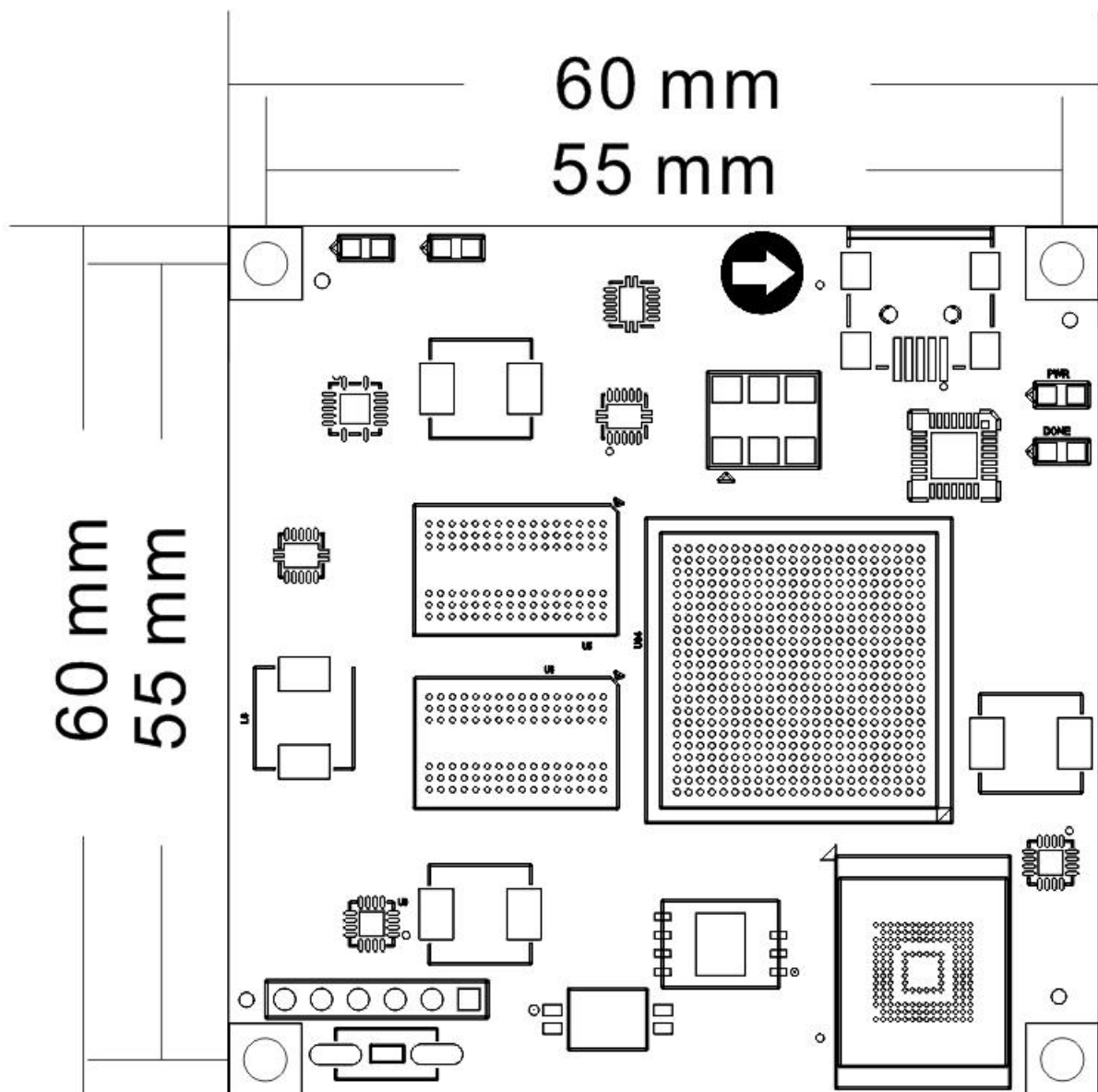
开发板通过+5V 供电, 通过四路 DC/DC 电源芯片 TPS54620 和 TLV62130RGT 转化成 +1.0V, +1.8V, +1.5V, +3.3V 四路电源, +1.0V 输出电流可高达 5A, 其它 3 路电源电流为 3A。另外通过一路 LDO SPX3819M5-2-5 产生 VCCIO 2.5V 电源, VCCIO 2.5V 电源主要是预留给 FPGA 的 BANK35 的 BANK 电源, 用户可以通过 2 个 0 欧姆电阻(R74,R79)来选择 BANK35 的电源。默认开发板上 R74 是安装的, R79 的电阻是不安装的, 所以 BANK35 的电源是+3.3V 的。用户可以通过更换电阻, 使得 BANK35 的 IO 输入输出为 2.5V 的电压标准。1.5V 通过 TI 的 TPS51200 生成 DDR3 需要的 VTT 和 VREF 电压。各个电源分配的功能如下表所示:

电源	功能
+1.0V	ZYNQ PS 和 PL 部分的内核电压
+1.8V	ZYNQ PS 和 PL 部分辅助电压, BANK501 IO 电压, eMMC
+3.3V	ZYNQ Bank0,Bank500, Bank13, Bank34 的 VCCIO, QSIP FLASH, Clock 晶振
+1.5V	DDR3, ZYNQ Bank501

VREF, VTT (+0.75V)	DDR3
VCCIO(+2.5V)	预留为 ZYNQ Bank35

因为 ZYNQ FPGA 的电源有上电顺序的要求，在电路设计中，我们已经按照 芯片的电源要求设计，上电依次为+1.0V->+1.8V-> (+1.5 V、+3.3V、VCCIO) 的电路设计，保证芯片的正常工作。

(十三) 结构图



正面图 (Top View)

(十四) 连接器管脚定义

核心板一共扩展出 4 个高速扩展口，使用 4 个 80Pin 的板间连接器 (CON1~CON4) 和底板连接，连接器的 PIN 脚间距为 0.5mm。其中 CON1 连接电源输入，PS 的 MIO 信号和 JTAG 信号，CON2~CON4 连接 PL 的 BANK13, BANK34, BANK35 的 IO 信号和 GTP 的收发器信号。BANK35 的 IO 电平可以通过更换板上的 LDO 芯片 (U12) 来改变电平标准，默认是 3.3V。

CON1 连接器的引脚分配

CON1 管脚	信号名称	ZYNQ 引脚号	CON1 管脚	信号名称	ZYNQ 引脚号
1	+5V	-	2	+5V	-
3	+5V	-	4	+5V	-
5	+5V	-	6	+5V	-
7	+5V	-	8	+5V	-
9	GND	-	10	GND	-
11	PS_MIO13	A17	12	ETH_TXD0	E14
13	PS_MIO12	C18	14	ETH_TXD1	A16
15	-	-	16	ETH_TXD2	E13
17	-	-	18	ETH_TXD3	A15
19	GND	-	20	GND	-
21	-	-	22	ETH_TXCK	D17
23	-	-	24	ETH_TXCTL	F12
25	-	-	26	ETH_RXD3	A10
27	-	-	28	ETH_RXD2	F11
29	GND	-	30	GND	-
31	PS_MIO7	D18	32	ETH_RXD1	B16
33	PS_MIO8	E18	34	ETH_RXD0	E12
35	PS_MIO9	C19	36	ETH_RXCTL	D16
37	PS_MIO11	B19	38	ETH_RXCK	A9
39	GND	-	40	GND	-
41	-	-	42	ETH_MDC	D13
43	-	-	44	ETH_MDIO	C11

45	-	-	46	OTG_STP	A12
47	-	-	48	OTG_DIR	E15
49	GND	-	50	GND	-
51	XADC_VP	L12	52	OTG_CLK	A14
53	XADC_VN	M11	54	OTG_NXT	F14
55	-	-	56	OTG_DATA0	C16
57	PS_MIO10	G16	58	OTG_DATA1	G11
59	GND	-	60	GND	-
61	SD_CLK	E9	62	OTG_DATA2	B11
63	SD_D1	B12	64	OTG_DATA3	F9
65	SD_D0	D15	66	OTG_DATA4	A11
67	SD_CMD	C15	68	OTG_DATA5	B9
69	GND	-	70	GND	-
71	SD_D3	B14	72	OTG_DATA6	F10
73	SD_D2	E10	74	OTG_DATA7	C10
75	-	-	76	-	-
77	FPGA_TMS	H10	78	FPGA_TCK	H11
79	FPGA_TDO	G9	80	FPGA_TDI	H9

CON2 连接器的引脚分配

CON2 管脚	信号名称	ZYNQ 引脚号	CON2 管脚	信号名称	ZYNQ 引脚号
1	B34_L19_N	N5	2	B34_L13_N	T1
3	B34_L19_P	N6	4	B34_L13_P	T2
5	B34_L2_P	J7	6	B34_L21_N	N3
7	B34_L2_N	J6	8	B34_L21_P	N4
9	GND	-	10	GND	-
11	B34_L1_P	J8	12	B34_L12_N	L4
13	B34_L1_N	K8	14	B34_L12_P	L5
15	B34_L11_N	K3	16	B35_L4_P	G8
17	B34_L11_P	K4	18	B35_L4_N	G7
19	GND	-	20	GND	-

21	B35_L24_P	H1	22	B35_L19_P	H4
23	B35_L24_N	G1	24	B35_L19_N	H3
25	B34_L8_N	J1	26	B35_L22_P	G3
27	B34_L8_P	J2	28	B35_L22_N	G2
29	GND	-	30	GND	-
31	B35_IO25	H5	32	B35_L21_P	E4
33	B35_IO0	H6	34	B35_L21_N	E3
35	B35_L20_P	G4	36	B35_L2_P	D7
37	B35_L20_N	F4	38	B35_L2_N	D6
39	GND	-	40	GND	-
41	B35_L5_P	F5	42	B35_L23_P	F2
43	B35_L5_N	E5	44	B35_L23_N	F1
45	B35_L6_P	G6	46	B35_L17_P	E2
47	B35_L6_N	F6	48	B35_L17_N	D2
49	GND	-	50	GND	-
51	B35_L1_N	E7	52	B35_L16_P	D1
53	B35_L1_P	F7	54	B35_L16_N	C1
55	B35_L14_P	D3	56	B35_L18_N	B1
57	B35_L14_N	C3	58	B35_L18_P	B2
59	GND	-	60	GND	-
61	B35_L12_N	C4	62	B35_L15_N	A1
63	B35_L12_P	D5	64	B35_L15_P	A2
65	B35_L11_N	C5	66	B35_L13_N	B3
67	B35_L11_P	C6	68	B35_L13_P	B4
69	GND	-	70	GND	-
71	B35_L3_P	E8	72	B35_L10_N	A4
73	B35_L3_N	D8	74	B35_L10_P	A5
75	B35_L8_P	B7	76	B35_L9_N	A6
77	B35_L8_N	B6	78	B35_L9_P	A7
79	B35_L7_P	C8	80	B35_L7_N	B8

CON3 连接器的引脚分配

CON3 管脚	信号名称	ZYNQ 引脚号	CON3 管脚	信号名称	ZYNQ 引脚号
1	MGT_CLK0_P	U9	2	-	-
3	MGT_CLK0_N	V9	4	GND	-
5	GND	-	6	MGT_RX2_N	AB9
7	-	-	8	MGT_RX2_p	AA9
9	GND	-	10	GND	-
11	MGT_RX1_P	W8	12	-	-
13	MGT_RX1_N	Y8	14	GND	-
15	GND	-	16	MGT_TX2_P	AA5
17	-	-	18	MGT_TX2_N	AB5
19	GND	-	20	GND	-
21	MGT_TX1_P	W4	22	-	-
23	MGT_TX1_N	Y4	24	GND	-
25	GND	-	26	MGT_RX3_N	Y6
27	-	-	28	MGT_RX3_P	W6
29	GND	-	30	GND	-
31	MGT_RX0_P	AA7	32	-	-
33	MGT_RX0_N	AB7	34	GND	-
35	GND	-	36	MGT_TX3_P	W2
37	-	-	38	MGT_TX3_N	Y2
39	GND	-	40	GND	-
41	MGT_TX0_P	AA3	42	-	-
43	MGT_TX0_N	AB3	44	-	-
45	GND	-	46	B34_L3_P	K7
47	-	-	48	B34_L3_N	L7
49	GND	-	50	GND	-
51	B34_L4_N	M6	52	-	-
53	B34_L4_P	L6	54	-	-
55	-	-	56	B34_L14_N	U1
57	-	-	58	B34_L14_P	U2
59	GND	-	60	GND	-

61	B34_L20_N	P5	62	-	
63	B34_L20_P	P6	64	-	
65	-	-	66	B34_L9_N	K2
67	-	-	68	B34_L9_P	J3
69	GND	-	70	GND	-
71	B34_L10_N	L1	72	-	-
73	B34_L10_P	L2	74	-	-
75	-	-	76	-	-
77	B34_IO25	R8	78	B34_L7_P	J5
79	B34_IO0	H8	80	B34_L7_N	K5

CON4 连接器的引脚分配

CON4 管脚	信号名称	ZYNQ 引脚号	CON4 管脚	信号名称	ZYNQ 引脚号
1	B13_L22_N	U18	2	B13_L20_P	U19
3	B13_L22_P	U17	4	B13_L20_N	V19
5	B13_L23_P	V16	6	B13_L19_N	T17
7	B13_L23_N	W16	8	B13_L19_P	R17
9	GND	-	10	GND	-
11	B13_L14_N	AA17	12	B13_L18_N	AA20
13	B13_L14_P	AA16	14	B13_L18_P	AA19
15	B13_L13_N	Y19	16	B13_L15_N	AB22
17	B13_L13_P	Y18	18	B13_L15_P	AB21
19	GND	-	20	GND	-
21	B13_L11_N	AA15	22	B13_L21_P	V18
23	B13_L11_P	AA14	24	B13_L21_N	W18
25	B13_L17_P	AB16	26	B13_L24_P	W17
27	B13_L17_N	AB17	28	B13_L24_N	Y17
29	GND	-	30	GND	-
31	B13_L16_N	AB19	32	B13_L2_P	V15
33	B13_L16_P	AB18	34	B13_L2_N	W15
35	B34_L22_P	M4	36	B13_L9_N	AB14

37	B34_L22_N	M3	38	B13_L9_P	AB13
39	GND	-	40	GND	-
41	B13_L12_N	Y15	42	B13_L6_N	U14
43	B13_IO25	U16	44	B13_L6_P	U13
45	B34_L6_P	M8	46	B34_L23_P	R5
47	B34_L6_N	M7	48	B34_L23_N	R4
49	GND	-	50	GND	-
51	B13_L1_N	V14	52	B13_L8_N	AB12
53	B13_L1_P	V13	54	B13_L8_P	AA12
55	B13_L7_N	AB11	56	B34_L17_N	R2
57	B13_L7_P	AA11	58	B34_L17_P	R3
59	GND	-	60	GND	-
61	B34_L24_P	P7	62	B34_L5_P	N8
63	B34_L24_N	R7	64	B34_L5_N	P8
65	B13_L4_P	V11	66	B34_L18_P	P3
67	B13_L4_N	W11	68	B34_L18_N	P2
69	GND	-	70	GND	-
71	B13_L3_P	W12	72	B13_L10_P	Y12
73	B13_L3_N	W13	74	B13_L10_N	Y13
75	B13_L5_N	U12	76	B34_L15_N	M1
77	B13_L5_P	U11	78	B34_L15_P	M2
79	B34_L16_N	P1	80	B34_L16_P	N1

三、 扩展板

(一)简介

通过前面的功能简介，我们可以了解到扩展板部分的功能

- 1 路 PCIe x2 接口
- 2 路光纤接口

- 2 路 10/100M/1000M 以太网 RJ-45 接口
- 1 路 HDMI 视频输出接口
- 1 路 HDMI 视频输入接口
- 4 路 USB HOST 接口
- 1 路 USB Uart 通信接口
- 1 路 SD 卡接口
- 2 路 40 针扩展口
- JTAG 调试接口
- 2 个独立按键
- 5 个用户 LED 灯

(二) 千兆以太网接口

AX7015B 底板上有 2 路千兆以太网接口，其中 1 路以太网接口是连接的 PS 系统端，另外 1 路以太网接口是连接到 PL 的逻辑 IO 口上。连接到 PL 端的千兆以太网接口需要通过程序调用 IP 挂载到 ZYNQ 的 AXI 总线系统上。

以太网芯片采用景略半导体的工业级以太网 GPHY 芯片 (JL2121-N040I) 为用户提供网络通信服务。PS 端的以太网 PHY 芯片是连接到 ZYNQ 的 PS 端 BANK501 的 GPIO 接口上。PL 端的以太网 PHY 芯片是连接到 BANK35 的 IO 上。JL2121 芯片支持 10/100/1000 Mbps 网络传输速率，通过 RGMII 接口跟 Zynq7000 系统的 MAC 层进行数据通信。JL2121 支持 MDI/MDX 自适应，各种速度自适应，Master/Slave 自适应，支持 MDIO 总线进行 PHY 的寄存器管理。

JL2121 上电会检测一些特定的 IO 的电平状态，从而确定自己的工作模式。表 8-1 描述了 GPHY 芯片上电之后的默认设定信息。

配置 Pin 脚	说明	配置值
RXD3_ADR0 RXC_ADR1 RXCTL_ADR2	MDIO/MDC 模式的 PHY 地址	PHY Address 为 001
RXD1_TXDLY	TX 时钟 2ns 延时	延时
RXD0_RXDLY	RX 时钟 2ns 延时	延时

表 3-2-1PHY 芯片默认配置值

当网络连接到千兆以太网时，ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RGMII 总线通信，传输时钟为 125Mhz，数据在时钟的上升沿和下降样采样。

当网络连接到百兆以太网时, ZYNQ 和 PHY 芯片 JL2121 的数据传输时通过 RMII 总线通信, 传输时钟为 25Mhz。数据在时钟的上升沿和下降样采样。

图 3-2-1 为 ZYNQ PS 端 1 路以太网 PHY 芯片连接示意图:

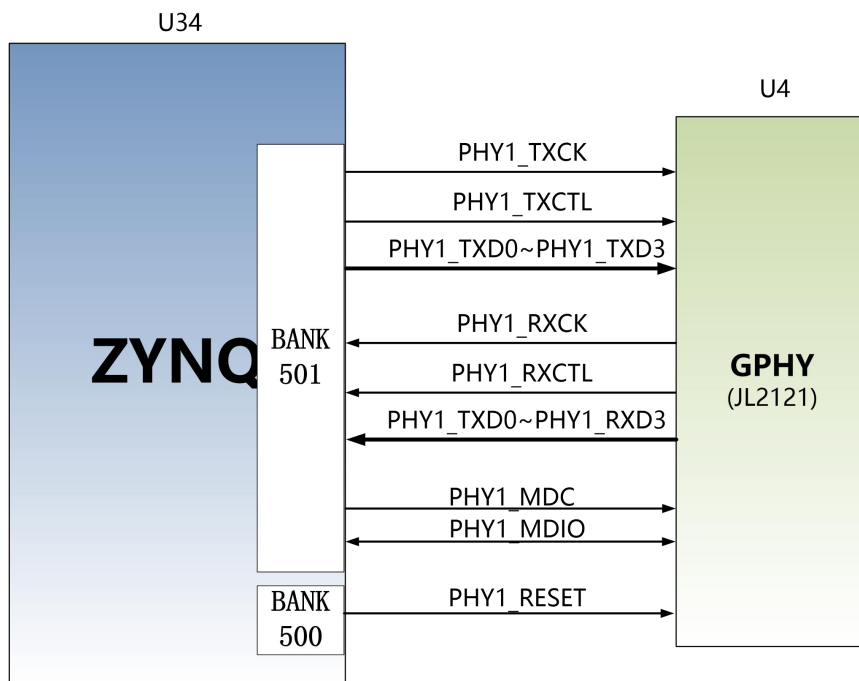


图 3-2-1 ZYNQ PS 系统与 GPHY 连接示意图

图 3-2-2 为 ZYNQ PL 端 1 路以太网 PHY 芯片连接示意图:

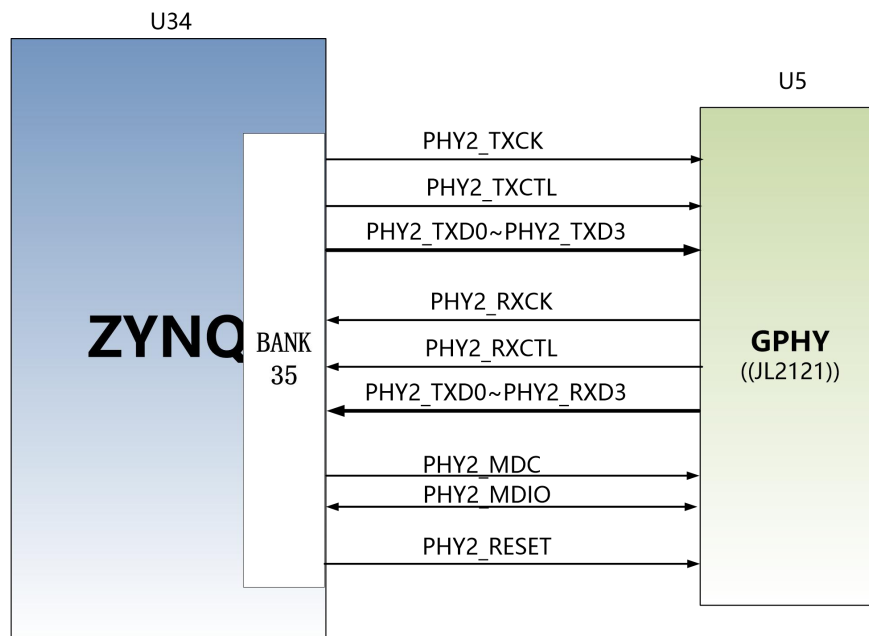


图 3-2-2 ZYNQ PL 端与 4 个 GPHY 连接示意图

PS 端千兆以太网引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
------	----------	----------	----

PHY1_TXCK	PS_MIO16_501	D17	RGMII 发送时钟
PHY1_TXD0	PS_MIO17_501	E14	发送数据 bit 0
PHY1_TXD1	PS_MIO18_501	A16	发送数据 bit1
PHY1_TXD2	PS_MIO19_501	E13	发送数据 bit2
PHY1_TXD3	PS_MIO20_501	A15	发送数据 bit3
PHY1_TXCTL	PS_MIO21_501	F12	发送使能信号
PHY1_RXCK	PS_MIO22_501	A9	RGMII 接收时钟
PHY1_RXD0	PS_MIO23_501	E12	接收数据 Bit0
PHY1_RXD1	PS_MIO24_501	B16	接收数据 Bit1
PHY1_RXD2	PS_MIO25_501	F11	接收数据 Bit2
PHY1_RXD3	PS_MIO26_501	A10	接收数据 Bit3
PHY1_RXCTL	PS_MIO27_501	D16	接收数据有效信号
PHY1_MDC	PS_MIO52_501	D13	MDIO 管理时钟
PHY1_MDIO	PS_MIO53_501	C11	MDIO 管理数据
PHY1_RESET	PS_MIO7	D18	复位信号

PL 端千兆以太网引脚分配如下:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PHY2_TXCK	B35_L16_P	D1	RGMII 发送时钟
PHY2_TXD0	B35_L23_P	F2	发送数据 bit 0
PHY2_TXD1	B35_L23_N	F1	发送数据 bit1
PHY2_TXD2	B35_L17_P	E2	发送数据 bit2
PHY2_TXD3	B35_L17_N	D2	发送数据 bit3
PHY2_TXCTL	B35_L16_N	C1	发送使能信号
PHY2_RXCK	B35_L13_P	B4	RGMII 接收时钟
PHY2_RXD0	B35_L15_P	A2	接收数据 Bit0
PHY2_RXD1	B35_L15_N	A1	接收数据 Bit1
PHY2_RXD2	B35_L18_P	B2	接收数据 Bit2
PHY2_RXD3	B35_L18_N	B1	接收数据 Bit3
PHY2_RXCTL	B35_L13_N	B3	接收数据有效信号
PHY2_MDC	B35_L7_P	C8	MDIO 管理时钟
PHY2_MDIO	B35_L7_P	B8	MDIO 管理数据

PHY2_RESET	B35_L8_P	B7	复位信号
------------	----------	----	------

(三) USB2.0 Host 接口

AX7015B底板上共有4个USB2.0 HOST接口，USB2.0收发器采用的是一个1.8V的，高速的支持ULPI标准接口的USB3320C-EZK芯片，再通过一个USB HUB芯片USB2514扩展出4路USB HOST接口。ZYNQ的USB总线接口和USB3320C-EZK收发器相连接，实现高速的USB2.0 Host模式的数据通信。USB3320C的USB的数据和控制信号连接到ZYNQ芯片PS端的BANK501的IO口上，USB接口差分信号(DP/DM)连接到USB2514芯片扩展出4个USB接口。2个24MHz的晶振为分别为USB3320C和USB2514芯片提供系统时钟。

底板上为用户提供了4个USB HOST接口，USB接口为扁型USB接口(USB Type A)，方便用户同时连接不同的USB Slave 外设(比如USB鼠标和USB键盘)。另外底板也为每个USB接口提供了+5V的电源。

ZYNQ处理器和USB3320C-EZK芯片及USB2514芯片连接的示意图如3-3-1所示：

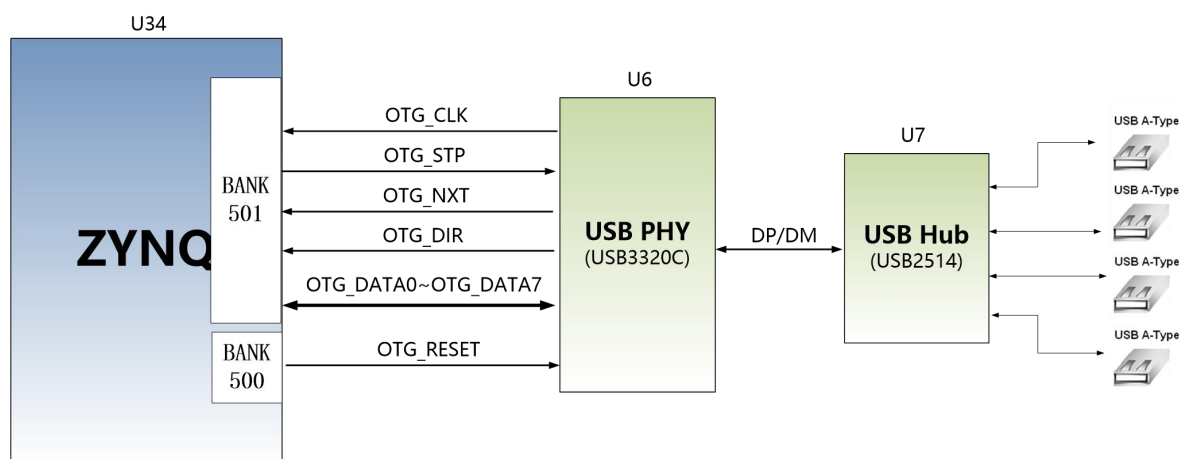


图 3-3-1 Zynq7000 和 USB 芯片间连接示意图

USB2.0 引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
OTG_DATA4	PS_MIO28_501	A11	USB 数据 Bit4
OTG_DIR	PS_MIO29_501	E15	USB 数据方向信号
OTG_STP	PS_MIO30_501	A12	USB 停止信号
OTG_NXT	PS_MIO31_501	F14	USB 下一数据信号
OTG_DATA0	PS_MIO32_501	C16	USB 数据 Bit0
OTG_DATA1	PS_MIO33_501	G11	USB 数据 Bit1

OTG_DATA2	PS_MIO34_501	B11	USB 数据 Bit2
OTG_DATA3	PS_MIO35_501	F9	USB 数据 Bit3
OTG_CLK	PS_MIO36_501	A14	USB 时钟信号
OTG_DATA5	PS_MIO37_501	B9	USB 数据 Bit5
OTG_DATA6	PS_MIO38_501	F10	USB 数据 Bit6
OTG_DATA7	PS_MIO39_501	C10	USB 数据 Bit7
OTG_RESETN	PS_MIO8_500	E18	USB 复位信号

(四) HDMI 输出接口

HDMI 输出接口的实现，是选用 Silion Image 公司的 SIL9134 HDMI (DVI) 编码芯片，最高支持 1080P@60Hz 输出，支持 3D 输出。

其中，SIL9134 的视频数字接口，音频数字接口和 I2C 配置接口和 ZYNQ7000 PL 部分的 BANK34/35 IO 相连，ZYNQ7000 系统通过 I2C 管脚来对 SIL9134 进行初始化和控制操作。SIL9134 芯片和 ZYNQ7000 的硬件连接示意图如下图 3-4-1 所示：

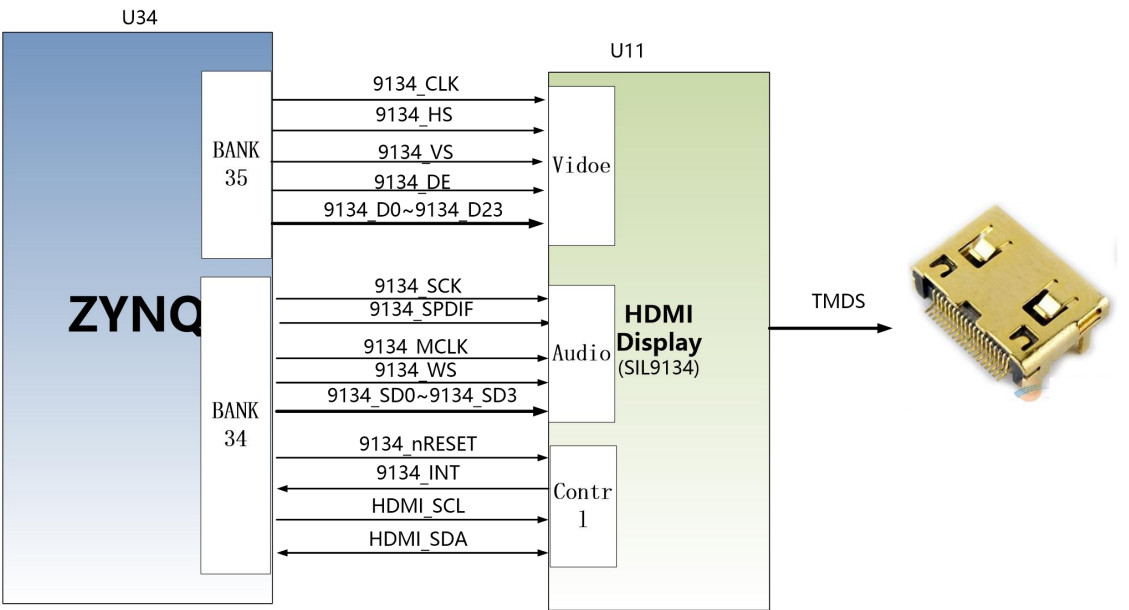


图 3-4-1 HDMI 接口设计原理图

ZYNQ 的引脚分配：

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
9134_CLK	B35_L24_P	H1	9134 视频信号时钟
9134_HS	B35_L21_P	E4	9134 视频信号行同步
9134_VS	B35_L21_N	E3	9134 视频信号列同步

9134_DE	B35_L22_N	G2	9134 视频信号有效
9134_D[0]	B35_L22_P	G3	9134 视频信号数据 0
9134_D[1]	B35_L19_N	H3	9134 视频信号数据 1
9134_D[2]	B35_L19_P	H4	9134 视频信号数据 2
9134_D[3]	B35_L4_N	G7	9134 视频信号数据 3
9134_D[4]	B35_L4_P	G8	9134 视频信号数据 4
9134_D[5]	B35_L24_N	G1	9134 视频信号数据 5
9134_D[6]	B35_IO25	H5	9134 视频信号数据 6
9134_D[7]	B35_IO0	H6	9134 视频信号数据 7
9134_D[8]	B35_L20_P	G4	9134 视频信号数据 8
9134_D[9]	B35_L20_N	F4	9134 视频信号数据 9
9134_D[10]	B35_L5_P	F5	9134 视频信号数据 10
9134_D[11]	B35_L5_N	E5	9134 视频信号数据 11
9134_D[12]	B35_L6_P	G6	9134 视频信号数据 12
9134_D[13]	B35_L6_N	F6	9134 视频信号数据 13
9134_D[14]	B35_L1_N	E7	9134 视频信号数据 14
9134_D[15]	B35_L1_P	F7	9134 视频信号数据 15
9134_D[16]	B35_L14_P	D3	9134 视频信号数据 16
9134_D[17]	B35_L14_N	C3	9134 视频信号数据 17
9134_D[18]	B35_L12_N	C4	9134 视频信号数据 18
9134_D[19]	B35_L12_P	D5	9134 视频信号数据 19
9134_D[20]	B35_L11_N	C5	9134 视频信号数据 20
9134_D[21]	B35_L11_P	C6	9134 视频信号数据 21
9134_D[22]	B35_L3_P	E8	9134 视频信号数据 22
9134_D[23]	B35_L3_N	D8	9134 视频信号数据 23
9134_SCK	B34_L2_N	J6	9134 音频接口 I2S 时钟
9134_SPDIF	B34_L21_N	N3	9134 音频 S/PDIF 输入
9134_MCLK	B34_L21_P	N4	9134 音频输入主时钟
9134_WS	B34_L2_P	J7	9134 音频接口 I2S 字选择
9134_SD0	B34_L19_N	N5	9134 音频接口 I2S 数据
9134_SD1	B34_L19_P	N6	9134 音频接口 I2S 数据
9134_SD2	B34_L13_N	T1	9134 音频接口 I2S 数据

9134_SD3	B34_L13_P	T2	9134 音频接口 I2S 数据
9134_nRESET	B34_L12_N	L4	9134 复位信号
9134_INT	B34_L12_P	L5	9134 中断信号
HDMI_SCL	B34_L1_P	J8	9134 IIC 控制时钟
HDMI_SDA	B34_L1_N	K8	9134 IIC 控制数据

(五) HDMI 输入接口

HDMI 输入接口我们采用了 Silion Image 公司的 SIL9013 HDMI 解码芯片，最高支持 1080P@60Hz 输入，支持不同格式的数据输出。;

其中, SIL9013 的 IIC 配置接口也与 FPGA 的 BANK13 的 IO 相连, ZYNQ 通过 I2C 总线的编程来对 SIL9013 进行初始化和控制操作，HDMI 输入接口的硬件连接如图 3-5-1 所示。

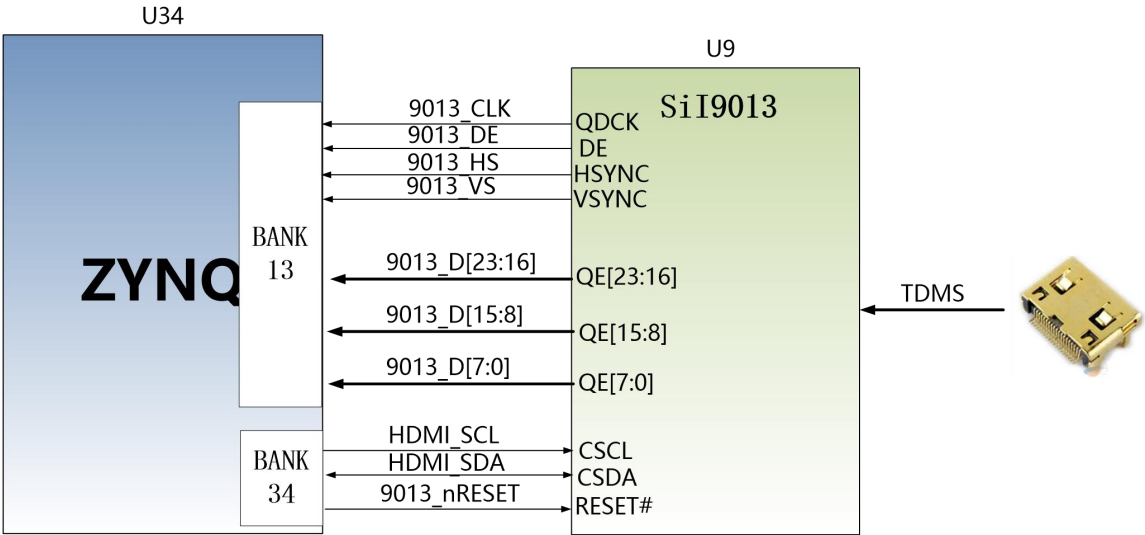


图 3-5-1 HDMI 输入原理图

ZYNQ 的引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
9013_nRESET	B34_L16_N	P1	9013 复位信号
9013_CLK	B13_L14_P	AA16	9013 视频信号时钟
9013_HS	B13_L20_P	U19	9013 视频信号行同步
9013_VS	B13_L22_N	U18	9013 视频信号列同步
9013_DE	B13_L20_N	V19	9013 视频信号有效
9013_D[0]	B13_L22_P	U17	9013 视频信号数据 0

9013_D[1]	B13_L23_P	V16	9013 视频信号数据 1
9013_D[2]	B13_L23_N	W16	9013 视频信号数据 2
9013_D[3]	B13_L14_N	AA17	9013 视频信号数据 3
9013_D[4]	B13_L13_N	Y19	9013 视频信号数据 4
9013_D[5]	B13_L13_P	Y18	9013 视频信号数据 5
9013_D[6]	B13_L11_N	AA15	9013 视频信号数据 6
9013_D[7]	B13_L11_P	AA14	9013 视频信号数据 7
9013_D[8]	B13_L17_P	AB16	9013 视频信号数据 8
9013_D[9]	B13_L17_N	AB17	9013 视频信号数据 9
9013_D[10]	B13_L16_N	AB19	9013 视频信号数据 10
9013_D[11]	B13_L16_P	AB18	9013 视频信号数据 11
9013_D[12]	B13_L12_N	Y15	9013 视频信号数据 12
9013_D[13]	B13_IO25	U16	9013 视频信号数据 13
9013_D[14]	B13_L1_N	V14	9013 视频信号数据 14
9013_D[15]	B13_L1_P	V13	9013 视频信号数据 15
9013_D[16]	B13_L7_N	AB11	9013 视频信号数据 16
9013_D[17]	B13_L7_P	AA11	9013 视频信号数据 17
9013_D[18]	B13_L4_P	V11	9013 视频信号数据 18
9013_D[19]	B13_L4_N	W11	9013 视频信号数据 19
9013_D[20]	B13_L3_P	W12	9013 视频信号数据 20
9013_D[21]	B13_L3_N	W13	9013 视频信号数据 21
9013_D[22]	B13_L5_N	U12	9013 视频信号数据 22
9013_D[23]	B13_L5_P	U11	9013 视频信号数据 23
HDMI_SCL	B34_L1_P	J8	9013 IIC 控制时钟
HDMI_SDA	B34_L1_N	K8	9013 IIC 控制数据

(六) 光纤接口

AX7015B 扩展板上有 2 路光纤接口，用户可以购买光模块(市场上 1.25G, 2.5G 光模块)插入到这 2 个光纤接口中进行光纤数据通信。2 路光纤接口分别跟 ZYNQ 的 GTP 收发器的 2 路 RX/TX 相连接, TX 信号和 RX 信号都是以差分信号方式通过隔直电容连接 ZYNQ 和光模块, 每路 TX 发送和 RX 接收数据速率高达 6.125Gb/s。GTP 收发器的参考时钟由核心板上的 125M

差分晶振提供。

FPGA 和光纤设计示意图如下图 3-6-1 所示:

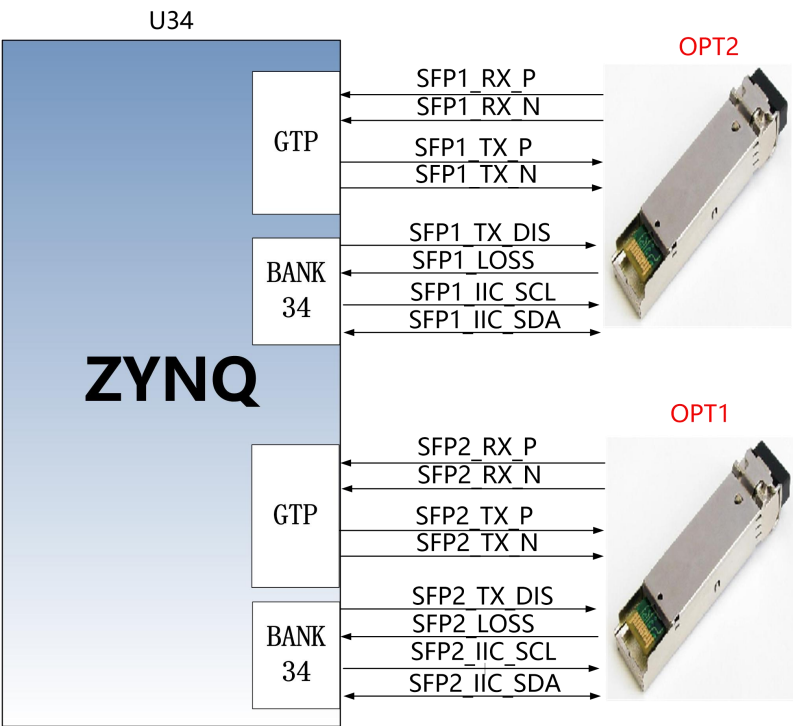
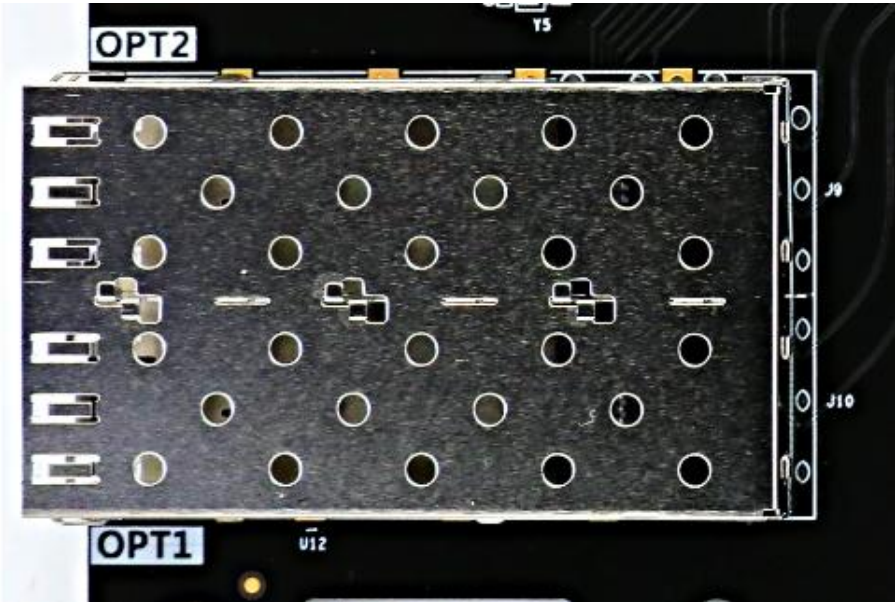


图 3-6-1 光纤设计示意图

两路光纤接口在扩展板的实物图如下图所示:



两路光纤通信接口实物图

OPT2 光纤接口 ZYNQ 引脚分配如下:

网络名称	ZYNQ 引脚	备注
SFP1_TX_P	W2	SFP 光模块数据发送 Positive
SFP1_TX_N	Y2	SFP 光模块数据发送 Negative
SFP1_RX_P	W6	SFP 光模块数据接收 Positive
SFP1_RX_N	Y6	SFP 光模块数据接收 Negative
SFP1_TX_DIS	U1	SFP 光模块光发射禁止, 高有效
SFP1_LOSS	U2	SFP 光接收 LOSS 信号, 高表示没有接收到光信号
SFP1_IIC_SCL	K7	SFP 光模块 DDMI 的 I2C 时钟
SFP1_IIC_SDA	L7	SFP 光模块 DDMI 的 I2C 数据

注意: 以上的管脚定义为 AX7015B 底板 PCB 板上丝印 OPT2 光纤接口

OPT1 光纤接口 ZYNQ 引脚分配如下:

网络名称	ZYNQ 引脚	备注
SFP2_TX_P	AA5	SFP 光模块数据发送 Positive
SFP2_TX_N	AB5	SFP 光模块数据发送 Negative
SFP2_RX_P	AA9	SFP 光模块数据接收 Positive
SFP2_RX_N	AB9	SFP 光模块数据接收 Negative
SFP2_TX_DIS	K2	SFP 光模块光发射禁止, 高有效
SFP2_LOSS	K5	SFP 光接收 LOSS 信号, 高表示没有接收到光信号
SFP2_IIC_SCL	J5	SFP 光模块 DDMI 的 I2C 时钟
SFP2_IIC_SDA	J3	SFP 光模块 DDMI 的 I2C 数据

注意: 以上的管脚定义为 AX7015B 底板 PCB 板上丝印 OPT1 光纤接口

(七) PCIe x2 接口

AX7015B 扩展板上提供一个工业级高速数据传输 PCIe x2 接口, PCIE 卡的外形尺寸符合标准 PCIe 卡电气规范要求, 可直接在普通台式机的 PCIe 插槽上使用。

PCIe 接口的收发信号直接跟 FPGA 的 GTP 收发器相连接, 2 通道的 TX 信号和 RX 信号都是以差分信号方式连接到 FPGA, 单通道通信速率可高达 5G bit 带宽。PCIe 的参考时钟由电脑的 PCIe 插槽提供给开发板, 参考时钟频率为 100Mhz。

开发板的 PCIe 接口的设计示意图如下图 3-7-1 所示,其中 TX 发送信号和参考时钟 CLK 信号用 AC 耦合模式连接。

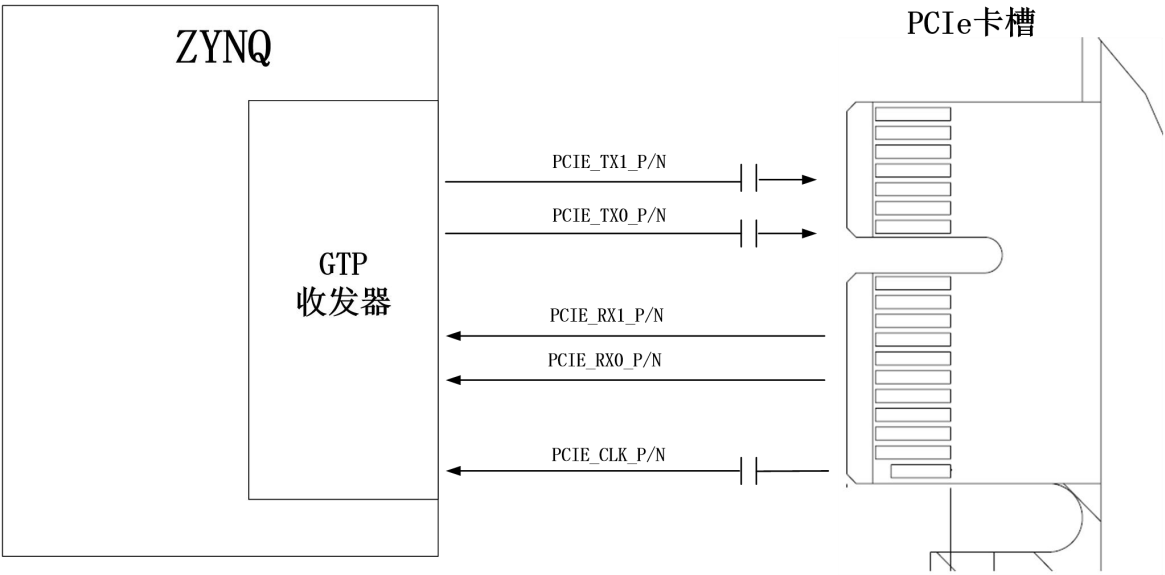


图 3-7-1 PCIe x2 设计示意图

PCIe x2 接口 FPGA 引脚分配如下:

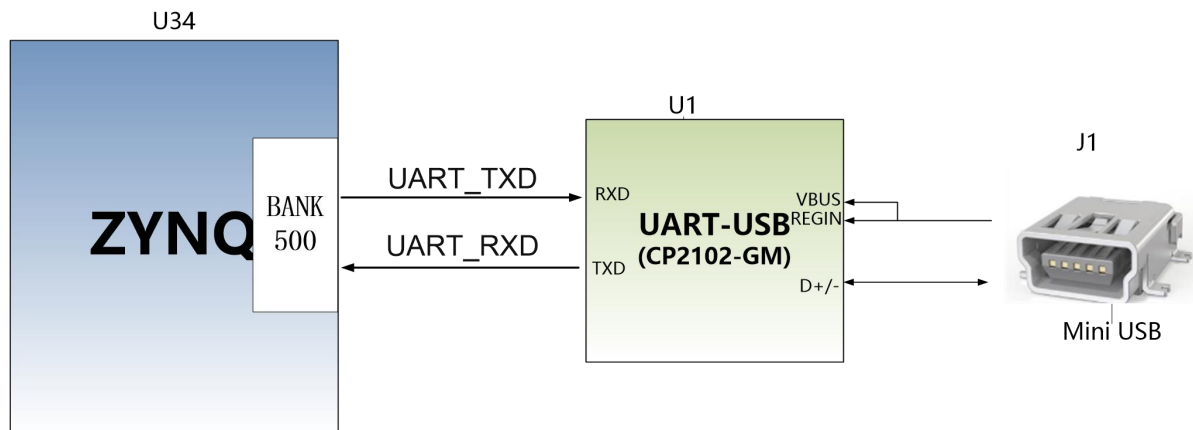
网络名称	FPGA 引脚	备注
PCIE_RX0_P	W8	PCIE 通道 0 数据接收 Positive
PCIE_RX0_N	Y8	PCIE 通道 0 数据接收 Negative
PCIE_RX1_P	AA7	PCIE 通道 1 数据接收 Positive
PCIE_RX1_N	AB7	PCIE 通道 1 数据接收 Negative
PCIE_TX0_P	W4	PCIE 通道 0 数据发送 Positive
PCIE_TX0_N	Y4	PCIE 通道 0 数据发送 Negative
PCIE_TX1_P	AA3	PCIE 通道 1 数据发送 Positive
PCIE_TX1_N	AB3	PCIE 通道 1 数据发送 Negative
PCIE_CLK_P	U9	PCIE 的参考时钟 Positive
PCIE_CLK_N	V9	PCIE 的参考时钟 Negative

(八) USB 转串口

AX7015B 底板上也配有串口接口，用于 ZYNQ7000 系统的整体调试，转换芯片采用 Silicon Labs CP2102GM 的 USB-UAR 芯片, USB 接口采用 MINI USB 接口,可以用一根 USB

线将它连接到上 PC 的 USB 口进行核心板的单独供电和串口数据通信。

USB Uart 电路设计的示意图如下图 3-8-1 所示:



3-8-1 USB 转串口示意图

UART 转串口的 ZYNQ 引脚分配:

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
UART_RXD	PS_MIO13_500	A17	Uart数据输入
UART_TXD	PS_MIO12_500	C18	Uart数据输出

(九) SD 卡槽

AX7015B底板包含了一个Micro型的SD卡接口，以提供用户访问SD卡存储器，用于存储 ZYNQ 芯片的BOOT程序，Linux操作系统内核，文件系统以及其它的用户数据文件。

SDIO信号与ZYNQ的PS BANK501的IO信号相连，因为该BANK的VCCMIO设置为1.8V，但SD卡的数据电平为3.3V，我们这里通过TXS02612电平转换器来连接。Zynq7000 PS和SD卡连接器的原理图如图3-9-1所示。

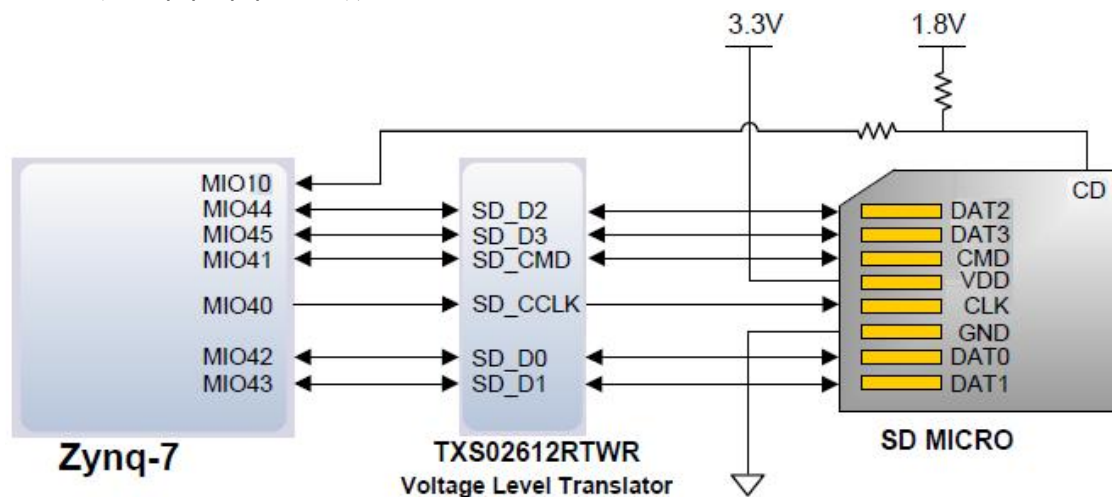


图 3-9-1 SD 卡连接示意图

SD 卡槽引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
SD_CLK	PS_MIO40	E9	SD时钟信号
SD_CMD	PS_MIO41	C15	SD命令信号
SD_D0	PS_MIO42	D15	SD数据Data0
SD_D1	PS_MIO43	B12	SD数据Data1
SD_D2	PS_MIO44	E10	SD数据Data2
SD_D3	PS_MIO45	B14	SD数据Data3
SD_CD	PS_MIO10	G16	SD卡插入信号

(十) JTAG 接口

在 AX7015B 底板上预留了一个 JTAG 接口,用于下载 FPGA 程序或者固化程序到 FLASH。为了带电插拔造成对 FPGA 芯片的损坏,我们在 JTAG 信号上添加了保护二极管来保证信号的电压在 FPGA 接受的范围,避免 FPGA 的损坏。

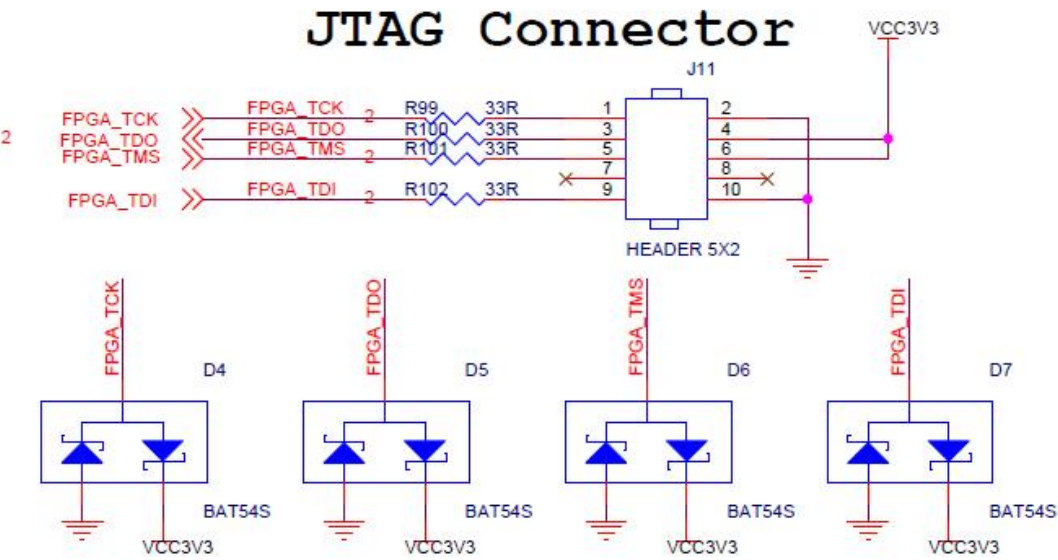


图 3-10-1 JTAG 接口原理图

下图为扩展板上 JTAG 接口实物图,用户可以通过我们提供的 USB 下载器连接 PC 和 JTAG 接口进行 ZYNQ 的系统调试 JTAG 线插拔的时候注意不要热插拔。

(十一) LED 灯

AX7015B 底板上有 6 个红色 LED 灯，其中 1 个是电源指示灯(PWR)，5 个是用户 LED 灯。当底板供电后，电源指示灯会亮起；5 个用户 LED 灯一个连接到 PS 的 MIO 上，另外四个连接到 PL 的 IO 上，用户可以通过程序来控制亮和灭，当连接用户 LED 灯的 IO 电压为高时，用户 LED 灯熄灭，当连接 IO 电压为低时，用户 LED 会被点亮。LED 灯硬件连接的示意图如图 3-11-1 所示：

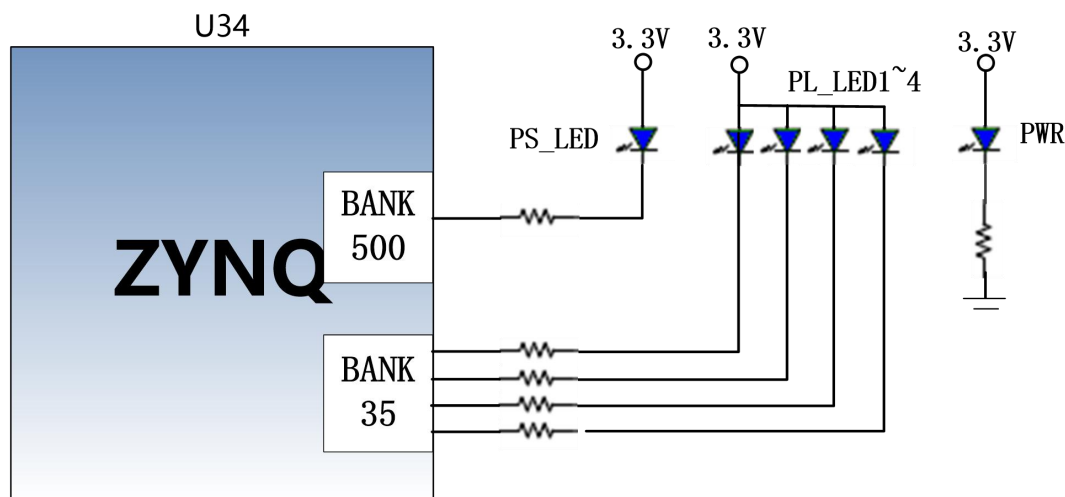


图 3-11-1 底板 LED 灯硬件连接示意图

底板用户 LED 灯的引脚分配

信号名称	ZYNQ 引脚名	ZYNQ 管脚号	备注
PS_LED	PS_MIO9_500	C19	PS端用户LED灯
PL_LED1	B35_L10_P	A5	PL端用户LED1灯
PL_LED2	B35_L9_P	A7	PL端用户LED2灯
PL_LED3	B35_L9_N	A6	PL端用户LED3灯
PL_LED4	B35_L7_N	B8	PL端用户LED4灯

(十二) 用户按键

AX7015B 底板上有 2 个用户按键 PS KEY 和 PL KEY，PS KEY 连接到 ZYNQ 芯片 PS 的 MIO 管脚上，PL KEY 连接到 ZYNQ 芯片 PL 的 IO 管脚上。按键按下，信号为低，ZYNQ 芯片就是检测到低电平来判断按键是否按下。用户按键连接的示意图如图 3-12-1 所示：

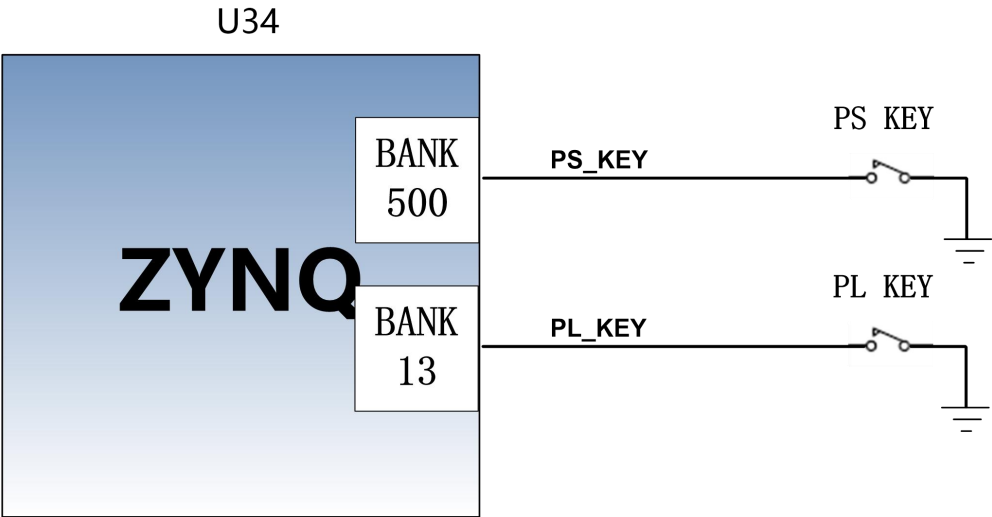


图 3-12-1 用户按键连接示意图

用户按键的 ZYNQ 管脚分配

信号名称	ZYNQ 引脚名	ZYNQ 引脚号	备注
PS_KEY	PS_MIO11_500	B19	ZYNQ系统复位信号
PL_KEY	B13_L8_N	AB12	PL端的用户按键

(十三) 扩展口

AX7015B 底板预留了 1 个 2.54mm 标准间距的 40 针的扩展口 J12，用于连接黑金的各个模块或者用户自己设计的外面电路，扩展口有 40 个信号，其中，5V 电源 1 路，3.3V 电源 2 路，地 3 路，IO 口 34 路。**切勿 IO 直接跟 5V 设备直接连接，以免烧坏 ZYNQ7000 芯片。如果要接 5V 设备，需要接电平转换芯片。**

扩展口(J12)的电路如下图 3-13-1 所示

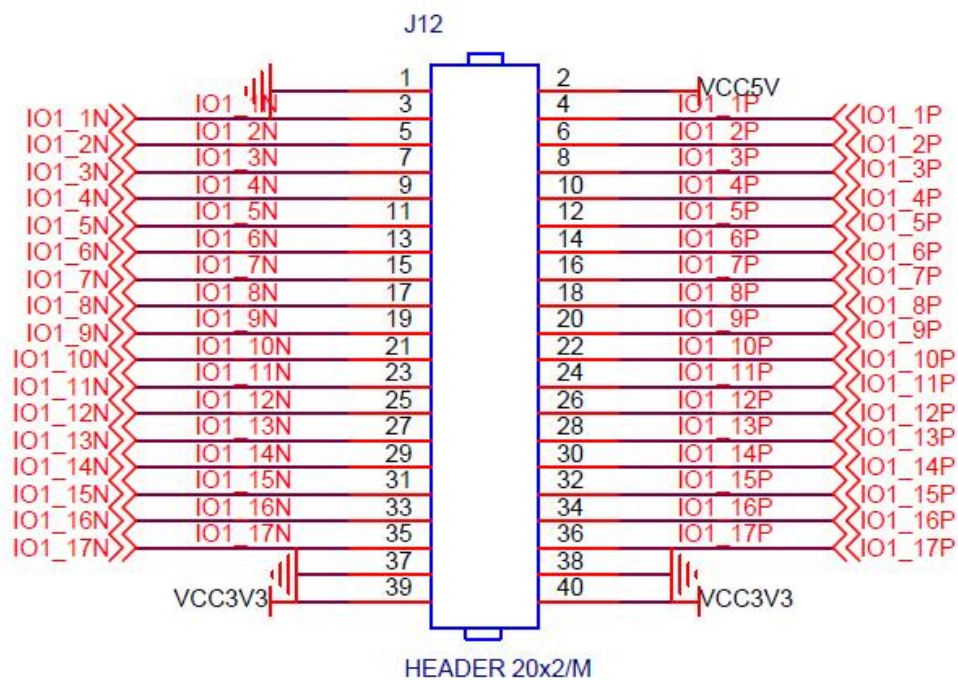


图 3-13-1 扩展口 J12 原理图

J12 扩展口 ZYNQ 的引脚分配

引脚编号	ZYNQ 引脚	引脚编号	ZYNQ 引脚
1	GND	2	+5V (输出)
3	M1	4	M2
5	Y13	6	Y12
7	P2	8	P3
9	R7	10	P7
11	P8	12	N8
13	R2	14	R3
15	R4	16	R5
17	M7	18	M8
19	M3	20	M4
21	U14	22	U13
23	AB14	24	AB13
25	W15	26	V15
27	Y17	28	W17
29	W18	30	V18
31	AB22	32	AB21

33	AA20	34	AA19
35	T17	36	R17
37	GND	38	GND
39	+3.3V (输出)	40	+3.3V (输出)

(十四) 供电电源

开发板的电源输入电压为 DC12V，可以通过 PCIE 插槽或者外接+12V 电源给板子供电。外接电源供电时请使用开发板自带的电源,不要用其他规格电源，以免损坏开发板。底板上通过 3 路 DC/DC 电源芯片 ETA1471FT2G 转换成+5V，+3.3V 和 1.8V 四路电源。扩展上的电源设计如下图 3-14-1 所示:

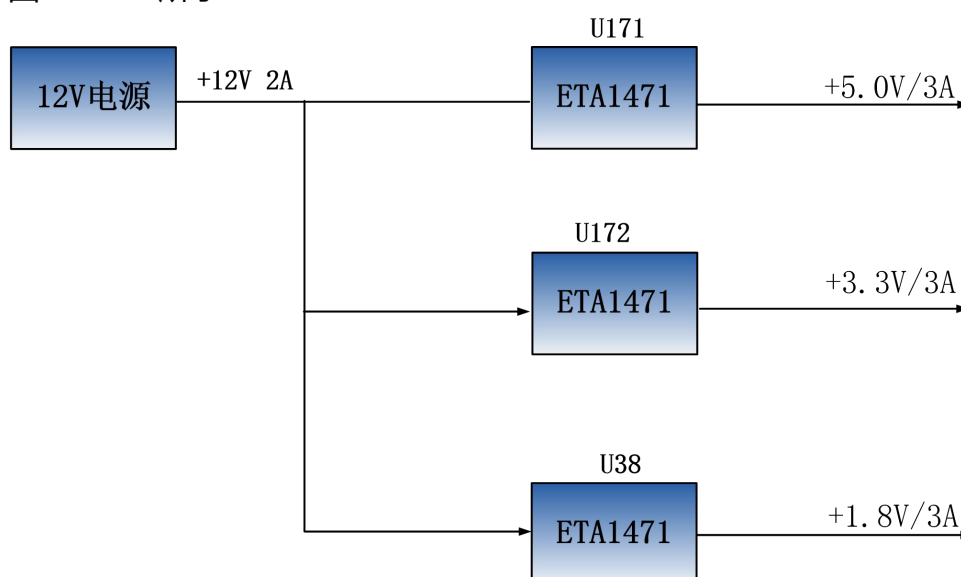
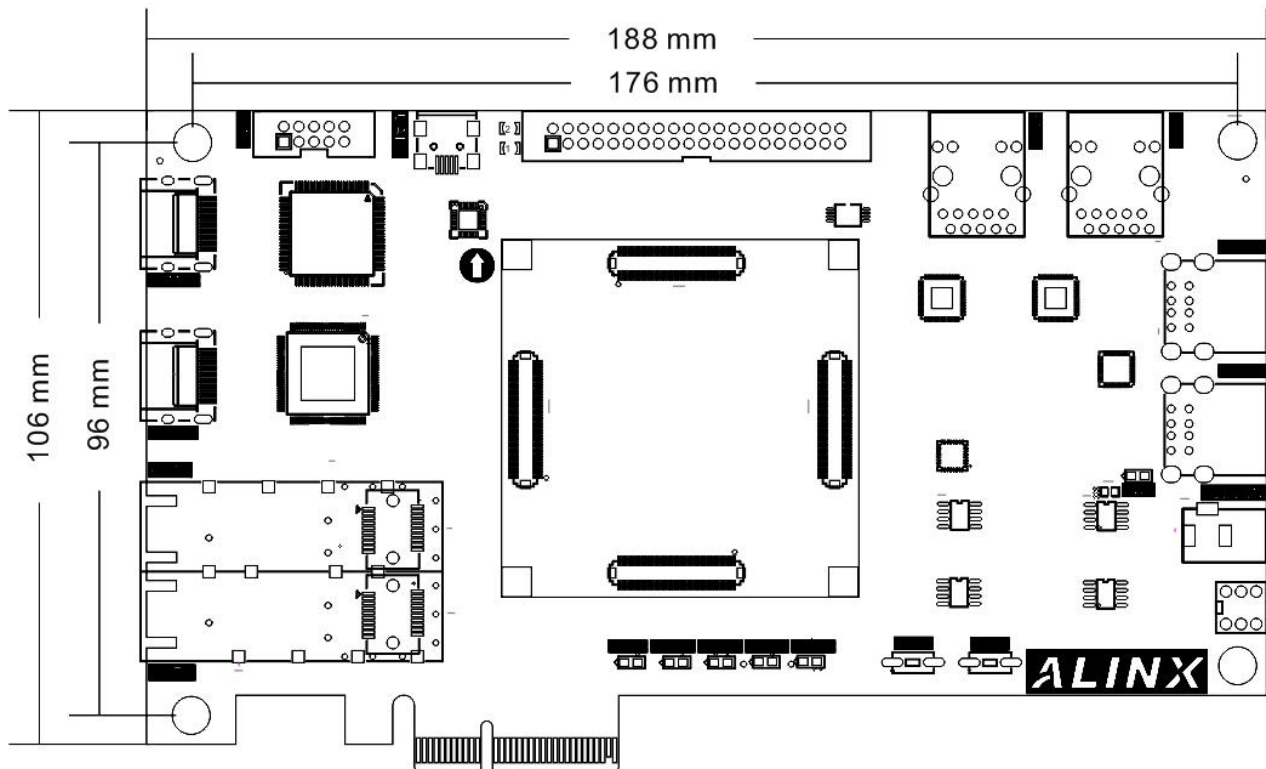


图 3-14-1 底板电源原理图

(十五) 底板结构图



正面图 (Top View)