

华中科技大学

数字电路与逻辑设计
课程实验报告

多功能电子钟

2
0
2
1

姓 名:	邹雅
学 号:	U201915035
班 级:	ACM1901
专 业:	计算机科学与技术
完成日期:	2021. 06. 01

实验五：多功能电子钟系统设计

1. 实验名称

多功能电子钟系统设计。

2. 实验目的

采用合适的设计方法，对给定的要求进行逻辑电路的设计，并利用工具软件 logisim 的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证等训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3. 实验所用设备

Logisim-ITA 软件 1 套，微型计算机（笔记本电脑）1 台。

4. 课时

课内 8 个课时，课外 8 个课时。

5. 实验内容

设计场景：多功能数字钟是一种用数字显示时、分、秒的计时装置，其基本功能如下：

- （1）显示时、分、秒；
- （2）可以切换 24 小时制或 12 小时制（上午和下午）；
- （3）整点报时，整点前 10 秒开始，整点时结束；
- （4）单独对“时、分”计时校准，分钟值校准时不影响小时值；
- （5）闹钟，到设定时间提醒 10 秒。

使用 Logisim 软件对所设计电子钟电路进行虚拟仿真验证，具体要求如下：

（采用 Logisim 软件提供的“时钟频率”为 8hz 的信号源。）

（1）具有校准计数值的六十进制计数器电路

采用实验二所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并进行封装。

具体要求：

（a）封装后的电路输入：一个累加计数脉冲输入端 CP_U 、一个累减计数脉冲输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj ；

（b）封装后的电路输出为八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ （测试时要接两个 16 进制的数码显示管），进位输出信号 $\overline{Q_{cc}}$ ；

（c）当 $Adj=1$ 时，可以通过 CP_U 、 CP_D ，对计数值进行加、减调整来设置当前时间。递减的时候不需要循环累减，回到 0 即可；递增的时候需要循环累加；

（d）当 $Adj=0$ ，通过输入脉冲 CP_U 计数器累加计数，每当累计满 60 产生一个进位输出信号 $\overline{Q_{cc}}$ ；

（e） Clr 为 1 时，计数器清零；

（f）计数器的输出为两位 8421BCD 码；

（g）封装后做出测试电路，测试电路要外接两个 16 进制的数码显示管， CP_U 、 CP_D 接按钮。

（2）具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用（1）设计的六十进制计数器和相应元器件，设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器，并进行封装。

具体要求：

(a) 封装后的电路输入：一个累加计数脉冲输入端 CP_U 、一个累减计数脉冲输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj 、12 小时计时或 24 小时计时控制信号 Set ；

(b) 封装后的电路输出为八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ (测试电路中要两个 16 进制的数码显示管)，进位输出信号 $\overline{Q_{cc}}$ ；

(c) 当 $Adj=1$ 时，可以通过 CP_U 、 CP_D ，对计数值进行加、减调整来设置当前时间。递减的时候不需要循环累减，回到 0 即可；递增的时候需要循环累加；

(d) 当 $Adj=0$ ，通过输入脉冲 CP_U 计数器累加计数，每当累计满 12 或 24 (根据 Set 确定计数制) 产生一个进位输出信号 $\overline{Q_{cc}}$ ；

(e) Clr 为 1 时，计数器清零；

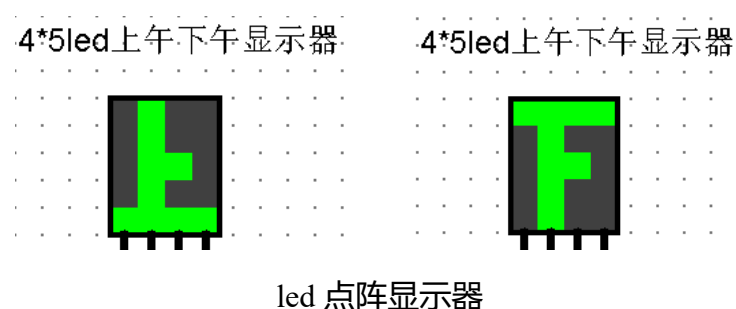
(f) 当 $Set=0$ ，12 小时计时；当 $Set=1$ 时，24 小时计时；

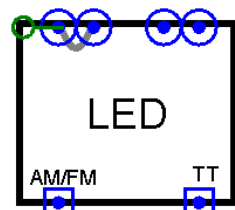
(g) 计数器的输出为两位 8421BCD 码；

(h) 封装后做出测试电路，测试电路要接两个 16 进制的数码显示管， CP_U 、 CP_D 接按钮。

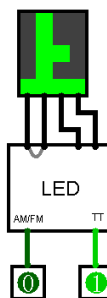
(3) 显示“上午”、“下午”的电路

设计一个采用“Led 点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路，并封装，文字显示如图 5.3 所示。封装图如图 5.4 所示，测试电路如图 5.5 所示。





led 点阵封装图



led 点阵测试图

具体要求：

- (a) 封装后的电路输入为：一个上下午显示控制信号 AM/FM、计时控制 TT；
- (b) 封装后的电路输出为 4 个五位的数据，用以接 4*5Led (4 列×5 行) 显示器；
- (c) AM/FM=0，显示“上”；AM/FM=1，显示“下”；
- (d) TT=0 时，24 小时计时，此时“上、下午”显示屏全灭；TT=1 时，12 小时计时，此时根据具体时间显示“上”或“下”；
- (e) 封装时 Led 显示屏不封装在内；
- (f) 封装后做出测试电路，外接 Led 显示屏。

(4) 电子钟整点报时电路

设计一个 10 秒的整点报时电路，并进行封装，该电路在整点前 10 秒 (59 分 50 秒) 被触发，发出报时信息 (用 Led 灯的亮灭来表示)，报时 10 秒结束。

(5) 秒计时脉冲产生电路

按要求以 Logisim 软件的 8hz 信号作为电路震荡源，设计一个输出为 1hz 的脉冲信号电路，并封装，它成为秒计数器的计数脉冲信号。

(6) 闹钟 (选做)

设计定时起闹（闹钟）电路，并封装。

具体要求：

（a）可设置闹钟起闹时间，具体到小时和分钟，在测试电路中要两个 16 进制的数码显示管；

（b）在设定的起闹时间，闹钟开始响铃，十秒后结束；

（c）闹铃用 Led 灯的亮灭表示；

（d）有控制端可以启用或关闭闹钟。

（7）多功能数字钟电路

充分利用（1）~（6）设计的“私”有元件和相应元器件，设计满足多功能电子钟“设计场景”要求的电路，并封装。

（a）输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“8hz 信号”；输出信号为“时”、“分”、“秒”对应的 6 个 8421BCD 码、“闹钟”和“整点”输出显示信号以及控制“上、下午”显示的信号；

（b）“Set”为“小时计数器”输入信号，当 Set=1 时，计数器为二十四进制计数器，Set=0 时为十二进制计数器；十二进制（上午：12，1~11，下午：12，1~11）和二十四进制（0~23）转换时时间需对应；

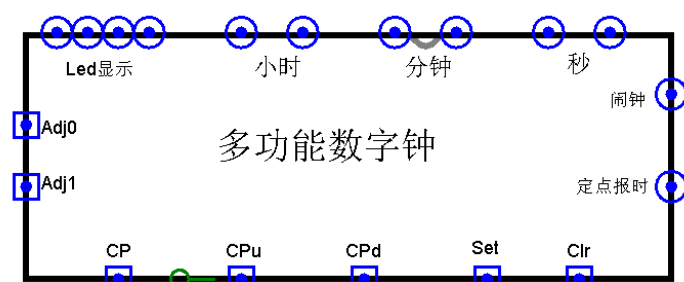
（c）“CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号；

（d）“Adj0”为计数器计数值进行校准的输入控制信号，Adj0=0，表示不调整时钟；Adj0=1，表示调整时钟。在调整时钟时，不产生任何进位信息（秒不向分进位，分不向小时进位）；

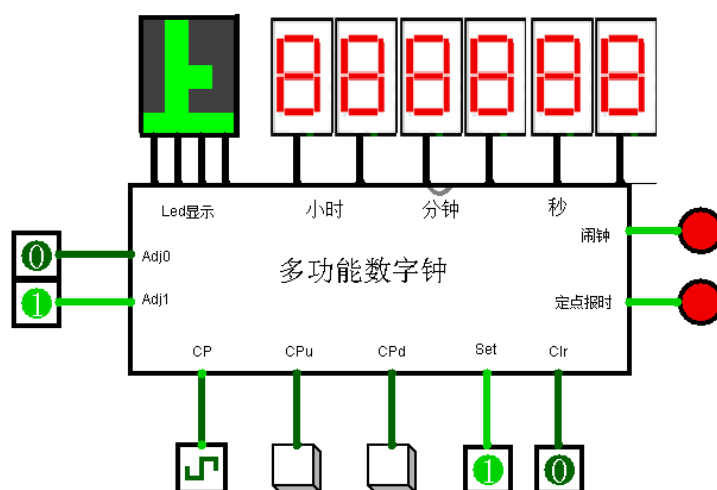
（e）“Adj1”为计数器计数值进行校准的选择输入控制信号，Adj1=0，表示调整小时；Adj1=1，表示调整分钟；

（f）“Clr”为计数器的清除信号，同时对小时、分、秒清零；

- (g) “8hz 信号” 为电子钟脉冲输入信号；
- (h) 输出的时间小时、分和秒分别为 6 个 8421BCD 码；
- (i) “Led 点阵” 显示器分别对应 “上、下午” 输出信号；
- (j) 两个 “发光二极管 (Led 灯)” 分别对应 “闹钟”，“整点” 输出信号。
- (k) 如果选做闹钟，“Alarm” 为输入的时间设定提醒值（闹钟值）；
- (l) 封装后做出测试电路，测试电路中小时、分和秒要接 16 进制显示器，CPU、CPD 接按钮，CP 接时钟源，闹钟和定点报时接 Led 灯，Led 显示接 Led 显示屏，其余接输入引脚。



电子钟的“输入、输出检查要求”



电子钟的测试电路

6. 实验方案设计

(1) 具有校准计数值的六十进制计数器电路

1) 给出设计过程或设计思路;

60 需要用六位二进制来表示, 借助四位二进制可逆计数器来实现六十进制计数器时, 就需要两片四位二进制可逆计数器。在四位二进制可逆计数器的基础上改进, 加法时低位满 10 进 1; 减法时高位减 1, 低位置 9。若四位二进制为 0, 则 CPd 不再有效。 \sim LD 控制的第一片置 9。

将两个四位二进制可逆计数器连接, 加法时个位满 10 进 1 并清零, 十位满 6 进 1 并清零; 减法时个位为 0, 产生借位, 此时如果十位不为 0 则十位 CPd 产生一个脉冲, 十位减 1, 个位置 9。

2) 画出电路图

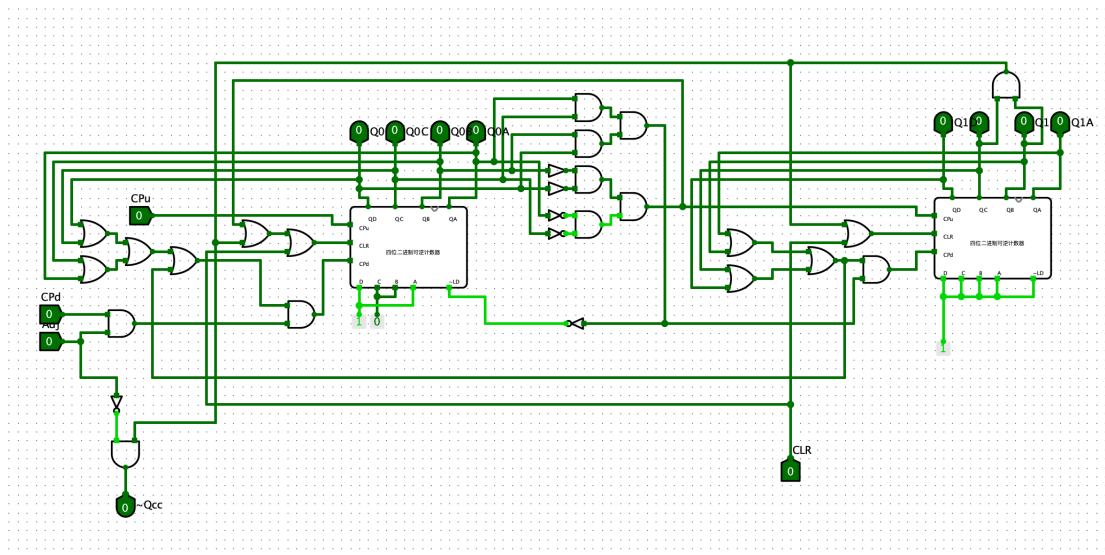


图 6-1 具有校准计数值的六十进制计数器电路

(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路

1) 给出设计过程或设计思路;

利用已实现的六十进制计数器, 来实现十二进制和二十四进制计数器。注意输出的是 8421 码。当 set 等于 1 且计数到达 24 或者是 set 等于 0 计数到达 12 时, 控制 CLR 清零便可实现循环累加。Adj 直接控制输出脉冲, 即可实现 Adj 等于 0 时产生进位输出信号的功能。

2) 画出电路图

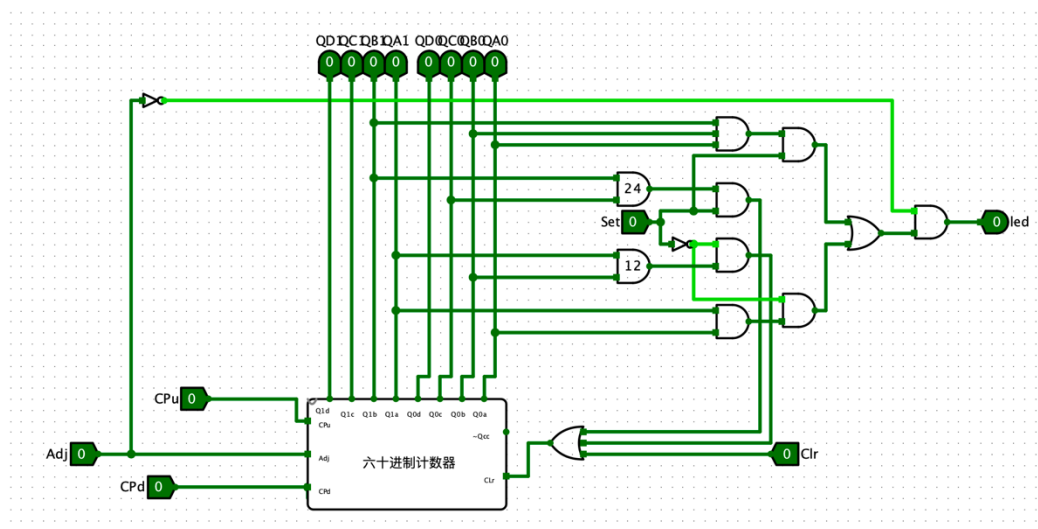


图 6-2 具有校准计数值的十二进制计数器或二十四进制的计数器电路

(3)显示“上午”、“下午”的电路

1) 给出设计过程或设计思路;

“上午”、“下午”的输出 LED 点阵列是 4*5 点阵，分别观察得到显示“上”和“下”时四列的值。当显示“上”时，从左到右控制的值应该是 1H、1fH、5H、1H；当显示“下”的时候，从左到右控制的值应该是 10H、1fH、14H、10H。利用两层各四个多路选择器来实现，第一层由 TT 控制，若 TT 为 0 直接输出 0，否则输出第二层多路选择器中输入的数；第二层多路选择器由 AM/PM 控制，若 AM/PM 为 0，则输出“上”对应的四个值，否则输出“下”对应的七个值。

2) 画出电路图

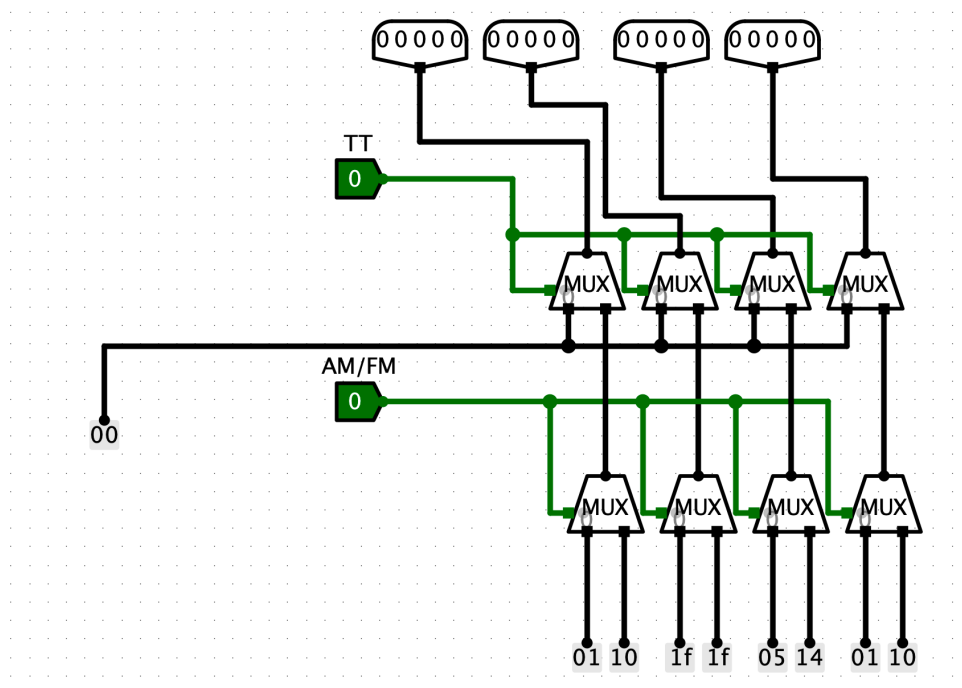


图 6-3 显示“上午”、“下午”电路

(4) 电子钟整点报时电路

1) 给出设计过程或设计思路:

输入分秒的 8421 码表示, 当 Adj 等于 1, 且分到达 59 且秒的十位到达 5 时, 电路开始整点报时, 即输出 1。若 Adj 等于 0, 则没有整点报时的功能。

2) 画出电路图

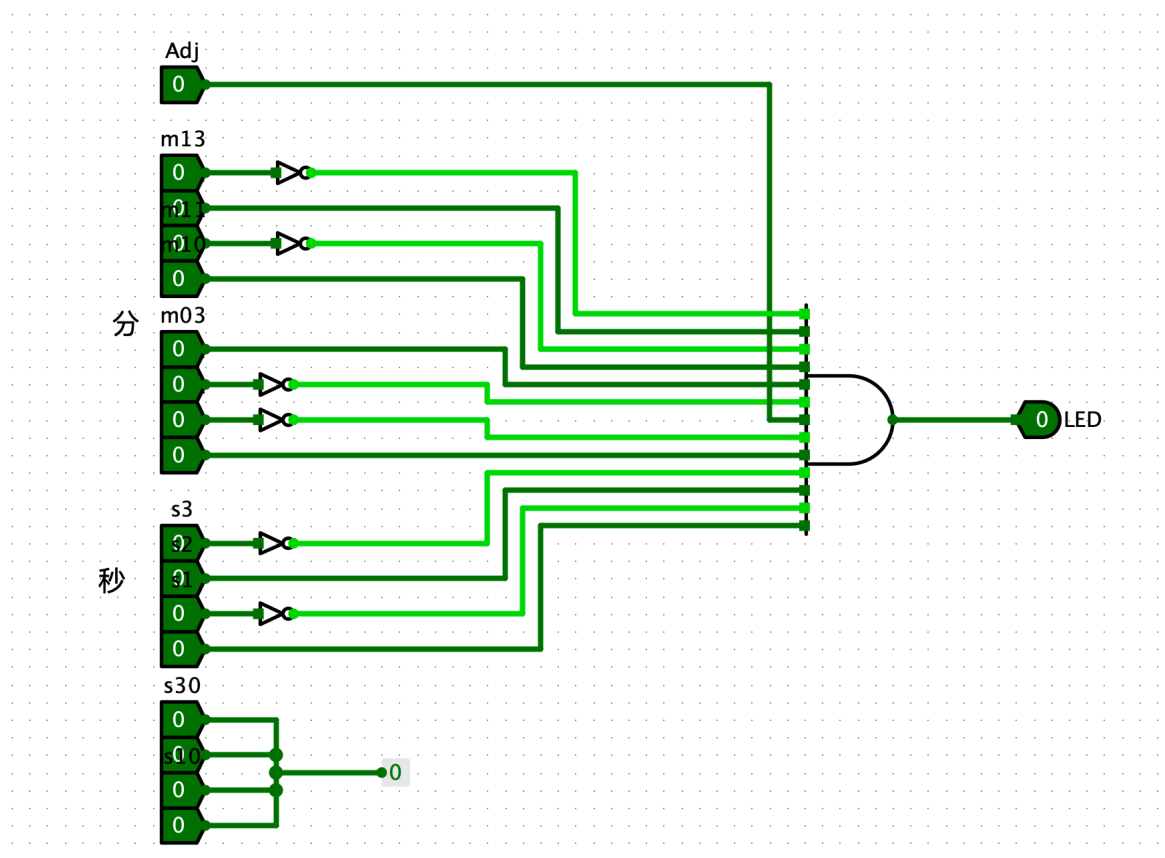


图 6-4 电子钟整点报时电路

(5) 秒计时脉冲产生电路

1) 给出设计过程或设计思路:

采用四位二进制可逆计数器设计出一个模 7 计数器, 即输出为 7 时产生一个输出 1 且清 0, 就可以使输入 8hz 变为输出 1hz。

2) 画出电路图

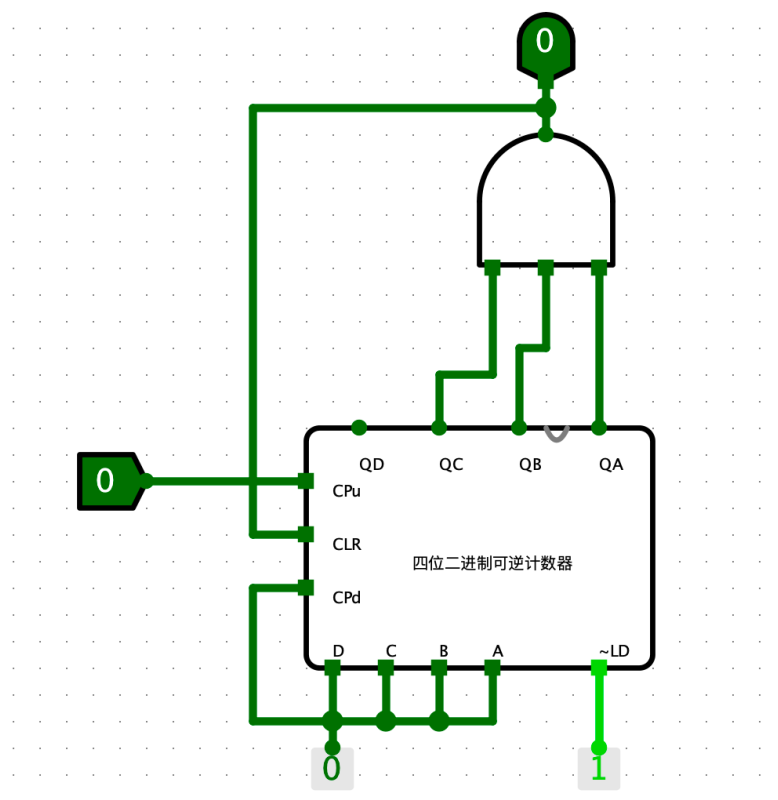


图 6-5 秒计时脉冲产生电路

(6) 多功能数字钟电路

1) 给出设计过程或设计思路;

整个电路的计时用两个六十进制计数器和一个十二或二十四进制计数器来实现，其中六十进制计数器分别对应分和秒的计时，十二或二十四进制计数器对应小时的计时；组合入秒计时脉冲产生电路来实现输入 CP 从 8HZ 脉冲到 1HZ 的转化；利用上下午显示电路来控制显示当前是上午还是下午还是 24 小时进制；利用电子钟整点报时电路，输入当前时间的分和秒，来控制何时报时。

为了实现十二进制和二十四进制的转换，我们让十二或二十四进制电路模块的 set 端口输入为常量 1，即这个模块的输出始终为 24 进制。而上下午显示电路的 AM/FM 只需要判断输出是否大于等于 12 就可以决定显示上午还是下午，以此简化电路设计，而数字钟的 set 端口仍然作为输入端，直接控制上下午显示电路的 TT 端口。将 24 进制转换为 12 进制的思路如下：

(1) 由于 8421 码转化问题，8 位 $Q1dQ1cQ1bQ1aQ0dQ0cQ0bQ0a$ 组成的数 Q 利用二进制展开并不是真值，所有要进行相应处理。如果 $Q1b \cdot \overline{Q0b} = 1$ ，此时时间大于等于二十四进制 20 点，选择 Q 减去 $0x18$ （比如 $0x20$ 减去 $0x18$ 得到 $0x08$ ，二十四进制的 20 点对应的是晚上八点），否则选择 Q 减去 $0x12$ ，得到 Q' 。

(2) Q 是否大于等于 $0x12$ ，是则输出为 1 到 AM/FM，意味着此时为下午，否则输出为 0。

同时该结果作为选择器的选择端，如果为 0 选择输出的结果为 Q 本身，否则选择输出 Q'。

(3) 比较上面 (2) 的选择器和 0x00，如果等于 0x00，则选择输出为 0x12（十二进制时零点显示为 12 点）否则输出自己本身。

整个电路从表示秒的六十进制计数电路开始计数，满 60 进 1 至表示分的六十进制计数电路，再满 60 进 1 至表示小时的十二或二十四进制计数电路。小时的显示通过以上所述转化实现，而秒分直接输出，并控制了电子钟整点报时电路。

2) 画出电路图

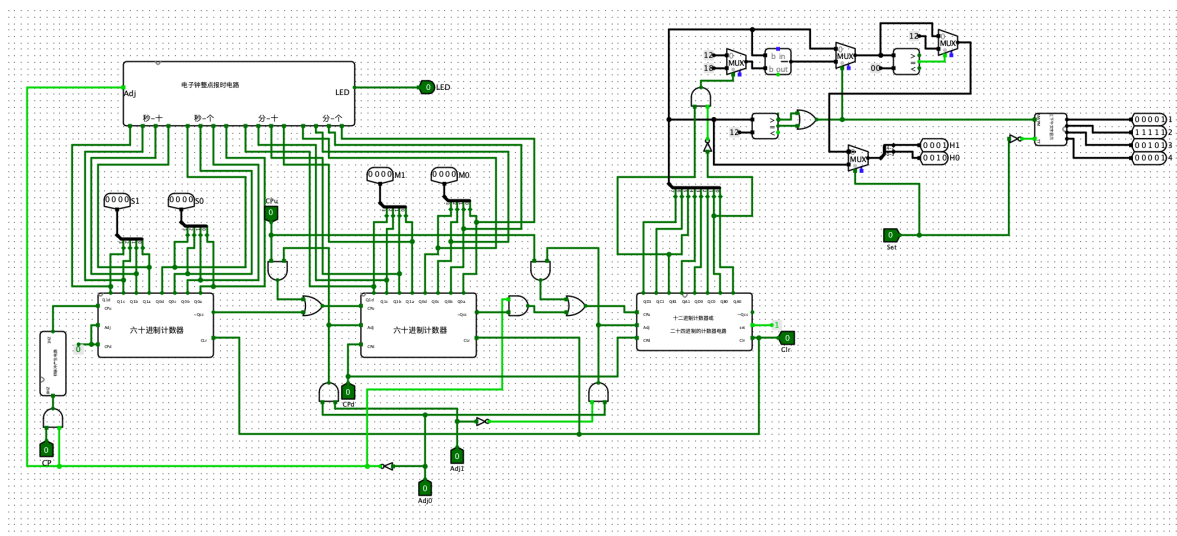


图 6-6 多功能数字钟电路

(7) 闹钟

1) 给出设计过程或设计思路:

在上述多功能数字钟电路的基础上，为闹钟电路增加了两个输入端 AlarmAdj 和 Alarm。Alarm=0 意味着关闭闹钟，Alarm=1 为开启闹钟；AlarmAdj=0 表示不调整闹钟，AlarmAdj=1 表示调整闹钟。由数字钟的 CPu、CPd 调整时数值，Adj1=0 时表示调整小时，为 1 时表示调整分钟。闹钟只有在开启的时候（Alarm=1）才可以调整时间。闹钟灯亮的时候是以输入的时钟信号一样的频率闪烁。

闹钟电路中利用了两个多功能数字钟的封装电路。第一个数字钟电路用来实现基本的数字钟功能并显示调整闹钟时的值，第二个数字钟用来控制判断闹钟的灯亮灭。具体的实现思路是调整闹钟时比较第二个模块设置的小时和分钟和第一个模块正在计时显示的时分秒以及两个模块的上下午输出，如果均相等的话，意味着此时闹钟应该启动（LED 亮）并且持续十秒的时间。为了实现持续十秒的功能，利用了“四位二进制可逆计数器”实现模 10 计数。计时输出没有达到 10 的时候灯亮，计时达到 10 的时候灯灭，且此时输入到该计数器的累加脉冲变为 0 不在继续累加（10 秒）；同时采用了一个多路选择器，当设置的闹钟时间和当前时间不等或者模十部分输出为十就选择 0 作为模十部分的 CPu 信号，否则的话选择 CP 信号（为了实

现闹钟的十秒和时钟的十秒同步，需要用到秒计时脉冲产生电路来使时钟信号同步)。

同时为了让调整闹钟时的显示和时钟的显示共用一套十六进制数字显示，采用两个多路选择器，以闹钟的开关和调整与否的与值作为选择端，只有在闹钟开启且调整闹钟的时候才显示调整闹钟的多功能数字钟的时钟数值，否则显示计时时钟数值。

2) 画出电路图

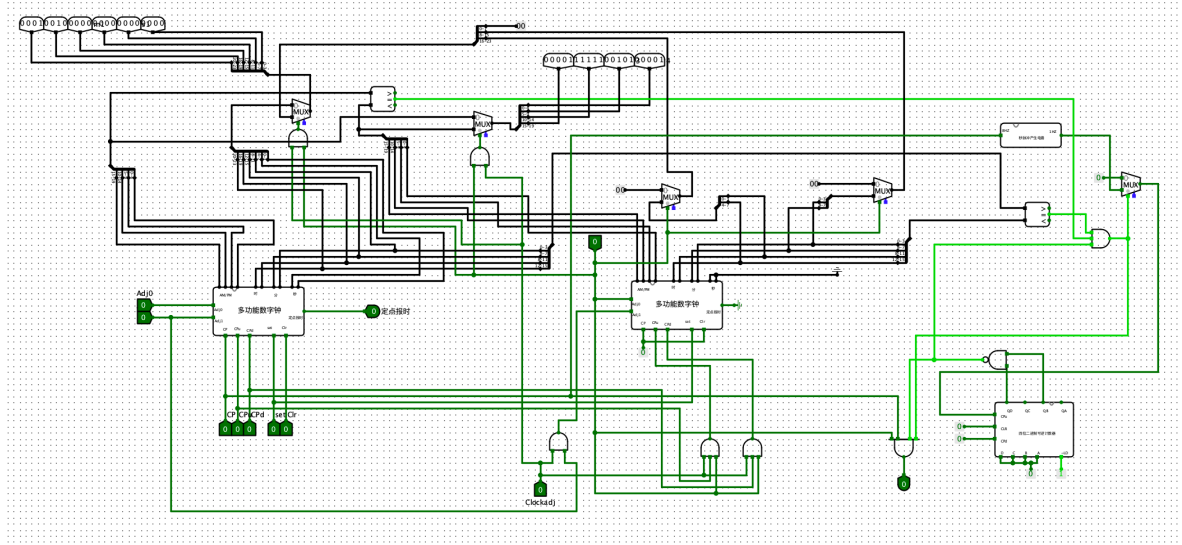


图 6-7 带闹钟的多功能数字钟电路

7、实验结果记录

(1) “六十进制可逆计数器”的测试电路

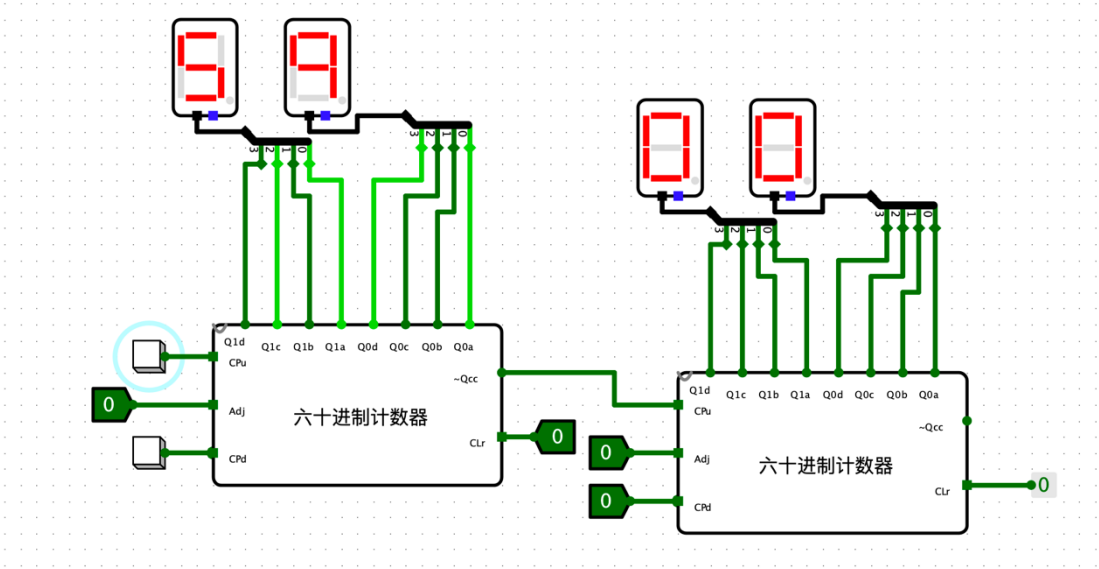


图 7-1 将第一个六十进制计数器累加至 59

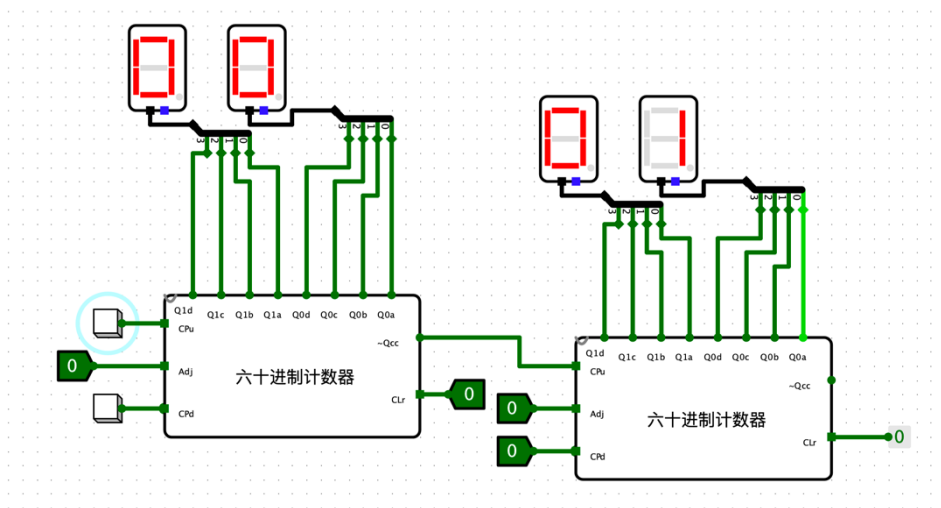


图 7-2 再增加一个 CPU，输出一个进位脉冲

(2) “十二进制或二十四进制的计数器”的测试电路

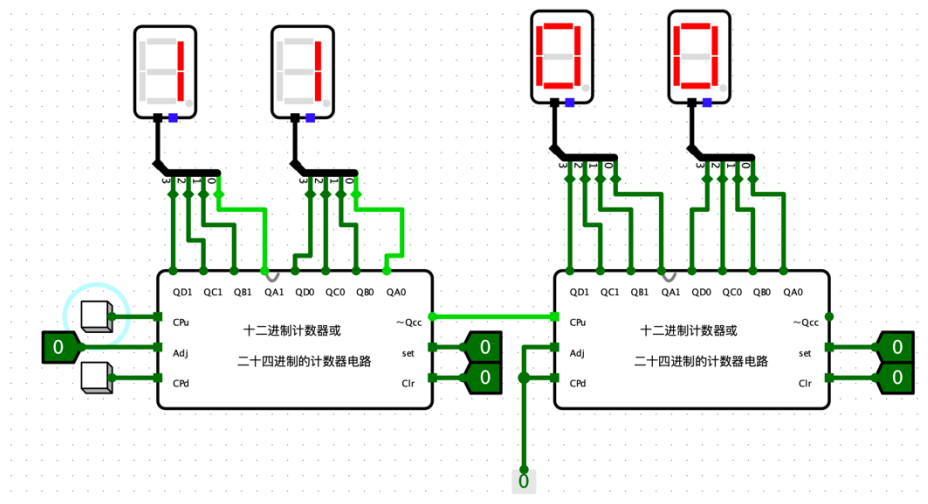


图 7-3 十二进制测试累加至 11

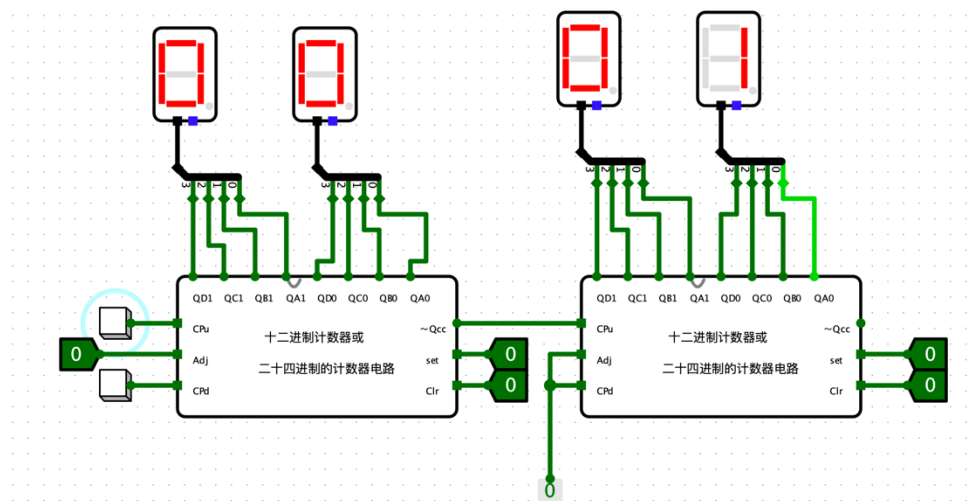


图 7-4 十二进制加至 12，产生进位

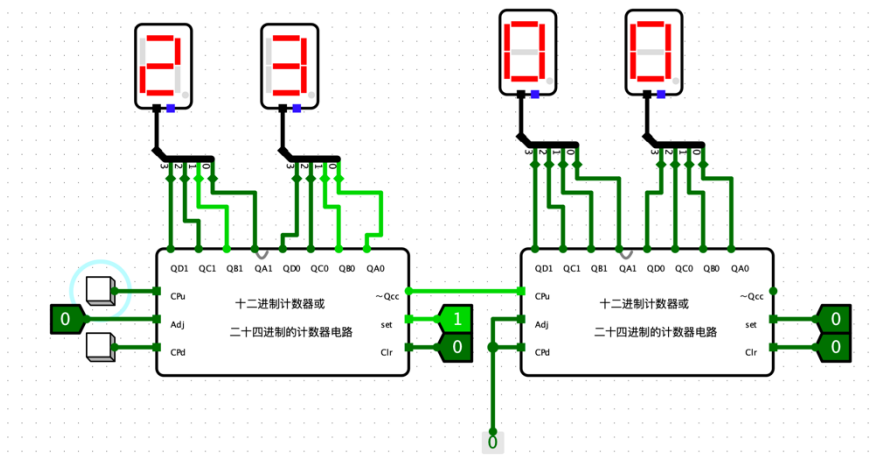


图 7-5 二十四进制累加至 23

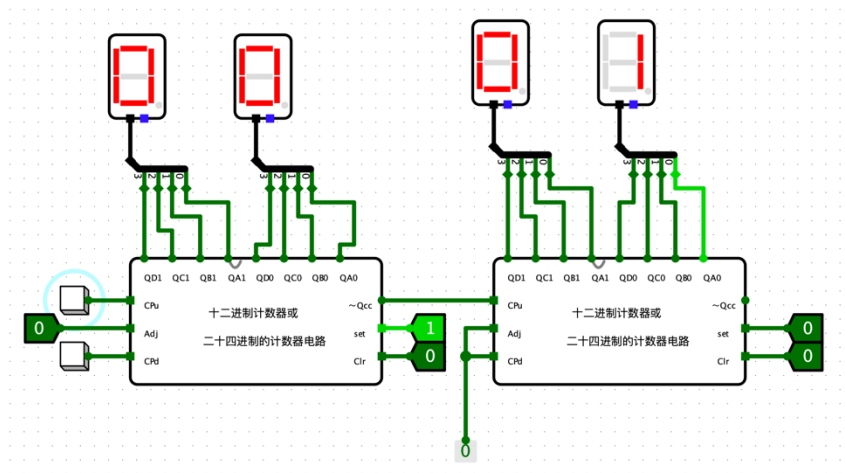


图 7-6 二十四进制累加至 24，产生进位

(3) 上下午文字显示电路

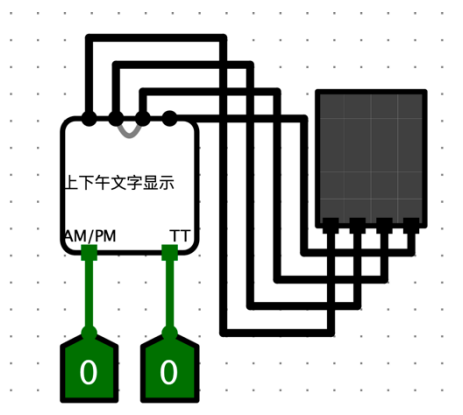


图 7-7 二十四进制时不显示

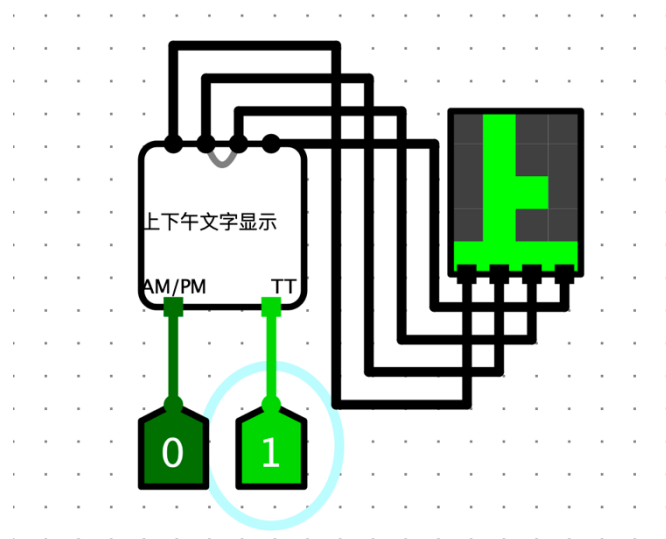


图 7-8 十二进制的上午显示

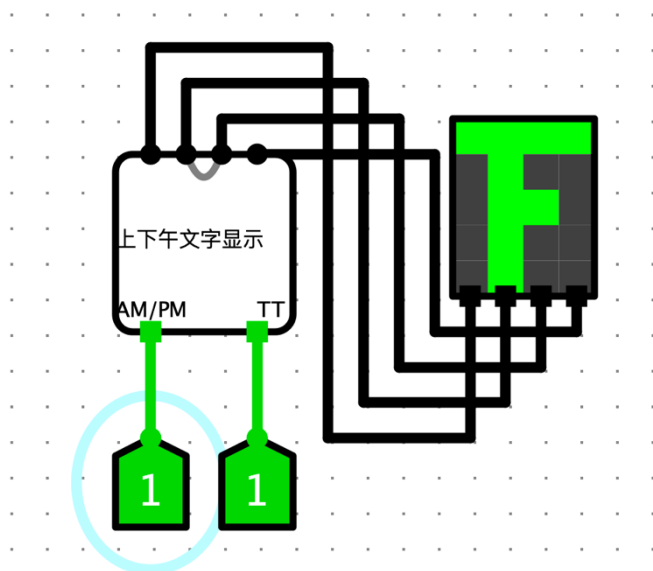


图 7-9 十二进制的下午显示

(4) 电子钟整点报时测试电路

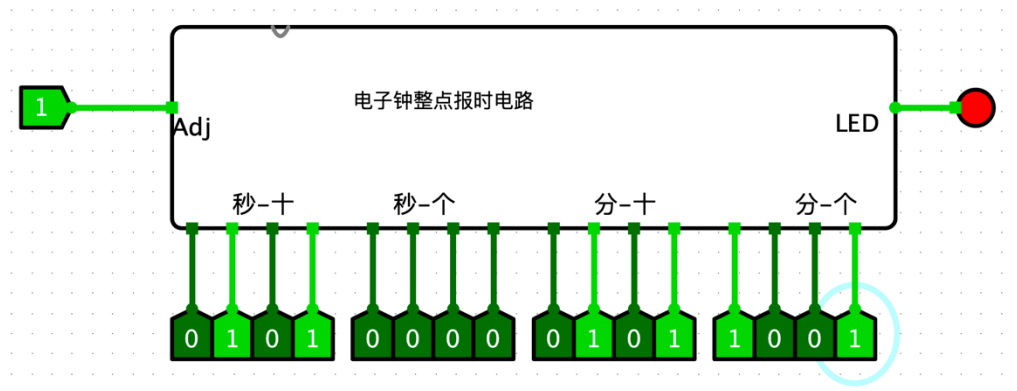


图 7-10 电子钟整点报时

(5) 带闹钟多功能数字钟电路的测试电路

将时间调至下午 11:59 分，闹钟调至上午 12:00，开启时钟连续。

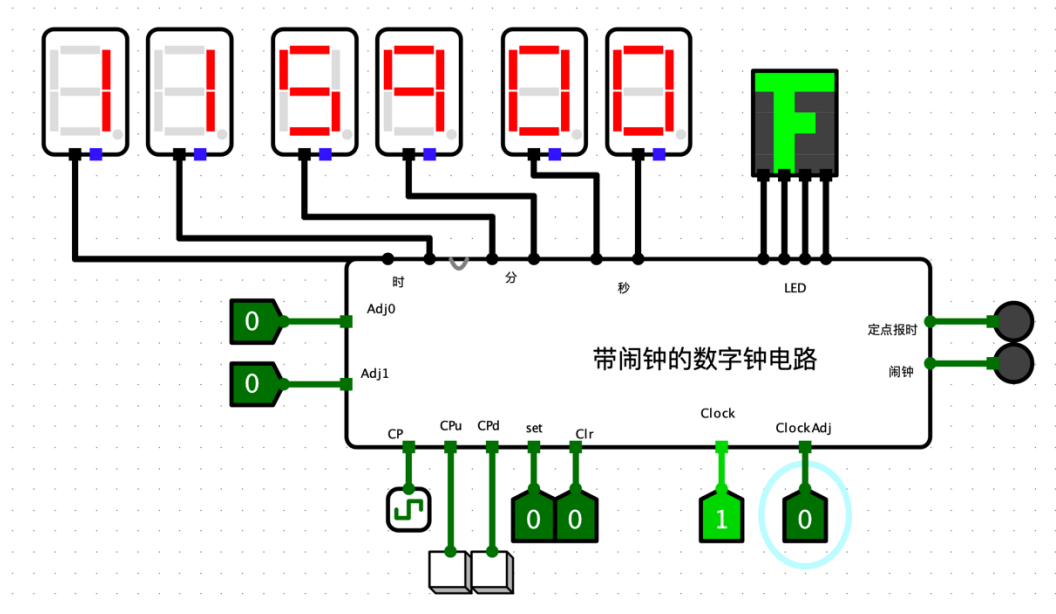


图 7-11 调节时间

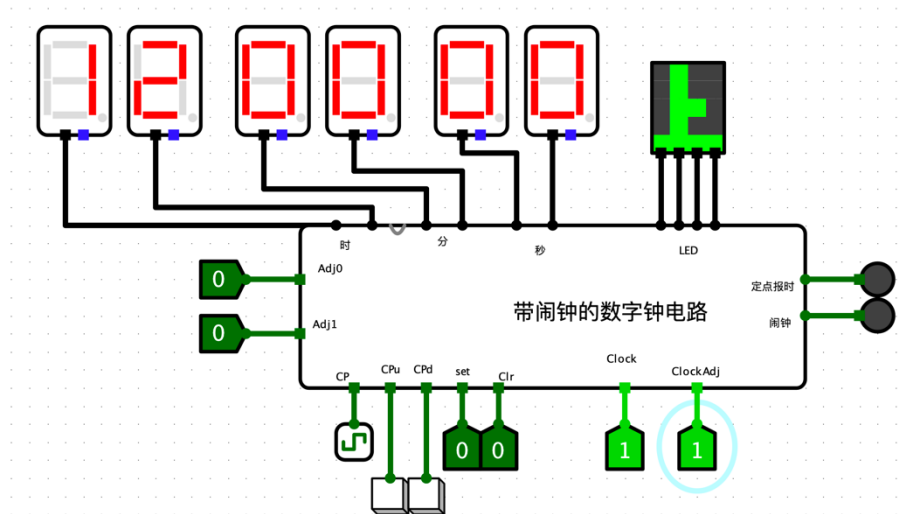


图 7-12 调节闹钟设定时间

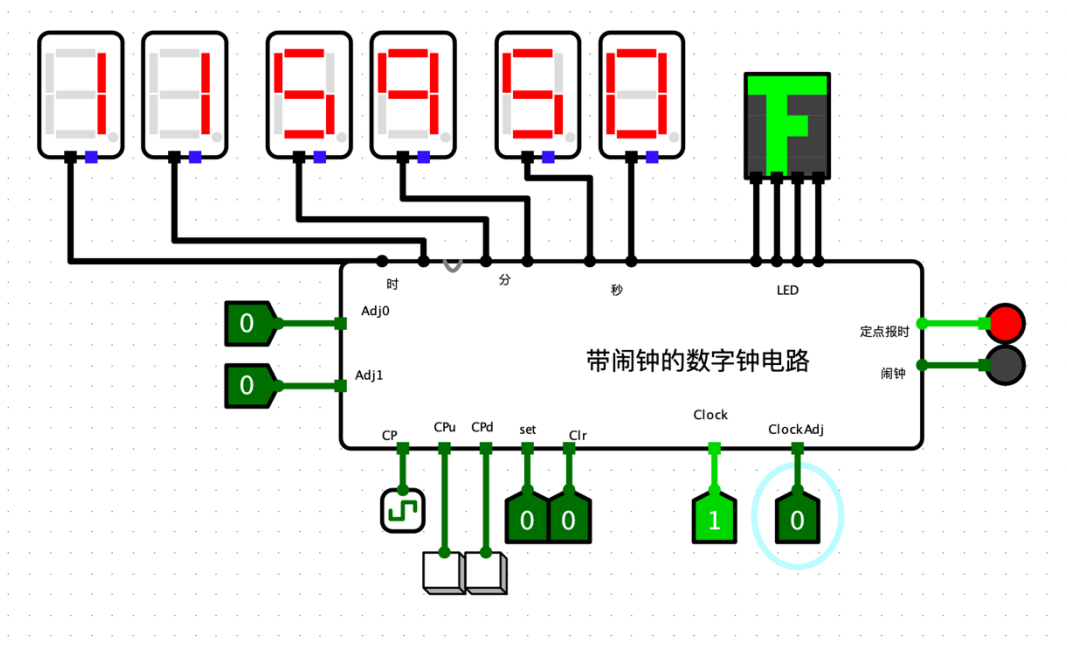


图 7-13 整点报时测试

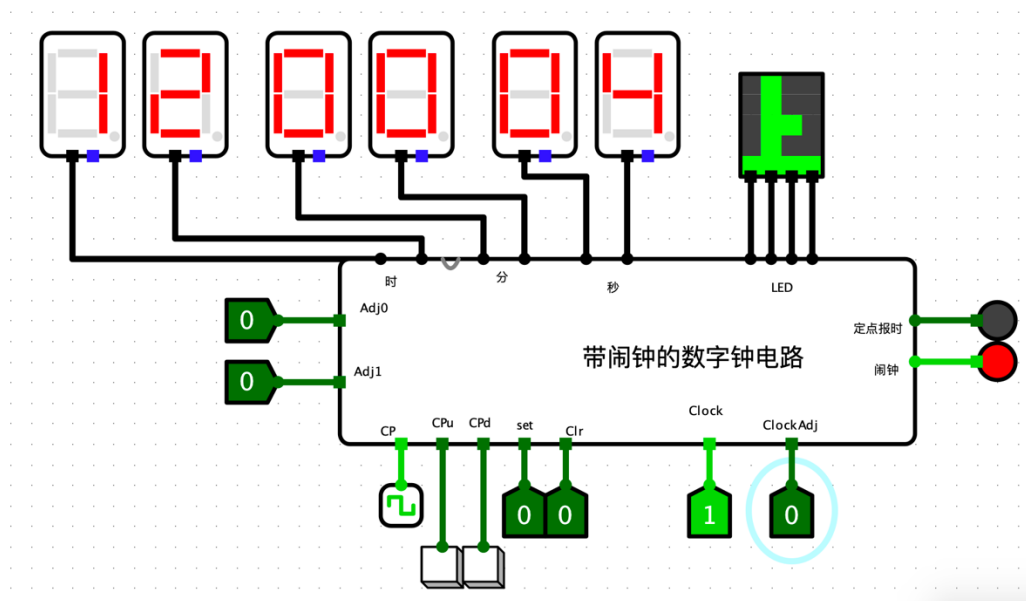


图 7-14 闹钟测试 (闹 10 秒)

8、实验后的思考

(1) 实验的难点在哪些方面？

本次实验的难点在于如何综合解决问题，把每一个模块都实现并且组合在一起。在实现多功能数字钟的时候，最难解决的是小时如何在十二进制和二十四进制之间表示和转化。以及在最后实现闹钟的时候，一度困在不知如何保存闹钟设置值而踌躇不前。

（2）你是如何解决的？

解决整体的问题要从局部着手，从上到下把每一个模块按照规定好的功能实现和表示之后，再来着手想接下来的问题就会轻松很多。

在解决十二小时和二十四小时进制表示的时候一度想着用 set 控制十二进制或二十四进制计数器，但是结果就是很复杂很难转化。后来想到 set 不直接控制这个计数器，而是都用二十四进制计数器，再根据值来判断输出，思路就清晰了很多。具体实现方式在上面也介绍了。

闹钟的电路我最后是采用组合了之前实现的多功能电子钟电路的。因为脱离开多功能电子钟直接测试闹钟其实也是无意义的。用两个多功能电子钟电路，一个保存闹钟设置值，一个控制时间的流动（CP 输入的保存），当需要闹钟的时候，两组值进行比较即可，只要通过 Alarm 和 AlarmAdj 来控制时钟显示输出即可。

这次实验难度对于设计电路的新手来说还是挺大的，我也在这个过程中学到了很多思考了很多。