实验一：系列二进制加法器设计

1．实验名称

系列二进制加法器设计。

2．实验目的

采用传统电路的设计方法，设计4种二进制加法器（含封装），并利用工具软件 Logisim的仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真和验证等训练过程使学生掌握传统逻辑电路的设计、仿真和调试的方法。

3．实验所用设备

Logisim-ITA软件1套，微型计算机（笔记本电脑）1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

设计电路并使用Logisim软件进行仿真。除逻辑门、触发器外，不能直接使用Logisim软件提供的其它逻辑组件库元件。

具体内容如下：

**（1）一位二进制半加器**

设计一个一位二进制半加器，电路有两个输入A、B，两个输出S和C。输入A、B分别为被加数、加数，输出S、C分别为本位和、向高位的进位信号。

**（2）一位二进制全加器**

设计一个一位二进制全加器，电路有三个输入A、B和Ci，两个输出S和Co。输入A、B和Ci分别为被加数、加数和来自低位的进位，输出S和Co分别为本位和、向高位的进位信号。

**（3）串行进位的四位二进制并行加法器**

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0为本位和，C4为向高位的进位。

**（4）先行进位的四位二进制并行加法器**

利用先行进位的思想设计一个先行进位的四位二进制并行加法器，电路有九个输入A3、A2、A1、A0、B3、B2、B1、B0和C0，五个输出S3、S2、S1、S0和C4。

输入A= A3A2A1A0、B= B3B2B1B0和C0分别为被加数、加数和来自低位的进位，输出S= S3S2S1S0为本位和，C4为向高位的进位。

**（5）将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性**

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号如图1.1所示。

**S3 S2 S1 S0**

**C4 四位二进制并行加法器 C0**

**A3 A2 A1 A0  B3 B2 B1 B0**

图1.1先行进位的四位二进制并行加法器

6. 实验方案设计

要求：（1）给出函数表达式或逻辑描述；

（2）画出电路图。

7. 实验结果提交

要求：（1）本次实验的全部电路都在同一个Logisim文件中，子电路结构如图1.2所示；

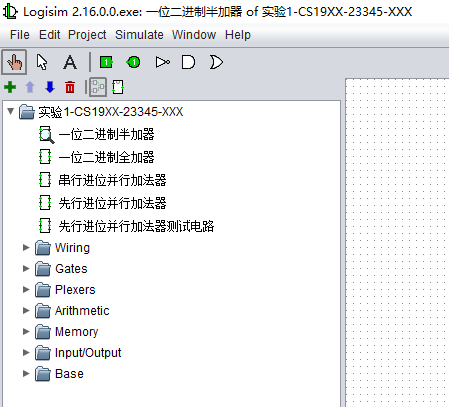


图1.2 实验一子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

（2）上传Logisim电路文件，命名格式：实验1-班级-学号-姓名。