实验三：无符号数的乘法器设计

1. 实验名称

无符号数的乘法器的设计。

2. 实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件Logisim进行无符号数的乘法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的乘法器的设计、仿真、验证等训练过程，使学生掌握数字逻辑电路的设计、仿真、调试的方法。

3．实验所用设备

Logisim-ITA软件1套，微型计算机（笔记本电脑）1台。

4．课时

课内4个课时，课外4个课时。

5．实验内容

（1）四位乘法器设计

四位乘法器Mul4🞨4实现两个无符号的4位二进制数的乘法运算，其结构框图如图3.1所示。设被乘数为b(3:0)，乘数为a(3:0)，乘积需要8位二进制数表示，乘积为p(7:0)。

Mul4🞨4

a(3:0)

b(3:0)

p(7:0)

图3.1 四位乘法器结构框图

四位乘法器运算可以用4个相同的模块串接而成，其内部结构如图3.2所示。每个模块均包含一个加法器、一个2选1多路选择器和一个移位器shl。

图3.2中数据通路上的数据位宽都为8，确保两个4位二进制数的乘积不会发生溢出。shl是左移一位的操作，在这里可以不用逻辑器件来实现，而仅通过数据连线的改变就可实现。

（2）32🞨4乘法器设计

32🞨4乘法器Mul32🞨4实现一个无符号的32位二进制数和一个无符号的4位二进制数的乘法运算，其结构框图如图3.3所示。设被乘数为b(31:0)，乘数为a(3:0)，乘积用64位二进制数表示，乘积为p(63:0)。



图3-2 四位乘法器内部结构

Mul32🞨4

a(3:0)

b(31:0)

p(63:0)

图3.3 32🞨4乘法器结构框图

在四位乘法器Mul4🞨4上进行改进，将数据通路上的数据位宽都改为64位，即可实现Mul32🞨4。p(64:0)用两个32位的输出ph(31:0) 、pl(31:0)表示

（3）32🞨32乘法器设计

32🞨32乘法器Mul32🞨32实现两个无符号的32位二进制数的乘法运算，其结构框图如图3.4所示。设被乘数为b(31:0)，乘数为a(31:0)，乘积用64位二进制数表示，乘积为p(64:0)。

Mul32🞨32

a(31:0)

b(31:0)

p(63:0)

图3.4 32🞨32乘法器结构框图

用32🞨4乘法器Mul32🞨4作为基本部件，实现32🞨32乘法器Mul32🞨32。

设被乘数为b(31:0)=(b31b30b29b28**···**b15b14b13b12**···**b4b3b2b1b0)2

乘数为a(31:0)=(a31a30a29a28**···**a15a14a13a12**···**a3a2a1a0)2

=(a31a30a29a28)2🞨228+**···**+**(** a15a14a13a12)2🞨212+**···**+ (a3a2a1a0)2🞨20

那么，

p(63:0)= b(31:0) 🞨 a(31:0)

=b(31:0)🞨((a31a30a29a28)2🞨228+**···**+**(**a15a14a13a12)2🞨212+**···**+ (a3a2a1a0)2🞨20)

= b(31:0)🞨(a31a30a29a28)2🞨228 +**···**+ b(31:0) 🞨 **(** a15a14a13a12)2🞨212 +**···**+ b(31:0) 🞨 (a3a2a1a0)2🞨20

从上述推导可知，Mul32🞨32可以用8个Mul32🞨4分组相乘，然后通过4的倍数位的左移（相当于乘2i），再将左移结果**两两相加(尽量减少器件传输级数)**得到。

6．实验设计过程

要求：（1）写出设计思想，画出乘法器的内部逻辑结构框图；

（2）给出logisim软件绘制的电路图。

7．实验结果记录

根据实验方案设计要求，对于相应的乘法器，在给定的输入条件下，填写表3.1。

表3.1 无符号数的乘法器实验结果记录表

|  |  |  |  |
| --- | --- | --- | --- |
| **电路** | **输入1（16进制）** | **输入2（16进制）** | **输出（16进制）** |
| Mul4🞨4 | b=0🞨A | a=0🞨A | p=64 |
| Mul4🞨4 | b=0🞨E | a=0🞨9 | p=7E |
| Mul32🞨4 | b=0🞨003ABEF1 | a=0🞨A | p=24B756A |
| Mul32🞨4 | b=0🞨019ABEF1 | a=0🞨7 | p=B3B3897 |
| Mul32🞨32 | b=0🞨0002BEF1 | a=0🞨00004EF1 | p=D8C32EE1 |
| Mul32🞨32 | b=0🞨00003EF1 | a=0🞨0003BEF1 | p=EBC51EE1 |

8. 实验结果提交

要求：（1）本次实验的全部电路都在同一个Logisim文件中，子电路结构如图3.5所示；

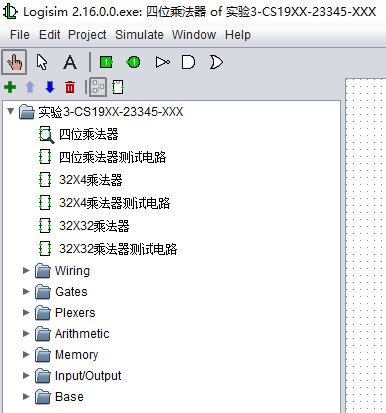


图3.5 实验三子电路结构

注意，所有的测试电路都是指封装之后加入外部的输入输出信号的电路。

（2）上传Logisim电路文件，命名格式：实验3-班级-学号-姓名。

（3）提交（上传）表3.1填写结果的截图，命名格式：实验3表3.1-班级-学号-姓名