



VLSI数字信号处理系统设计与实现

期末复习

(2024.12.24)

集成电路学院 田静



学习本课程的目的

- 为了提高系统性能，引入了**更先进/复杂的算法**，如人工智能算法、LDPC、MIMO、后量子密码算法、区块链共识算法等，这些算法在实际系统中往往会导致**更大的功耗**
- 实际的应用程序通常需要更高的速度，例如，以太网的速度大约每8年增长10倍（IEEE官网可查）。数据速率的增加直接导致**更大的功耗**
- 随着便携式计算设备的普及和对封装成本和尺寸要求的不断提高，人们的**迫切要求低功耗设计**
- 在**功耗**或速度上的**VLSI优化**通常在多个层面上实现，包括**算法层**、**架构层**、以及**电路层**

$$P_{CMOS} = C_{total} \cdot V_0^2 \cdot f$$

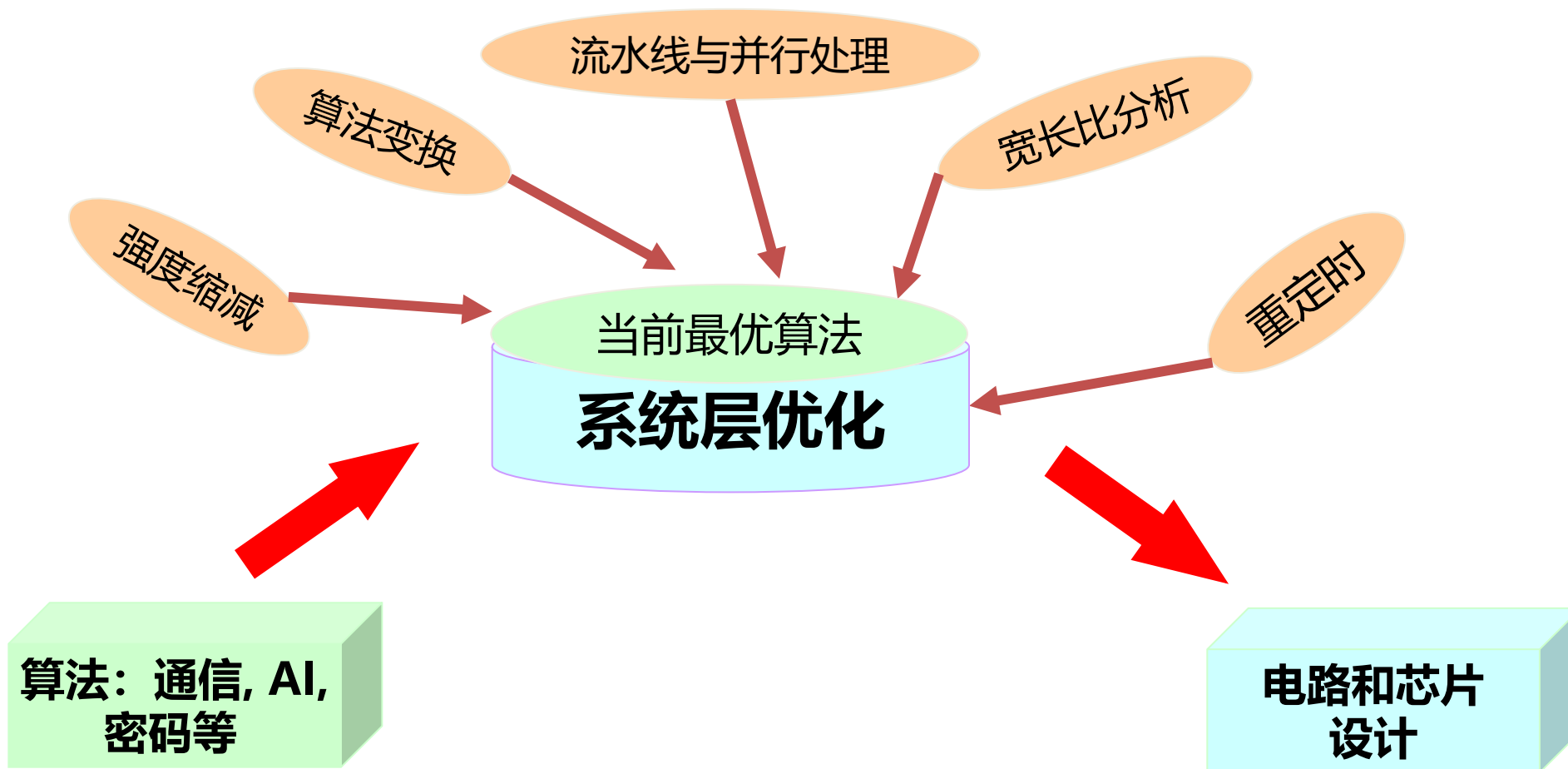


高速/低功耗设计VLSI优化方法

- 通用/全局优化设计技术（**电路层**）
 - ◆ 功率岛（动态电源管理技术）
 - ◆ 时钟门控技术（关闭寄存器时钟）
 - ◆ 调整晶体管尺寸
 - ◆ 工作在亚阈值区域
 - ◆ 选择多阈值、可变阈值、双电源等CMOS晶体管设计
 - ◆ 晶体管睡眠技术（聚类控制、伪彩屏等）
 - ◆ 正向/反向体偏置技术（降低漏电流）
- 特定应用的优化技术（**算法层和架构层**）
 - ◆ 改变算法或公式变换，数值/算法强度缩减（算法层）
 - ◆ 流水线、并行处理、重定时、宽长比分析等（架构层）
 - ◆ **算法层和架构层联合优化**，如自适应计算等



本课程能学到什么





本课程主要内容

课程大纲 (计划 17 周)←

第 1 周: DSP 系统简介&迭代边界←

第 2 周: 流水线←

第 3 周: (中秋节) ←

第 4 周: 并行处理&重定时←

第 5 周: (国庆节) ←

第 6 周: 展开←

第 7 周: 折叠←

第 8 周: 脉动架构←

第 9 周: 快速卷积←

第 10 周: 并行 FIR 滤波器架构←

第 11 周: 并行超前技术及其应用←

第 12 周: 位运算架构←

第 13 周: 冗余计算←

第 14 周: 数字强度衰减 ←

第 15 周: 低功耗设计←

第 16 周: DSP 系统介绍←

第 17 周: 习题讲解与复习←

背景
问题

基础方法

实践
(方法的灵活应用)

了解背景



提出问题



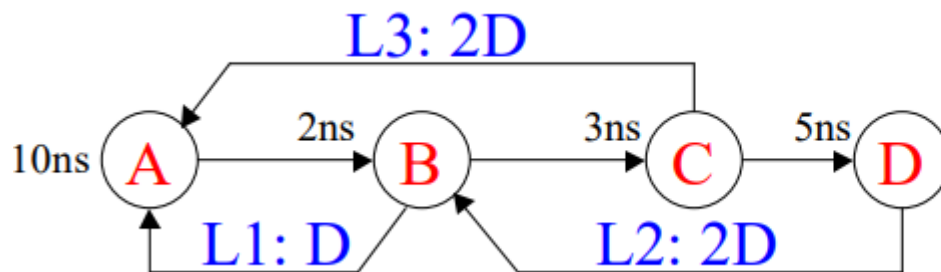
解决问题 (理论+实践)



已学内容总结

掌握“迭代边界”：

- 在设计电路时做到心中有数，如果时钟频率上不去，本次课可以指导设计者了解**关键路径**在哪里，延迟是多少，再根据后续课程的优化方法来设计满足要求的电路



$$T_{L1} = (10 + 2)/1 = 12ns$$

$$T_{L2} = (2 + 3 + 5)/2 = 5ns$$

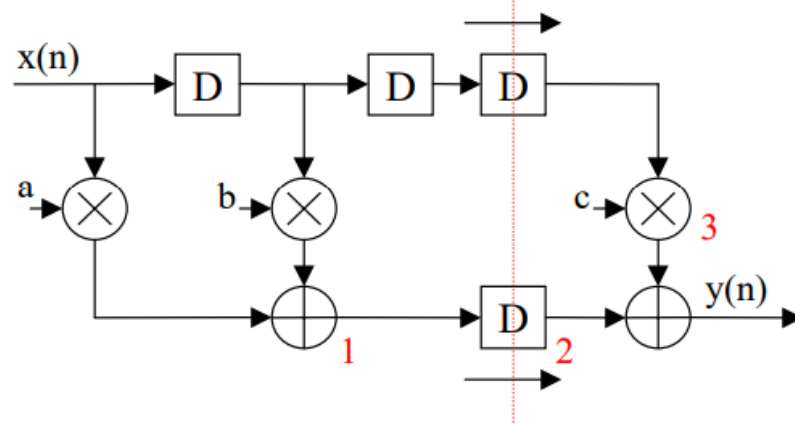
$$T_{L3} = (10 + 2 + 3)/2 = 7.5ns$$

观察法、最长路径矩阵法（LPM）、最小周期平均法（MCM）

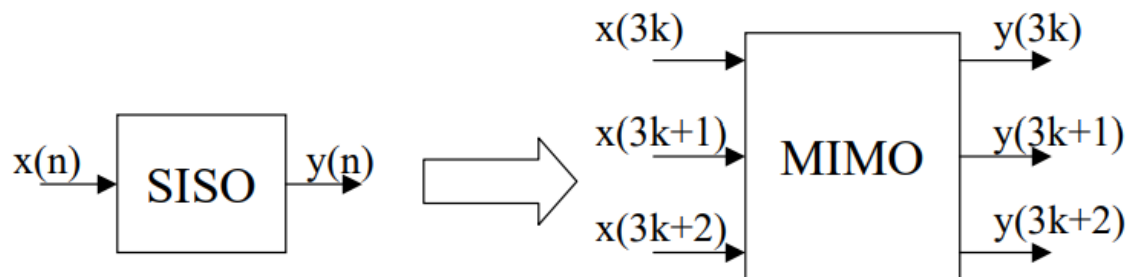
已学内容总结

掌握“流水线和并行处理”：

- 针对前向电路（无回路），设计高速/低功耗电路的方法和原理



流水线



并行处理

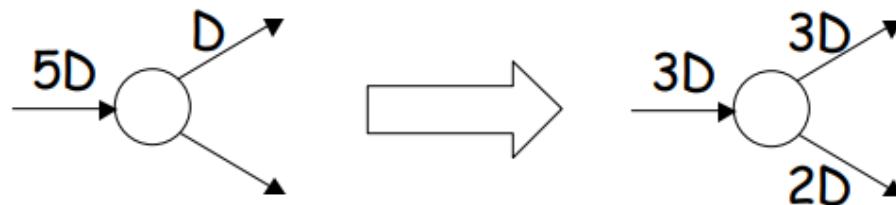
如何实现低功耗和高速的相互转化

已学内容总结

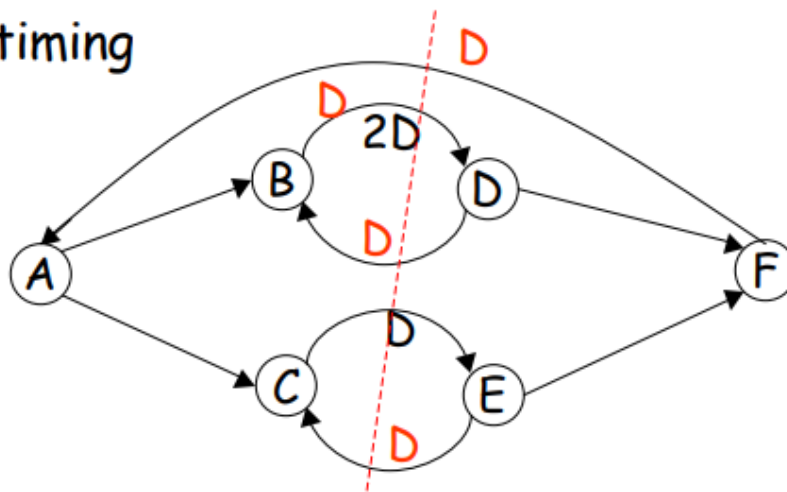
掌握“重定时”：

- 针对存在反馈的电路，设计高速/低功耗电路的方法和原理

- Node Retiming



- Cutset Retiming



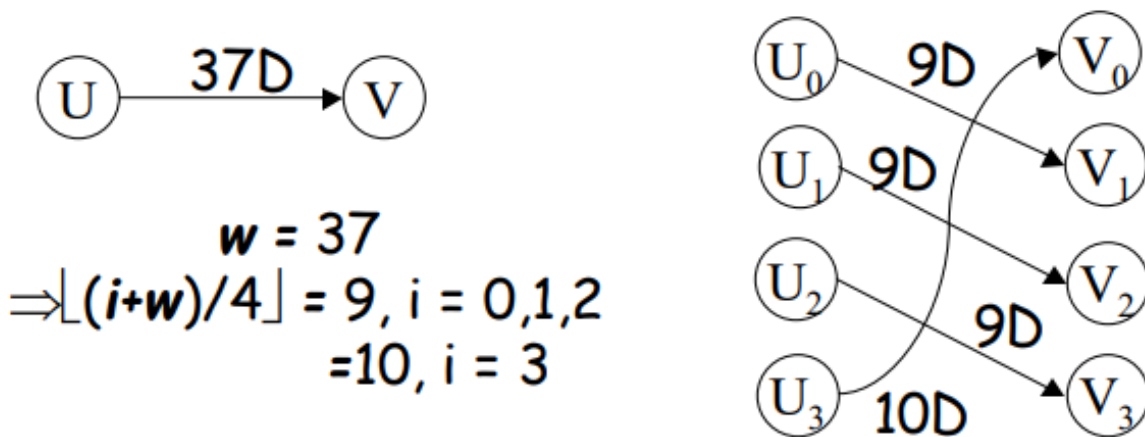


已学内容总结

掌握“展开”：

- 针对存在数据依赖的电路设计并行处理，设计高速/低功耗电路的方法和原理

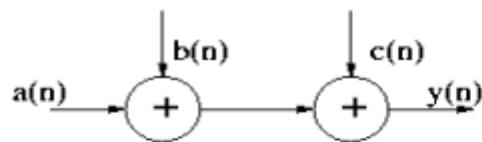
➤ For each edge $U \rightarrow V$ with w delays in the original DFG, draw the J edges $U_i \rightarrow V_{(i+w)\%J}$ with $\lfloor (i+w)/J \rfloor$ delays for $i = 0, 1, \dots, J-1$.



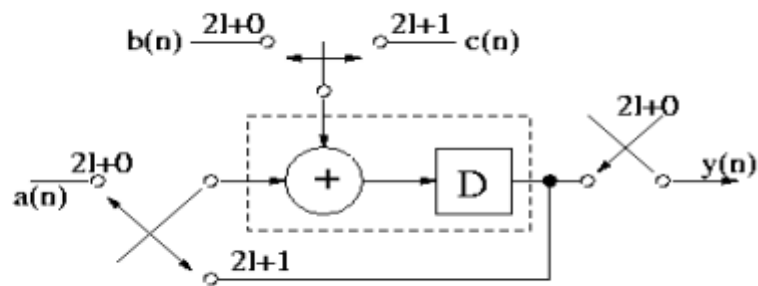
已学内容总结

掌握“折叠”：

- 是展开的逆过程，为了满足设计性能与资源的**折中**



(a)

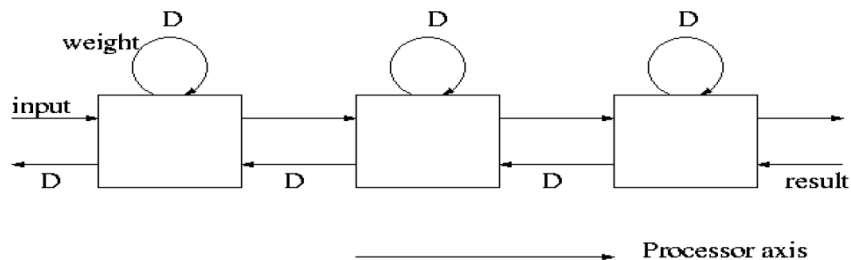


(b)

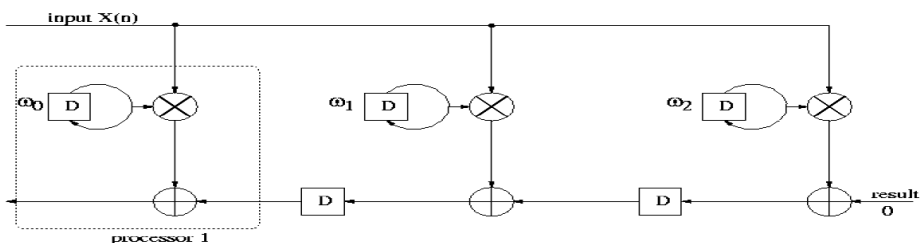
已学内容总结

掌握“脉动阵列”：

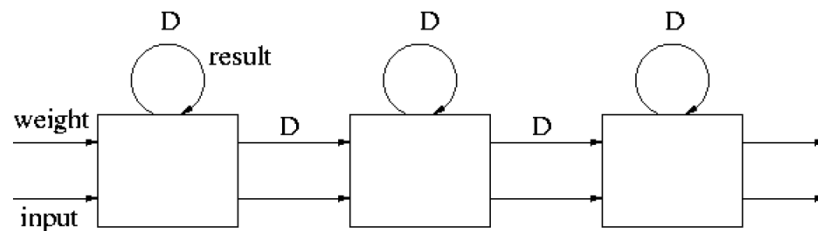
- 将迭代的公式展开成有规律的结构，便于互联和访存，学会FIR的几种常见阵列结构



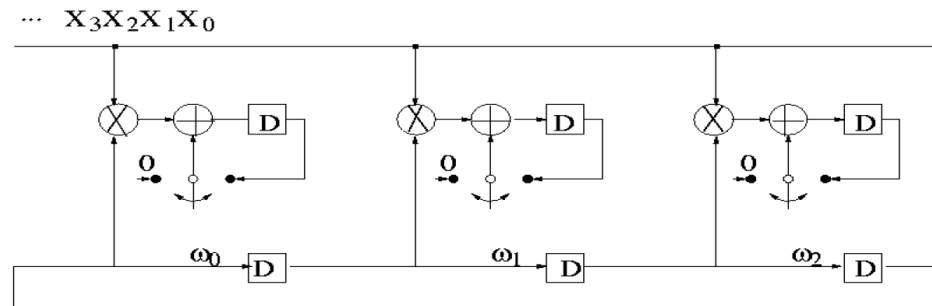
Block diagram of B_1 design



Low-level implementation of B_1 design



Block diagram of B_2 design



Low-level implementation of B_2 design



掌握“快速卷积”：

- ① 卷积的数学定义和含义
- ② 设计快速卷积的5种算法 – 如何学习一个确定的算法
- ③ 快速卷积的数学表示与架构设计关系

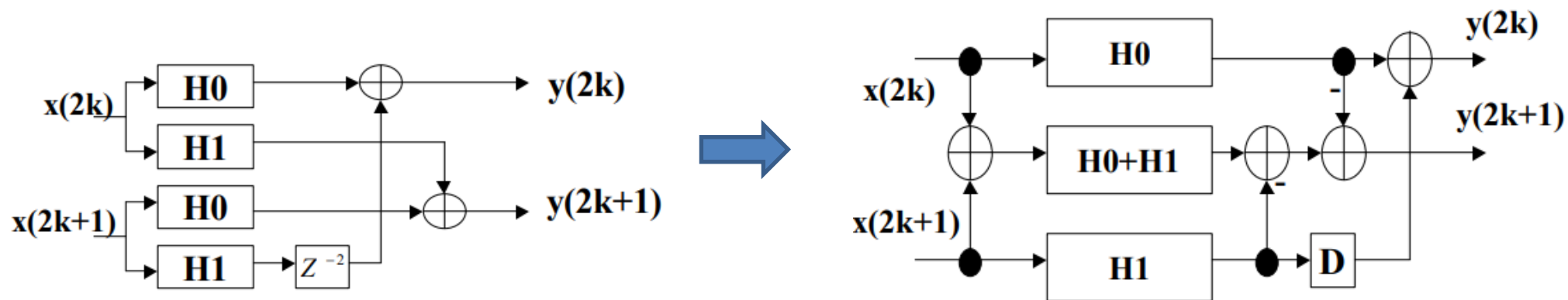
Cook-Toom Algorithm (Lagrange Interpolation Theorem)

Winograd Algorithm (Chinese Remainder Theorem)

已学内容总结

掌握“滤波器和余弦变换的算法强度约减”：

- 高效卷积算子的应用，算法与架构联合优化的应用实例，FIR滤波器



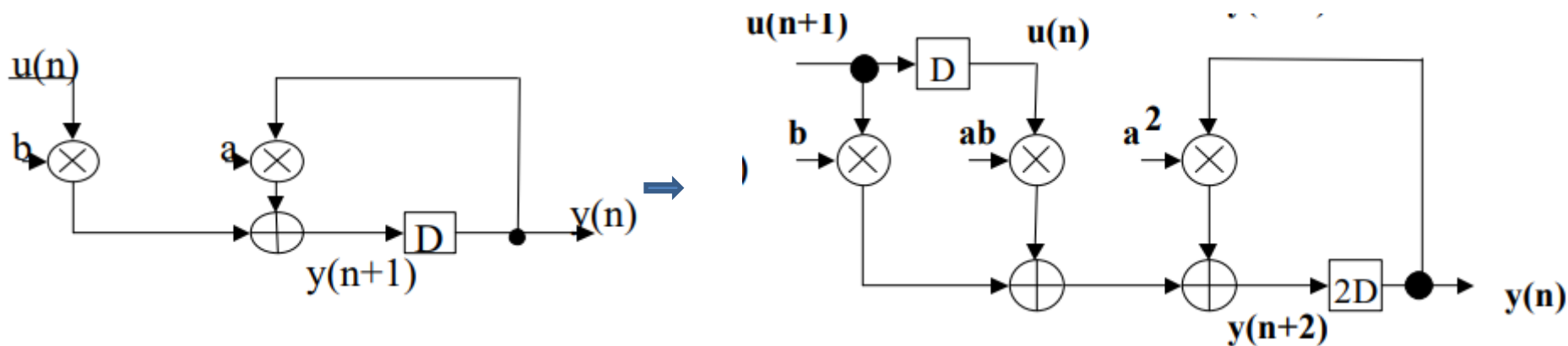
已学内容总结

掌握“流水线结构的并行自适应递归滤波器”：

- 利用超前计算技巧，应用流水线和并行架构方法，解决具有环路的递归电路的速度/功耗问题。应用案例：IIR滤波器
- （parhi的代表作之一，解决了这一类关键问题）

超前计算：

$$y(n+1) = a \cdot y(n) + b \cdot u(n) \Rightarrow y(n+2) = a^2 \cdot y(n) + ab \cdot u(n) + b \cdot u(n+1)$$





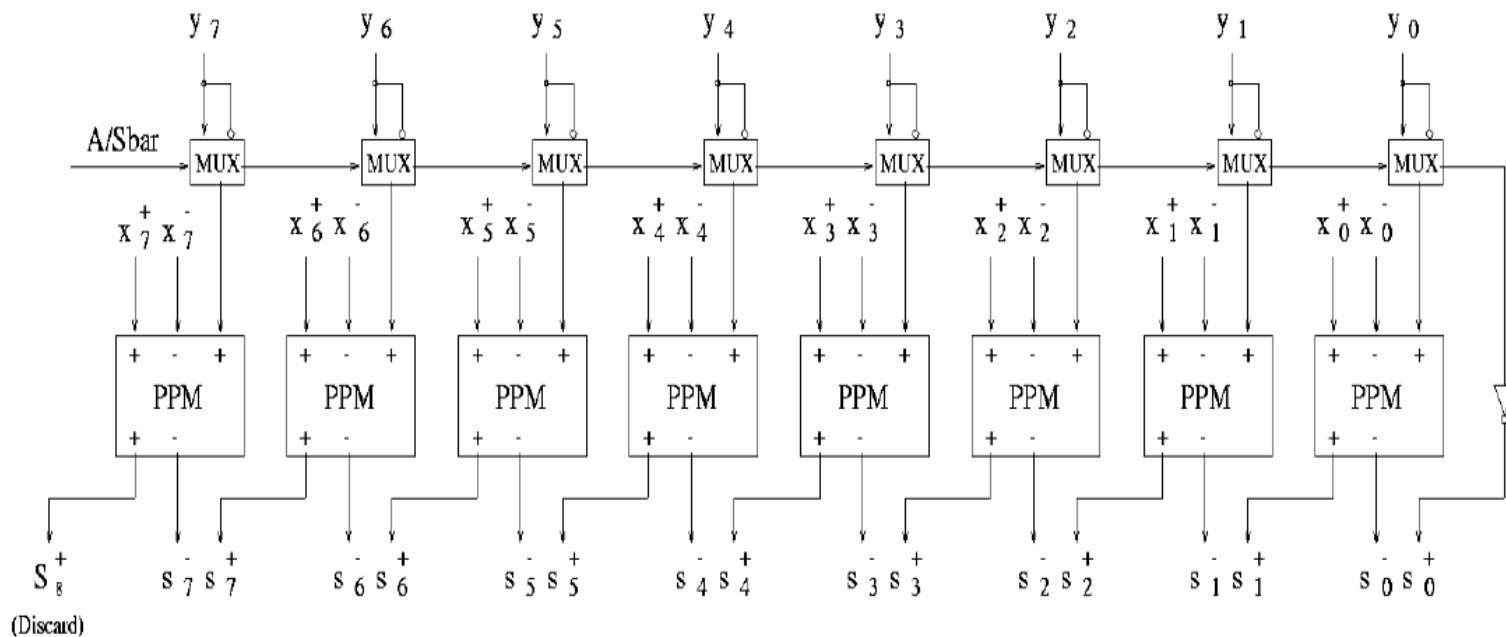
掌握“位级运算架构”：

- ① 有符号数表示方法
- ② 位级乘法架构：并行乘法器、BW乘法器、Booth重编码乘法器
- ③ CSD正则符号数运算

已学内容总结

掌握“冗余计算”：

- ① 有冗余数表示方法
- ② 冗余加法架构：混合基2加/减、有符号数加/减、最大/小冗余混合基4加、冗余-非冗余转换





已学内容总结

掌握“数字强度缩减”：

- ① 多常数乘迭代公因子方法
- ② 应用：线性变换（方程组计算）、多项式评估、数字滤波（引入延迟维度，构建二维矩阵）

Example:

$$y(n) = 1.000\overline{1}00000 * x(n) + 0.\overline{1}0\overline{1}010010 * x(n-1) \\ + 0.000\overline{1}0000\overline{1} * x(n-2)$$

1				-1				
	-1		-1		1		1	
				1				-1



期末考试重点总结

一. 基础选择/问答题 (5+4题)

涉及对基本的或有代表性的架构设计方法学的优缺点、局限性等的分析

迭代边界、流水线、并行处理、重定时、折叠、展开、脉动阵列、快速卷积、并行超前技术、位级运算架构、冗余计算等

二. 综合解答题 (6题)

每题包含多小问，考察综合理解情况，部分含电路设计

考察范围较广，除前述概念理解外，还会涉及到相关内容的计算和架构设计，如高效FIR/IIR滤波器设计等



祝考试顺利!
Good luck!