

实验 5 秒表电路设计与实现

集成电路学院 221900182 张乐天

1. 实验目的

- 1) 进一步学习并掌握计数器的使用，并实现计数器的级联；了解计数系统中不同计数方式的选取，以及不同进制的设计方式。
- 3) 了解数码管的动态显示方式，并利用数码管显示计数效果。

2. 实验主要器材

仪器：

双踪示波器：RIGOL DS2302A

硬件：

硬木课堂 Xilinx Artix-7 FPGA 板（芯片型号为 Xilinx Artix-7 XC7A75T）

软件：

NI Multisim 14.3 (Education Edition)

Vivado 2018.3 (Vivado HL System Edition)

3. 实验原理

如所示，秒表电路由三个主要部分构成：计数模块、控制模块、动态显示模块。

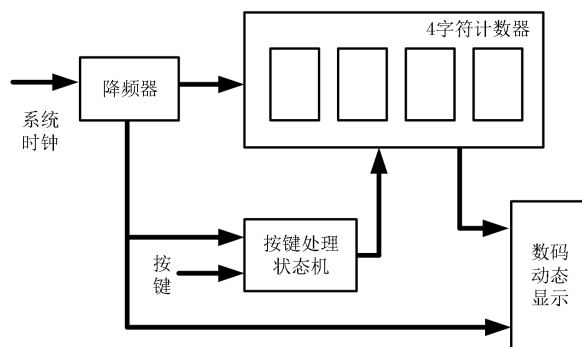


图 1 秒表电路框架图

计数模块需要实现前两位与后两位之间整体是六十进制的四位计数器，其中末位是 0.1s 时长。计数的核心在于第二位到第三位的六进制设计。

控制模块（用户预处理命令）以秒表的通常命令为基础，利用按键 KEY 实现。命令包括

开始、暂停、继续、停止、清零等常见命令。可利用寄存器、触发器实现，相关功能配合计数器的使能端等实现。

动态显示模块利用人眼视觉暂留特性，高速轮扫数码管，从而使得视觉上同时看到 4 位数字。如需要实现闪烁，可对显示模块做调整。

4. 实验设计

基于课程提供的 0000~9999 的计数器，可以做相关的修改从而得到所需计数器，亦可以通过完全自主设计实现。

4.1 范例电路分析与修改

课程提供了 0000~9999 的四位计数器的范例电路，电路图如图 2 所示。由于该电路图基于开发板 Basys 3 (XC7A35T) 实现，输入输出引脚略与 Xilinx Artix-7 FPGA 板不同，因此该电路在端口位置需要做简单改动方可在该 FPGA 板上实现。

该电路实现了以下功能：

1. 开始、暂停计时与继续计时；
2. 电路可以清零。

同时也存在以下问题：

1. 0000~9999 的计数器无法实现秒表特性，未能体现一分钟 60 秒的特点；
2. 按键处理较为粗糙，没有停止功能，清零可以随时进行；
3. 时间速度无法控制，不易验收。

具体分析如下。

4.1.1 控制模块

截取图 2 中的控制模块如图 3 所示。

对于 Basys 开发板，按键默认低电平，有效信号为正脉冲。而 D 触发器 U17 的置数 PR 端、复位 CLR 端均为低电平有效，因此需要使用取反或者使用或非门。

开始或继续计时时，触发器 Q 端置为 1，即 CNT 置为 1，驱动计数器计数；暂停时，Q 端置为 0，即 CNT 置为 0，计数器停止计数。

这里，清零信号可以触发暂停，并且可以直接传入计数电路（取反是因为计数器电路中清零端低电平有效），因此清零可以随时进行，与正常秒表电路不符。

因自主设计时，电路控制电路采用全新架构，这里不再作修改。

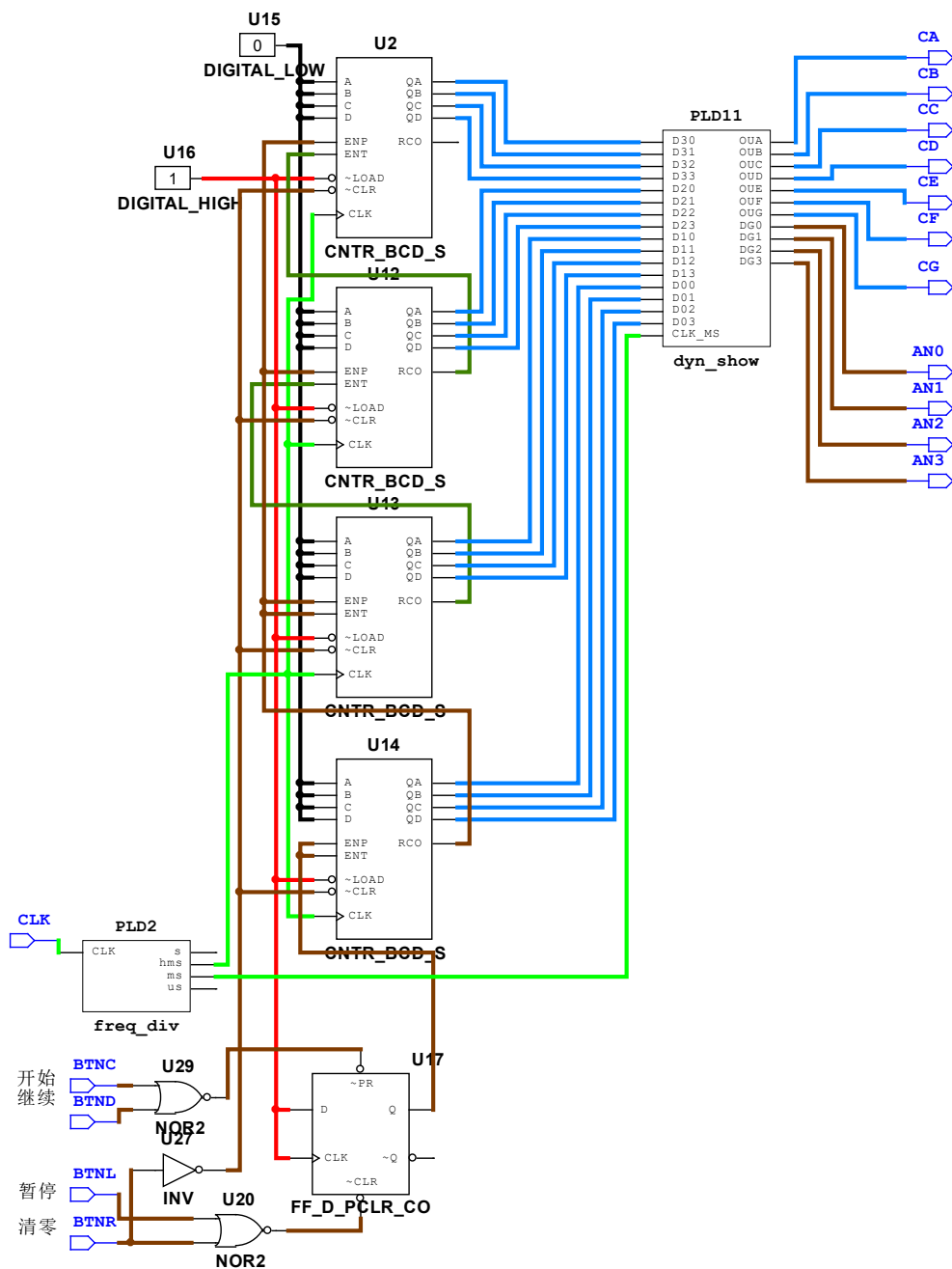


图 2 计数器范例电路

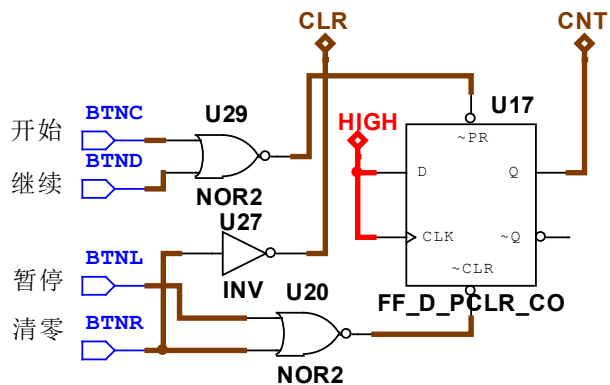


图 3 范例电路-控制模块

4.1.2 计数模块

这里采用的计数器为 CNTR_BCD_S，其原型为 74160 芯片。芯片接入同一个时钟，因此为同步时序逻辑电路，电路原理如图 4 所示。

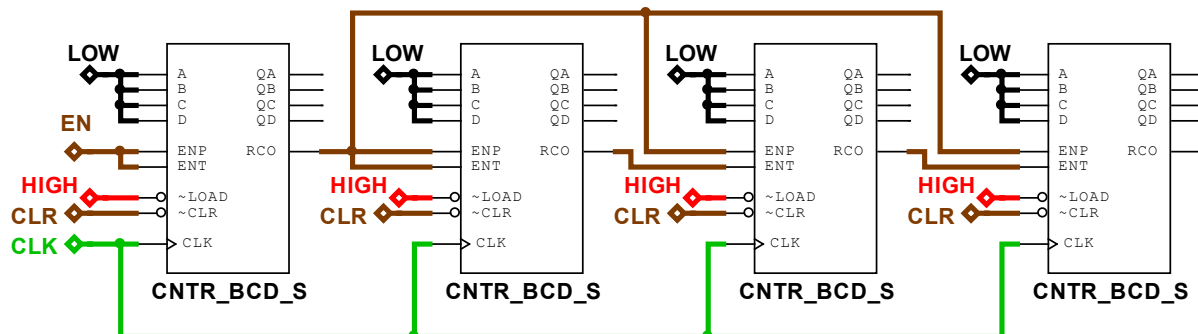


图 4 范例电路-计数模块原理

这里，虽然所有芯片接入同一个时钟，但芯片的使能端与上一芯片的进位输出相联系，因此不同数位计数速度不一致，并实现了芯片间的十进制计数。结合 74160 的数据手册^[1]，可知计数具体实现方式为：

最低位使能端 ENT 与 ENP 均置 1 时（不置数或复位，且时钟正常输入），最低片 IC₀ 正常工作，并在计数至 1001₂（9）时，RCO 有进位输出，使得后续芯片 ENP 置为 1；而后续芯片在上一芯片计数至 1001₂（9）时，RCO 输出使得 ENT 为 1。而 $RCO = Q_A \cdot Q_D \cdot ENT$ ，因此，即使该片因 ENP 撤去而保持在 1001₂（9）时，RCO 仍会因 ENT 回到低电平而回到低电平，故使得高片也停止计数。因此在最低片进位时，所有芯片方有可能工作；在上一位进位时，该芯片方可工作。

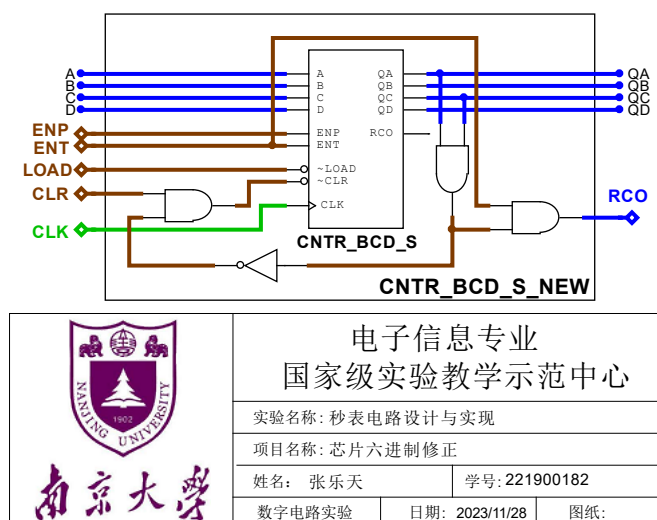


图 5 第二个芯片的六进制修正

因此, 为了实现第二片为六进制, 需要将 RCO 进位信号改为在 0101_2 (5) 且 ENT=1 时

出现，即 $RCO = Q_B \cdot Q_D \cdot ENT$ 。同时，也需要使其本身为从 0000_2 (0) ~ 0101_2 (5) 的六进制循环。这可通过置数或复位实现，这里利用 CNTR_BCD_S 同步清零来实现。那么第二个芯片可修改为如图 5 所示。

4.1.3 动态显示模块

硬木课堂 Xilinx Artix-7 FPGA 上有两组七段数码管，均为共阴显示。秒表电路需要四位显示，故使用无译码功能的第一组数码管 DIG1。

各数码管对应字段均相连，且连接到 FPGA 芯片上。由于采取共阴连接方式，故当 FPGA 输出高电平时候，对应字码段点亮。此外，每个数码管均有对应的片选（位选）信号控制，当其位低电平时候，该数码管点亮。因此，可认为数码管阴极接入对应片选信号。电路原理如图 6 所示。

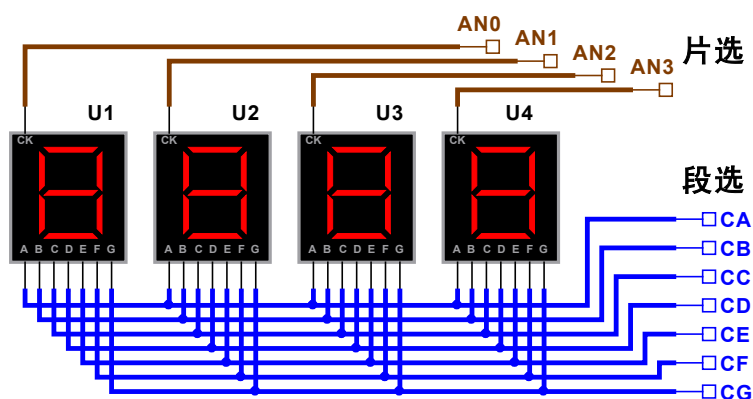


图 6 数码管驱动原理图

为了实现视觉上四位均显示，需要对四位数码管片选段作低电平的高速论扫，即在很短的周期内，依次使 AN0~AN3 置为低电平。频率在 kHz 量级时候，即可利用人眼的积分特性实现四位显示。

如果段选信号跟随位选信号改变而改变，即对应位选信号所选数码管显示数字，便可以实现四位数的显示。具体实现电路课程给出，如图 7 所示。

4.1.4 精度评估

以实际计时时间与显示计时时间之间的误差作精度评估标准，仅需要考虑按键信号发出到动作显示到计时信号上的时间差即可。

电路中，全部计数器采用统一时钟，对于开始、继续或暂停等操作是通过使能端信号给出的。使能端信号给出后，计数的开始与暂停需要等待 10Hz 的时钟。因此对于电路来说，暂停的时间仅仅可能为 0.1s 的整数倍，然而实际暂停时间不一定能够满足这一要求。如在 1.14s

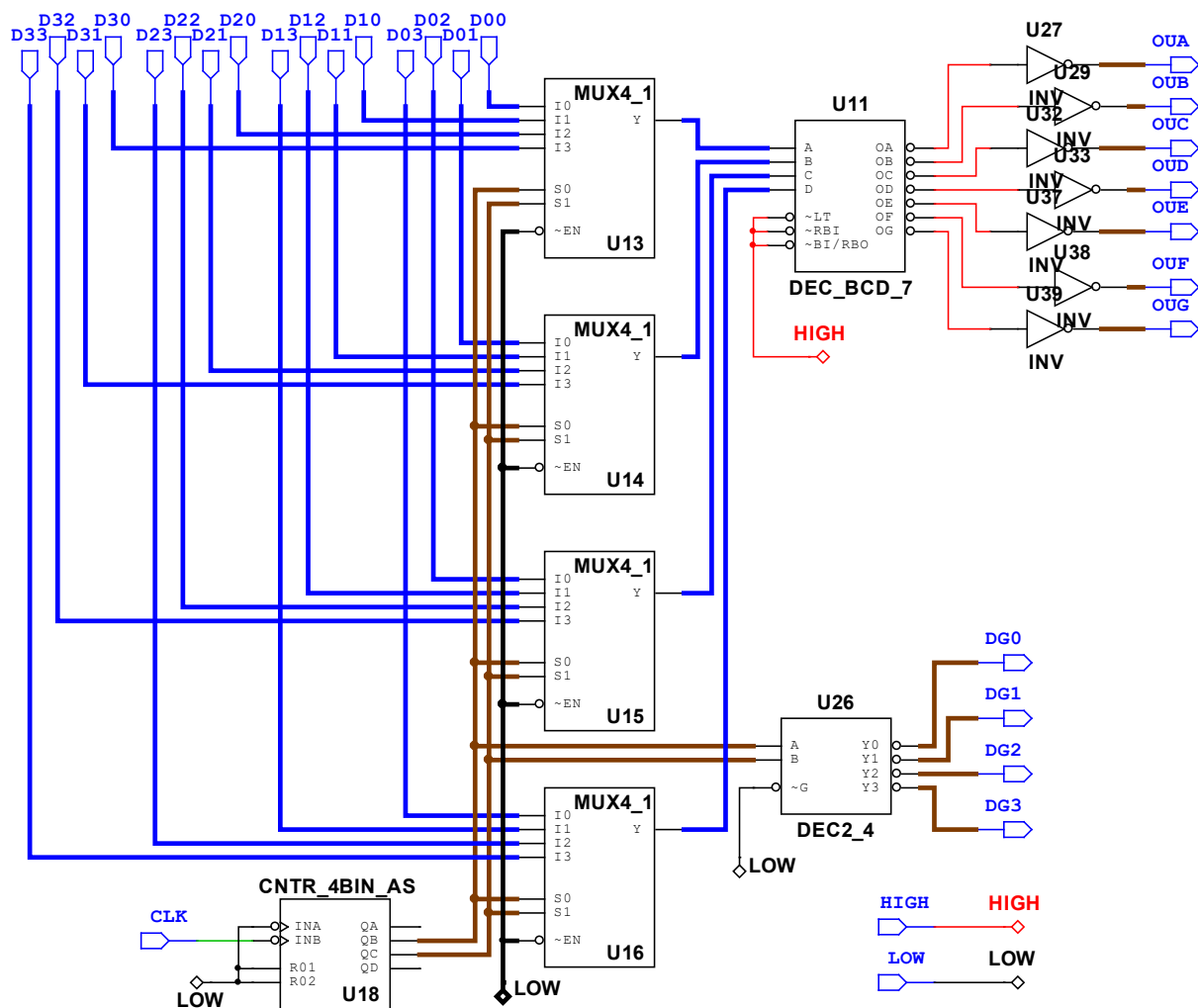


图 7 范例电路-动态显示模块

暂停，在 1.58s 开始，对于电路来说仅暂停了 0.4s；而若是在 1.18s 开始，则电路上来看等效为未暂停。以上是在开始计时时候恰在时钟上升沿时讨论，若考虑开始计时所产生的误差，则误差会更大。

为了方便评价计时精度，定义单次操作所造成误差的最大值 $(\Delta t)_{max}$ 电路计时精度¹，用字母 τ 表示，即

$$\tau = (\Delta T)_{max}$$

其单位为秒。对应数量级 α 为其对数的相反数

$$\alpha = -\lg \tau$$

那么该方案的电路计时精度为 0.1s，对应数量级为 $\alpha = -\lg 0.1 = 1$ 。

¹这里的电路计时精度是指相对精度，即定义末尾的频率为 10Hz 作为基准。因此在选择更快的时钟加快计数时，精度值保持不变，仅仅是电路整体计数速度提升。后文对电路计时精度与对应数量级相关叙述均遵从此定义。

4.2 自主设计

自主设计的过程中，考虑并完善了以下几个部分：

1. 实现了暂停时，数码管显示闪烁；
2. 将电路计时精度到了更高数量级，这里提高到 0.01s；
3. 实现了暂停与停止的区分，并完善了控制逻辑。

完整电路框架图如图 8 所示。由于电路图芯片总数的限制，相关模块的高低电平常值不在单独设置芯片，改由外电路图引入。

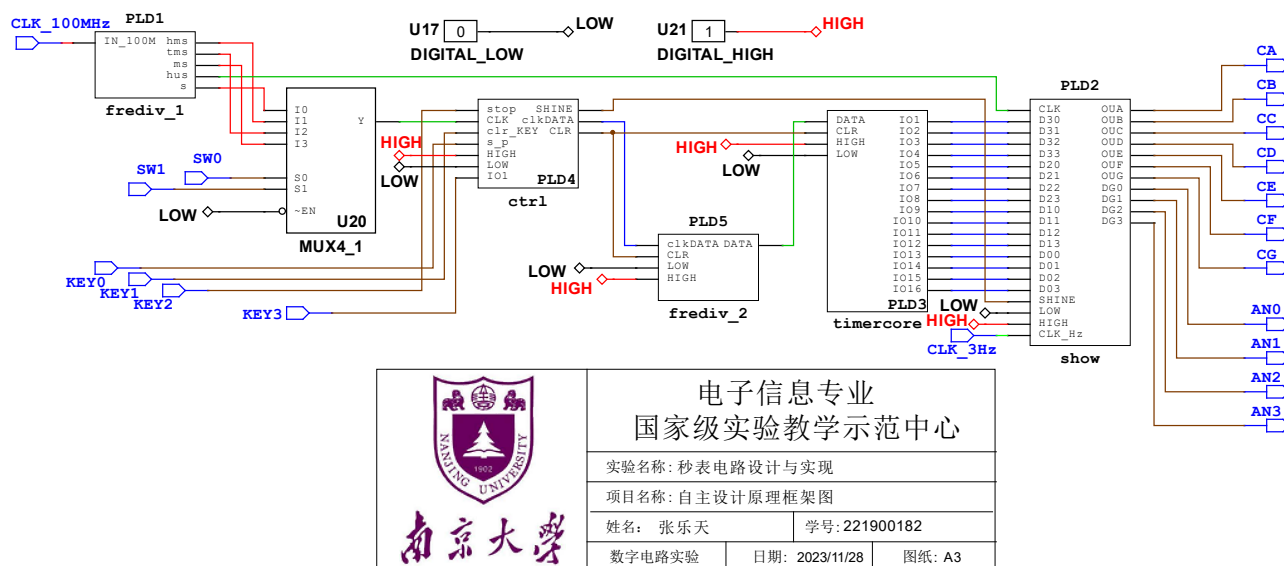


图 8 自主设计完整电路图

整体框架与前文所描述的相似：对 100MHz 时钟做分频，低频信号驱动计数器；控制电路对按键输入做处理，在电路中主要体现为是否停止计数、是否闪烁以及是否清零；动态显示电路接入闪烁的信号。

这里的不同点在于使用了两个分频模块，这里是为了实现更高的计时精度。因为控制模块放在了对应 0.1s 数位的频率大一数量级的频率部分做控制，实现了对控制信号更精确的定位，从而使得误差小于 0.01s。

对于分频模块 1，其显示的时钟量级是在分频模块 2 执行后得到的，并非直接得到对应量级的时钟。

4.2.1 控制模块

控制模块有三个输入 KEY0~2，其中 KEY3 为欺骗性信号，为了绕开软件检查编译生成而设置，这里不做叙述；有三个输出，其中 SHINE 与 CLR 均为高电平有效，而 clkDATA 在

进行计数时候正常输出时钟信号，而在计数停止的时候输出低电平。而是否暂停根据 SHINE 做判断。具体电路图如图 9 所示。

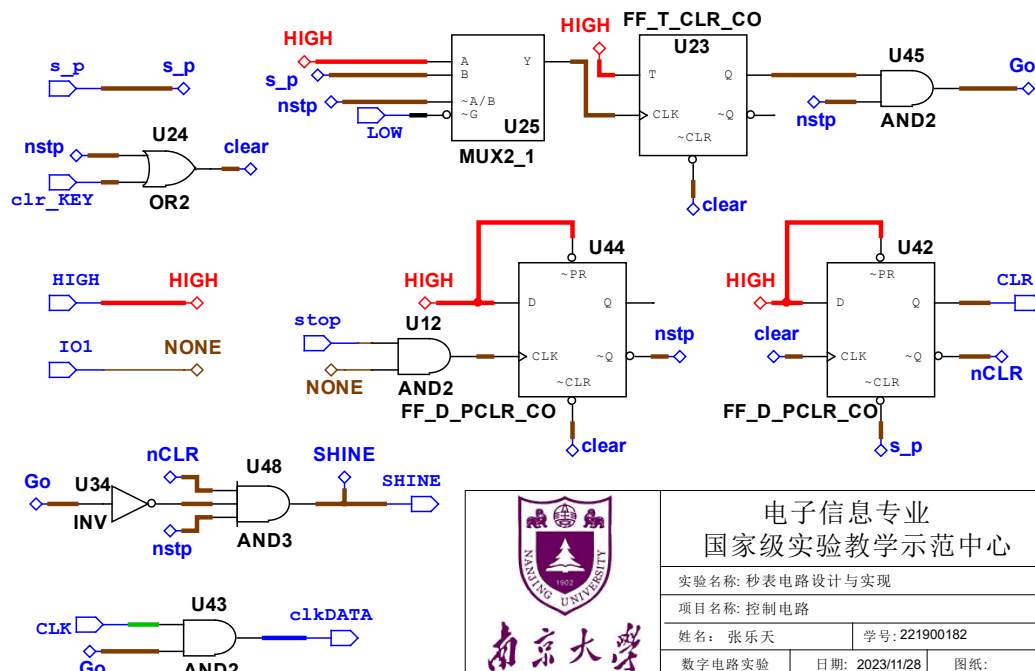


图 9 自主设计-控制模块

开始计时之前，U44 的 $\sim Q$ 为 1，即 nstop 为 1，表示秒表状态未被停止。此时二选一选择器 U25 选择输出 B 信号 s_p，可在按下抬起按键的上升沿触发 U23，使得 T 触发器 U23 输出端 Q 被置为 1。又因为此时 nstop 为 1，故与门 U45 输出 Go 为 1。所以与门 U43 输出 clkDATA 为 CLK，模块输出了正常的时钟，正常驱动下一模块。按下 s_p 时候，U42 复位，CLR 置零，不会发出清零信号。此时，对应开始计时。

计时进行过程中，nstop 保持为 1，故或门 U24 关闭，clr_KEY 按键无效，不会清零；同时 U25 接通 B 即暂停键 s_p。当按下 s_p 抬起时候，上升沿触发 T 触发器 U23，使其输出 Q 反向为 0，那么 Go 也变为 0，模块输出低电平，时钟暂停，下一模块也随之暂停。按下暂停时，nstop 仍保持为 1，故仍然不会发生清零，且由与门 U48 可得到闪烁信号 SHINE 将被发出。上述状态将维持，直到 s_p 再次按下。

正常计时或暂停时，均允许 stop 按下。其中与门 U42 以及 NONE 端口仅仅是为了时钟欺骗，这里不做赘述。stop 的上升沿触发 D 触发器 U44，使得 $\sim Q$ 端 nstop 置为 0，由与门 U45 可知，Go 置为 0，模块停止输出时钟。此时，U25 输出选择 A 高电平，开始与暂停不再有效；与门 U48 关闭，SHINE 为 0，不会闪烁。由于，或门 U24 开启，清零信号可以输入，当输入清零信号时，D 触发器 U42 触发，CLR 置为 1，同时 U23 与 U44 复位，电路回到起始状态。

在按下 s_p 的时候，U42 复位， s_p 上升沿时候，开始下一次计时。

4.2.2 计数模块

与课程提供的同步计数电路不同，这里是异步计数，或者说串行进位的方式实现。这里利用了 CNTR_BCD_SDC 芯片，具体电路图如图 10 所示。

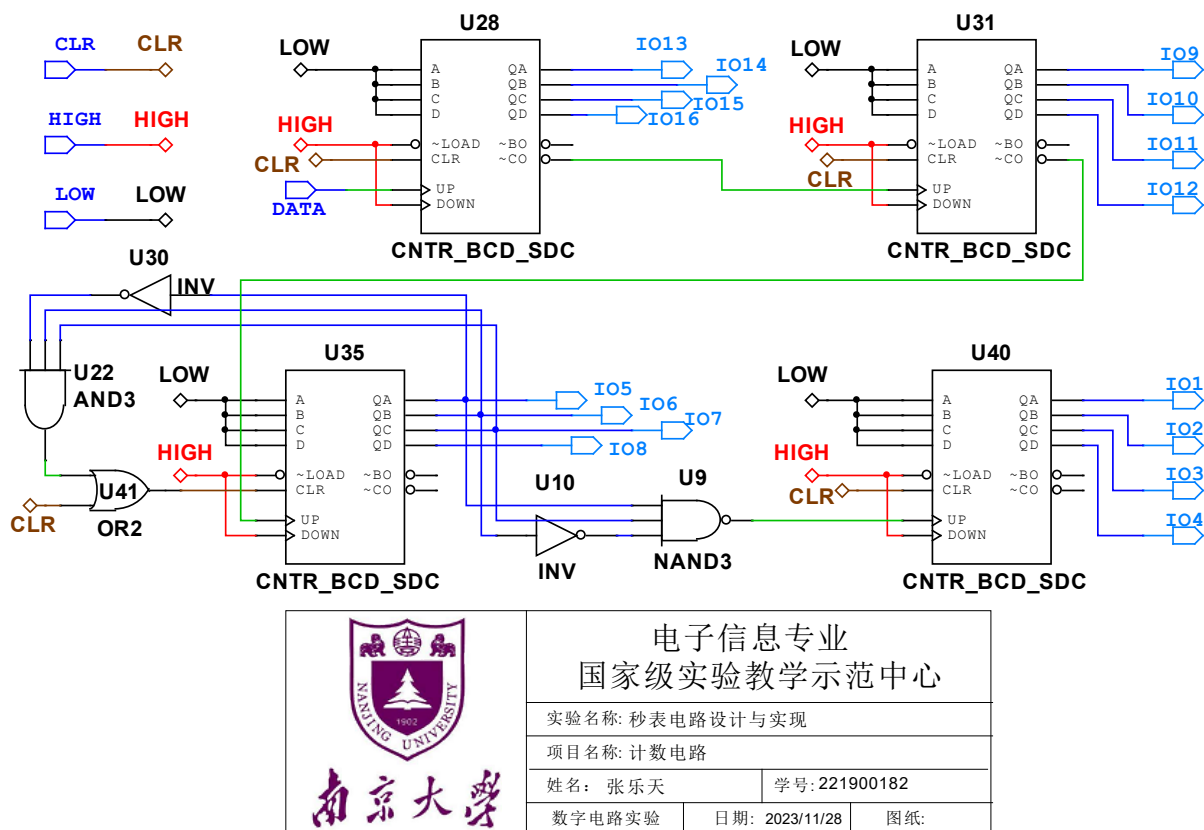


图 10 自主设计-计数模块

芯片 CNTR_BCD_SDC 模板是 74192^[2]，其置数与复位均是异步的。复位端为高电平有效，接入 CLR 即可。

该芯片有加减两个技术方向。将 DOWN 置为高电平、CLK 接入 UP，芯片为加法计数器。在第十个上升沿时，输出 1001_2 (9)，此时输出进位信号 Co 为 1，且进位信号在下一个上升沿时回到零。由于这里输出进位信号为低电平负脉冲，故 $\sim Co$ 的上升沿出现在第十一个上升沿来临时，因此可作为下一个计数器的 CLK 接入 UP 端。

对串行进位的第三个计数器，根据数码显示数方式可知为 6 进制计数器。由于芯片复位是异步的，因此需要在 0110_2 (6) 的时候作复位（置数亦可），实现方式如图中 U22 与门。而进位输出根据上文可知，需在 0101_2 (5) 的时候输出负脉冲来驱动下一个芯片，实现方式如图中 U9 与非门。

这里接入的时钟为 DATA，是经过分频后的 clkDATA，如图 11 所示。其特性与 DATA 基本一致，即满足在暂停或停止时，输出常值 0 或 1，则不会有上升沿，计数电路将不会停止；正常计时时，clkDATA 为正常的 10Hz 方波，驱动电路计数。

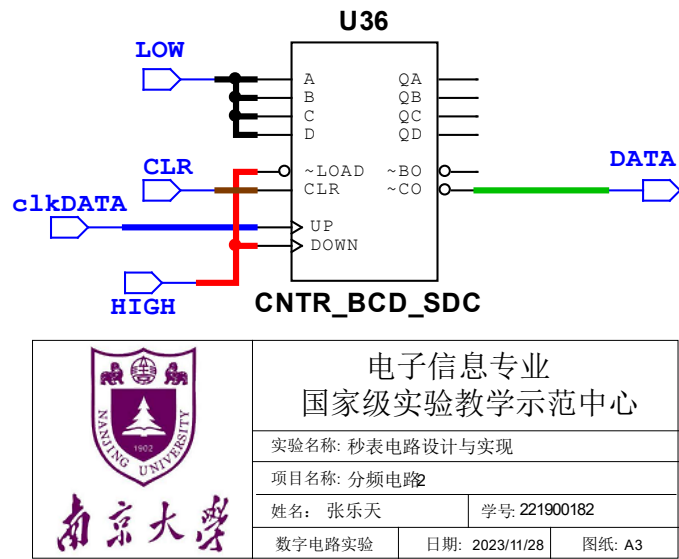


图 11 分频模块 2

实际测量 U35 的 UP 端与 U9 输出端的波形如图 12 所示。

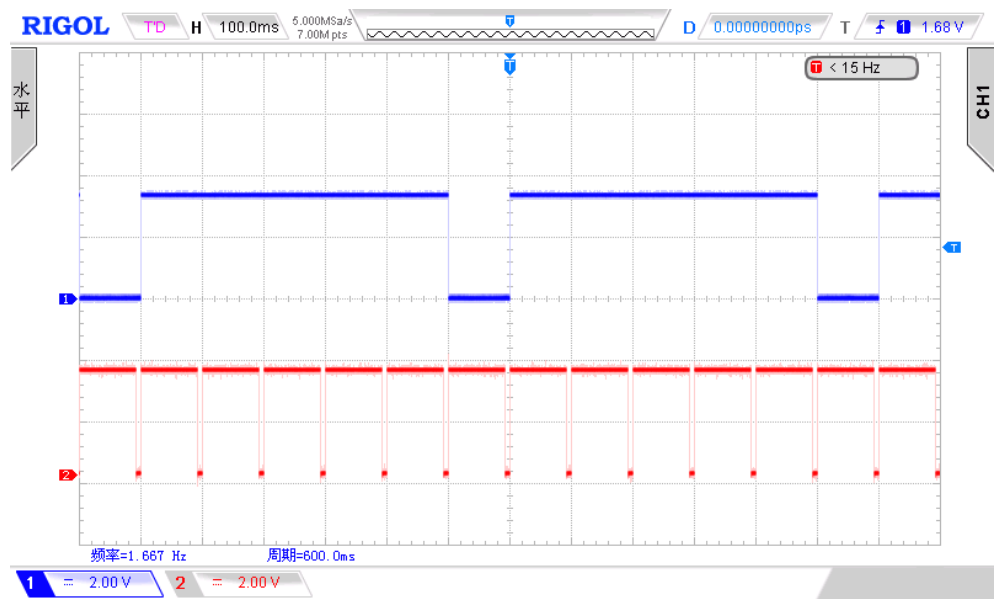


图 12 自主设计-计数模块关键点波形测量

4.2.3 动态显示模块

动态显示模块仍利用课程提供的电路，基本工作原理不再赘述，仅给出暂停时闪烁的实现方式，如图 13 所示。

由 DEC_BCD_7 的真值表可知，当~LT、~RBI 与~BI/RBO 均位高电平时候，芯片可正常

工作；当~BI/RBO 位置为低电平的时候，该端作为输入端，且使得各个输出为高电平，对应灭灯。这是因为输出为低电平有效。

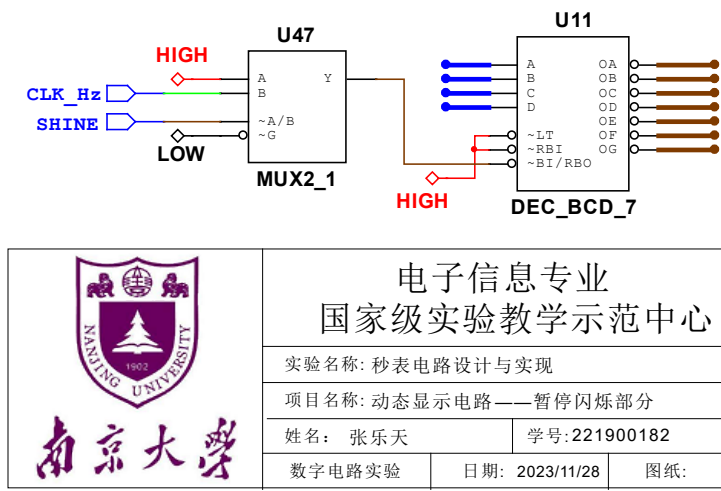


图 13 动态显示模块-暂停闪烁

因此，在闪烁信号 SHINE 出现后，仅需将~BI/RBO 端口接入低频时钟（Hz 级别），即可实现闪烁；不需要闪烁时，~BI/RBO 端口置高电平即可。这可以由图中二选一选择器 U47 实现。

4.2.4 精度评估

上文提到，该自主设计电路实现了更高的计时精度，精度 τ 达到 0.01s，数量级 $\alpha = 2$ 。实际上，误差的出现这主要是因为时钟并不能很好的与计时开始作对齐，就像之前所作的移位寄存器实验一样，按键很难与时钟作对齐，或者说，按键相对是同步的。即对按键信息的收集是有间隔的，两种设计均是如此。

而自主设计电路提高精度的方式便源于此，即减小捕获间隔即可，这样便提高了对按键信息捕获的频率。设计里，考虑维持秒表电路结构不变，但逻辑上改变为 0.01s 的五位秒表。而在显示时候，仅显示 0.1s 以上的四位。由此电路实现了计时精度的提高，且提高了一个数量级。

5. 实验小结及思考题

5.1 实验小结

该次实验更为深入地理解了利用计数器作同步或异步逻辑电路的设计过程，也进一步尝试了利用触发器作电路设计，对含有触发器的电路设计有了初步的认识。

整个实验，从计数模块的调整，到控制模块的匹配，都或多或少地参考了先前的实验阅

读资料，以及对相关芯片的真值表的查阅。在设计过程中，尤其是计数部分实现，对比了同步器件 CNTR_BCD_S 与异步器件 CNTR_BCD_SDC 的优劣。为了实现进制的改变，除了自主判断并设计进位，也参考了相关的数据手册以完善具体的电路，并做到前后的兼容。

5.2 思考题

1、秒表电路中降频模块使用的是异步计数设计，问是否有必要修改为同步计数设计（以读秒准确度为理由）？如果是时钟呢？

答：降频模块没有必要修改为同步计数设计，因为仅需要这一频率的时钟，至于是否对原本的高频有延时是不需要关心的。而对秒表电路的时钟，若采用同步计数，精度会更高，这是因为同步计数稳定性更高，且避免了异步计数在计数器之间的信号延迟。

2、本实验材料中的方案是否有最大不超过 0.1s 的误差？如果有，是如何产生的？如何消除？

答：存在误差，且误差可以减小，但难以消除，具体如上文 4.1.4 与 4.2.4 所述。

致谢

一路跌跌撞撞，做了所谓正确与错误的选择，选择了这个专业，来到了江南苏州。如一场梦，作为第一届苏州校区的学生，从南京来到姑苏。

大二伊始，看到数字电路实验课程出现在课程表上，但实验室还在紧张的准备，心中为之一震，不知道是幸灾乐祸还是担忧。得知电子院的学生已经着手模拟电路实验，未免开始担心，是不是校区还没有准备好，是不是我本不该选择此路。

第一次来到实验室，已然是深秋。科创大厦中的三间实验室与正在施工的大楼相比还是略显单薄。全新的实验室，全新的实验器材，全新的配套设施，是校方最真挚的努力。一切似乎就突然那么平常，上课、下课，时光飞逝，半学期的数电实验也渐渐落下帷幕。

感谢学校的支持，在周末开放实验室，继续完成实验；感谢所有值日生，维护实验室这样良好的环境。

感谢文泓鉴、左浩楠、孙方泽等同学不时支持，感谢同桌周益韬在合作完成实验报告过程中的贡献，也感谢我所帮助的一些同学让我对实验内容有着更深的理解。

感谢助教袁江涛对具体软件、硬件操作注意事项的提醒与对我们问题的细心解答，感谢李谦、任钰等助教在周末依然来到实验室帮助完成实验验收成果。

当然，饮水思源，感谢姜乃卓老师的辛勤付出。周一出发，周二返回，但姜老师每节课对课程内容的讲解都声情并茂。实验的一些内容是超前理论课程的，也有很多是没有了解过的，没有姜老师的耐心指导，我也很难迅速完成实验的内容。

最后，本次实验中感谢姜乃卓老师先前课上对于计数器功能和动态显示电路原理的介绍，以及对电路整体设计方案的安排，使得该次设计能够顺利推进。设计过程中，出现了较多软件负优化等与实验基本无关的问题，也感谢戴晓阳、张子晔、李克俭等同学对相关问题的提供。在对时间精度的提高方式上，感谢朱俊榕等同学对电路改进方案可行性的论证以及认可。

不知道这是多大的勇气，探索一个新的天地；也不知道未来回望我所走来的路，将会有怎样的记忆让我感动。

然而，“勇气，是生命在艰难时间奋不顾身的相信；相信，是时间赋予生命坚韧恒久的勇气”。数字电路实验是来到苏州校区的第一门实验课程，或许真的仓促，来不及回想故事前前

后后，就结束了。总是说，人们总是记住很多“第一次”，那么我想，苏州校区实第一门实验课，或许是给我向前最大的勇气吧。

前路仍在探索，向前再次出发！

参考文献

- [1] [74160 datasheet\(1/23 Pages\) TI | SYNCHRONOUS 4-BIT COUNTERS \(alldatasheet.com\)](#)
- [2] [74LS192.pdf \(usc.edu\)](#)