

实验 3 计数器测试与设计

集成电路学院 221900182 张乐天

集成电路学院 221900181 周益韬

1. 实验目的

- 1) 掌握计数器的基本使用方式，了解不同进制计数器的电路连接方式。
- 2) 进一步知悉同步与异步的关系与区别，并掌握同一进制的不同实现方式。
- 3) 了解数码管译码器的工作方式，并利用数码管显示计数效果。

2. 实验仪器与主要器材

仪器：

双踪示波器：RIGOL DS2302A

硬件：

硬木课堂 Xilinx Artix-7 FPGA 板（芯片型号为 Xilinx Artix-7 XC7A75T）

软件：

NI Multisim 14.3 (Education Edition)

Vivado 2018.3 (Vivado HL System Edition)

3. 实验原理

计数器作为一种用途广泛的时序逻辑电路，内部由诸多触发器构成。实际应用过程中，我们更关注所需要计数的起止位置，以及不同芯片（对应不同的置数方式与清零方式）对同一计数序列的转化。

同步与异步的“同”与“异”描述的是一个过程是否与时钟信号同步。同步，指的是信号输入后，信号所代指的操作需要等待时钟去触发（可以是上升沿等）。这一信号与信号所将触发的行为之间在时间上会出现一个间隔，且间隔小于一个时钟信号。而一部则不然，信号输入的同时，信号对应的操作会立刻执行。

在使用置数或清零的端口实现所需要进制和起止数的计数时候，以上两种方式会差一个数位。在判断时候，仅需观测按键按下时候，数据改变是否需要等待时钟即可。

4. 实验过程

在简单级测试中，如图 1 所示，输出端 Q_A 、 Q_B 、 Q_C 、 Q_D 依次为十六进制计数器的低位到高位。通过测量输出端 Q_A 、 Q_B 、 Q_C 、 Q_D 的波形，可以得到预设循环的起止数据，从而做进一步分析。

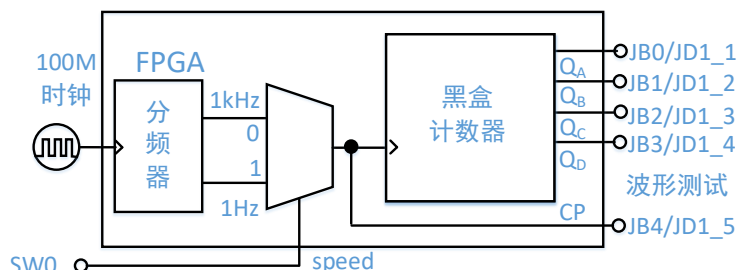


图 1 黑盒测试电路原理图-简单级

触发源一般选取的是最低频信号。不妨采用上升沿触发。那么需要考虑在某个数制的循环中，上升沿的次数。考虑任意 $N \in [2, 16]$ ，以及在 N 进制下任意数位的循环 f ，并以 $r_X(f)$ 表示在该循环下，一个周期内 Q_X 的上升沿个数（或下降沿个数），其中 $X = A, B, C, D$ 。那么很明显有 $0 \leq r_D(f) \leq r_C(f) \leq r_B(f) < r_A(f)$ 。因此，需要首先考虑 Q_D 作为触发源，若无上升沿触发出现，则需要进一步考虑 Q_C ，并以此类推。

在困难级测试中，还需要测试分析置数与清零的同步性与异步性。如图 2，由于提供了 1Hz 的低频信号驱动 LED 作肉眼观察，因此仅需要在低频下通过按压按键 KEY 即可做判断。

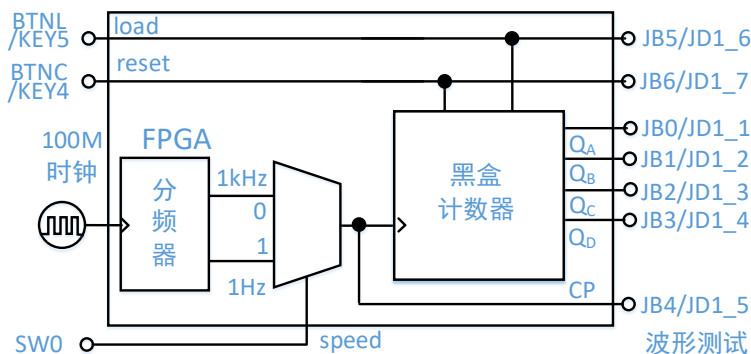


图 2 黑盒测试电路原理图-困难级

4.1 黑盒测试

4.1.1 波形测量与预置数判断

以困难级测试为例，在双踪示波器上，CH2 接入 Q_D 作触发源，选用下降沿触发，CH1 依次接入 CP (CLK) 与 Q_A 、 Q_B 、 Q_C 观察，可以得到稳定的波形。调节触发点，使一个计数周

期内的波形位移至屏幕中央。其中，CP 与 Q_D 的波形如图 3 所示。

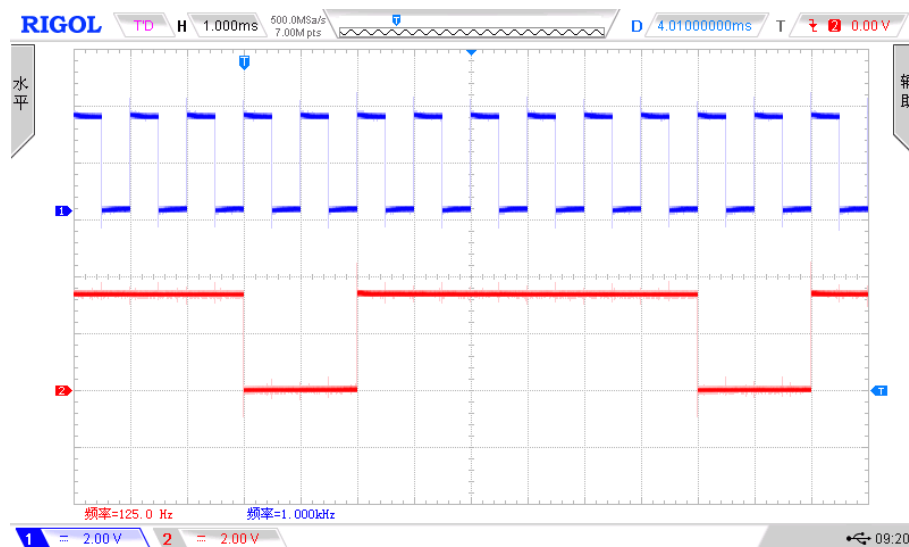


图 3 CP 与 Q_D 波形

根据 CP 的周期数可以得知，该黑盒内部为八进制计数器。

其余通道的图像在此略去，最终整理后的波形图如图 4 所示。可以看出，计数状态起止数分别为 0110_2 与 1101_2 ，即由 6 至 13 这八个数，预置数为 6。

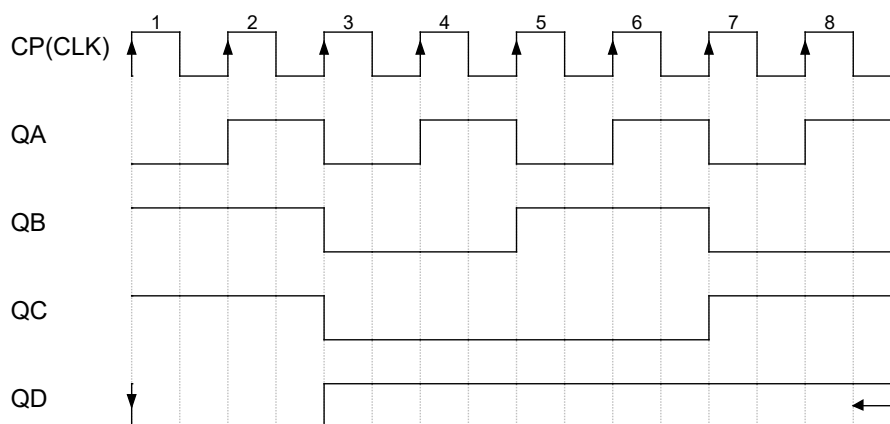


图 4 输出端波形图-困难级

简单级测试类似，波形图如图 5 所示。可以判断该计数器为七进制，计数状态从 0100_2 与 1010_2 ，即由 4 至 10 这七个数。

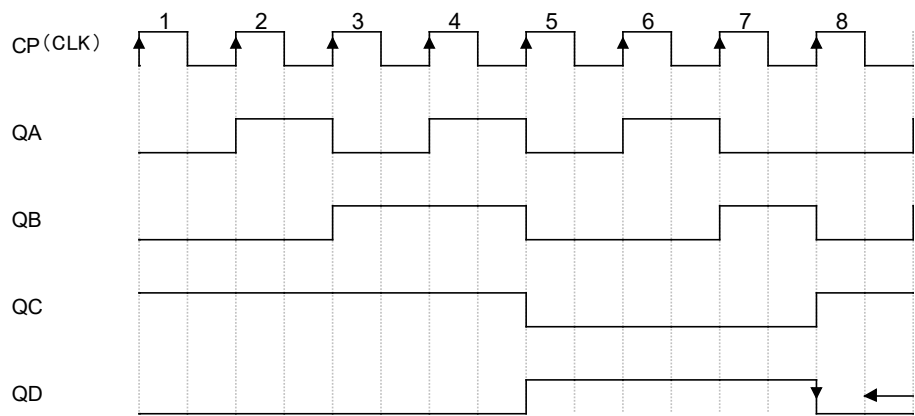


图 5 输出端波形图-简单级

4.1.2 同步与异步的分析

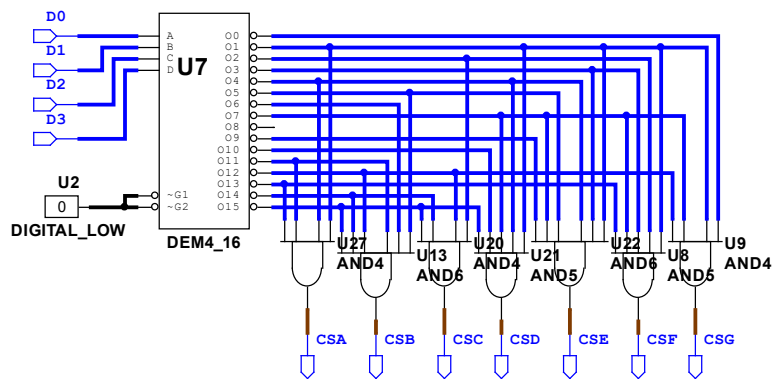
对困难级测试，还需要判断清零与置数两个操作为异步还是同步。

通过低频信号目测，可以得到，复位是同步的，置数是异步的。

4.2 计数器设计与数码管显示验证

对于 N 进制计数器，可以由 0~N-1 或者上述两数之间实现，即分为利用复位或置数两种操作完成。

数码管的驱动具体电路由学校给出，当然也可以使用 DEC_BDC_7 译码器实现。学校提供的电路如图 6 所示，PLD 名称为 STATIC_SHOW_16。





南京大学

电子信息专业
国家级实验教学示范中心

实验名称: 计数器测量与设计		
项目名称: STATIC_SHOW_16		
姓名:	学号:	
数字电路实验	日期: 2023/11/14	图纸: A

图 6 数码管显示电路

4.2.1 设计方案 1

4.2.1.1 设计原理

利用同步复位与置数的 CNTR_4BIN_S 芯片实现图 4 所示的 8 进制计数器。那么对于利用清零复位实现八进制时候，需要在输出为 0111₂（7）的时候给出复位信号；对于利用置数实现图 4 所示起止数的计数，需要在 1101₂（13）的时候给出置数信号。

具体电路框架如图 7 所示。对于按键 KEY，由于按下是低电平，故为了方便对 PLD2 内部的设计，先取反后输入。开关 SW0 控制选取同一进制的两种计数方式。

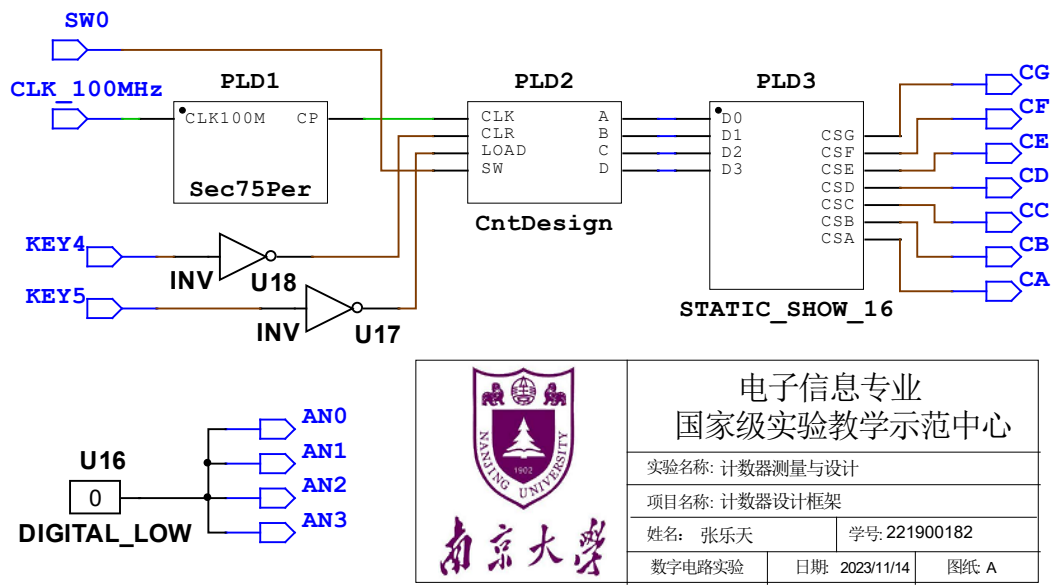


图 7 设计框架-方案 1

核心部分（PLD2）的电路如图 8 所示。这里，使能端 ENT 与 ENP 均接高电平。

SW 为 1 时候，为利用复位计数的方式。此时，由 U25 或门可以知道~LOAD 端恒为 1，不会发生置数。当芯片输出端为 0111₂（7）的时候，U14 与门输出 1，则 U28 或非门输出 0，触发清零复位操作。此外，仅有 CLR 高电平的时候也会触发清零复位操作。

SW 为 0 时候，U11 输出恒为 0，故芯片输出端为 0111₂（7）的时候不会发生复位，但 CLR 的高电平仍然对复位有效。U25 的 SW 输入端为 0，故输出端（即~LOAD）与 U7 的输出一致。而当芯片输出端为 1101₂（7）或 LOAD 出现高电平的时候，U7 输出为 0，故此时触发置数操作。

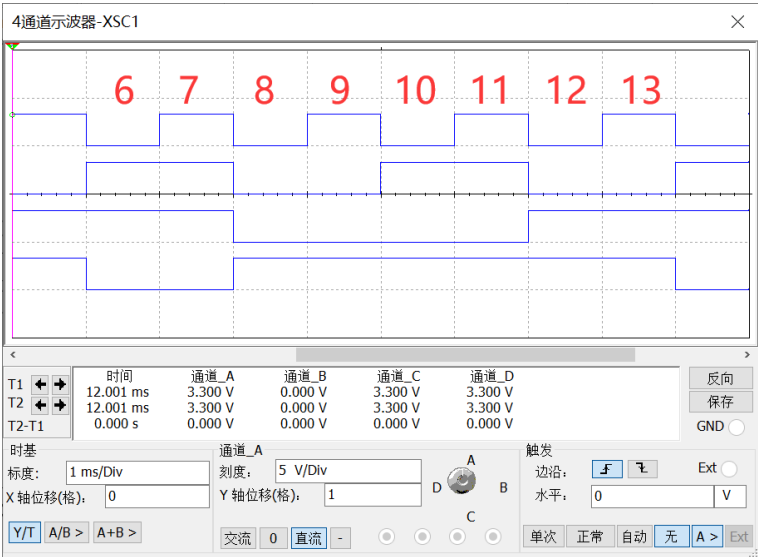


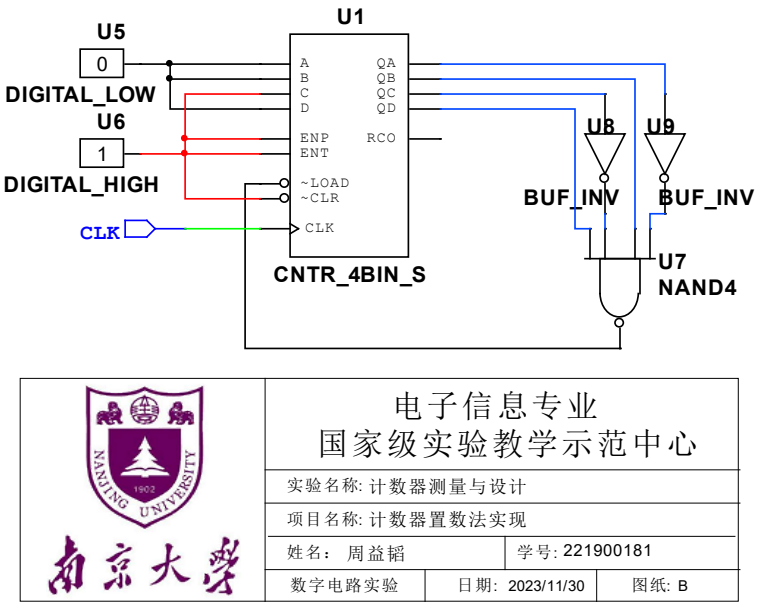
图 10 方案 1 置数方式计数

4.2.2 设计方案 2

4.2.2.1 设计原理

为了复现简单级黑盒文件中计数器的对应进制，可以分别用置数法和清零法实现。

运用置数法实现时，设计原理图如图 11 所示，由于动态显示和分频模块统一给出，原理图仅给出计数器核心部分。本次设计采用 CNTR_4BIN_S (74LS163)，具有同步复位和同步置数的功能。运用高低电平设置对应预置数为 0100₂ (4)，此后随着时钟信号进行计数，此时 ~LOAD 端输出高电平，当输出为 1010₂ (10) 时，通过组合逻辑电路，给 ~LOAD 端输入高电平，等待时钟信号进行置数，实现循环，达到从 0100₂ (4) 到 1010₂ (10) 的七进制计数器。



	电子信息专业		
	国家级实验教学示范中心		
	实验名称: 计数器测量与设计		
	项目名称: 计数器置数法实现		
	姓名: 周益韬	学号: 221900181	
数字电路实验		日期: 2023/11/30	图纸: B

图 11 方案 2 置数法实现

运用清零法实现时，设计原理图如图 12 所示，同样采用 CNTR_4BIN_S (74LS163)，利用其同步清零的性质，设置预置数为 0000₂ (0)，此后随着时钟信号进行计数，此时~CLR 端输出高电平，当输出为 0110₂ (6) 时，通过组合逻辑电路，给~CLR 端输入高电平，等待时钟信号进行清零操作，实现 0000₂ (0) 到 0110₂ (6) 的七进制循环。

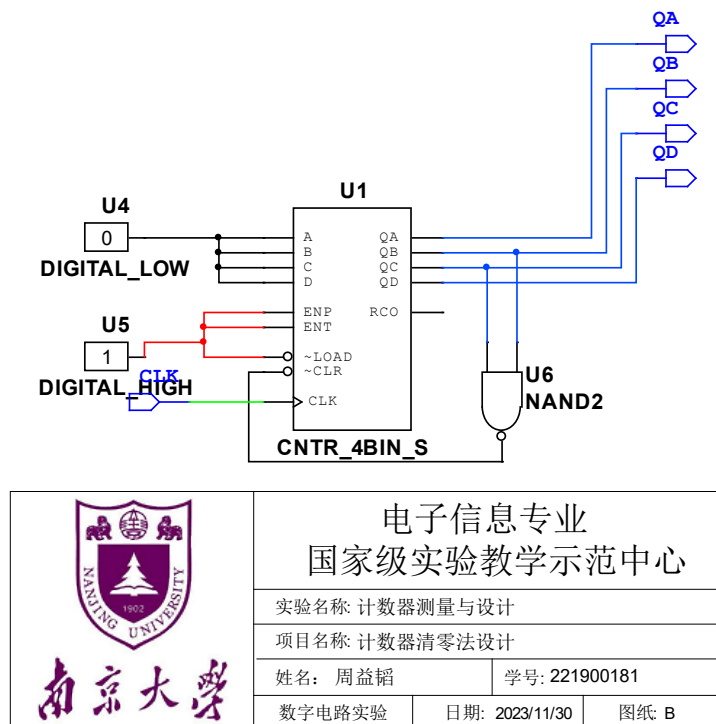


图 12 方案 2 清零法实现

4.2.2.2 设计验证

将设计导入开发板后，可以在低频下对数码管进行观测，发现当使用置数法时，数码管显示数字从 4 至 a (10) 不断循环，实现了七进制计数器功能。当使用清零法时，数码管显示数字从 0 至 6 不断循环，同样实现了七进制计数器功能。波形验证同方案 1。

5. 实验小结及思考题

5.1 实验小结

进一步理解了同步与异步的含义，并知悉了两者在具体实验过程中一定程度上可以互相转化。同时初步掌握了不同的芯片的使用方式，也对设计时模块化设计有了更深的理解。

对于计数器，其原理是较为简单的，关键在于置数与复位的触发。触发来源于输出，即对输出是否达到计数上限做判断，将输出给予芯片以反馈。设计时，仅需要注意芯片各引脚功能的细节，如有效电平是高电平还是低电平、置数与复位是同步还是异步、是时钟上升沿触发还是下降沿触发。

最后，对数码管的显示有了初步了解，7 段数码管如何实现显示是组合逻辑电路部分，但需要注意引脚的高低电平位置与默认值。

5.2 思考题

1、比较同步置数和异步置数（清零也是广义的置数概念）在状态个数上的区别，分析如果使用 74LS163（CNTR_4BIN_S）的 \overline{CLR} 端设计实现 7 进制计数器，应该如何布线？

答：如图 13 所示。

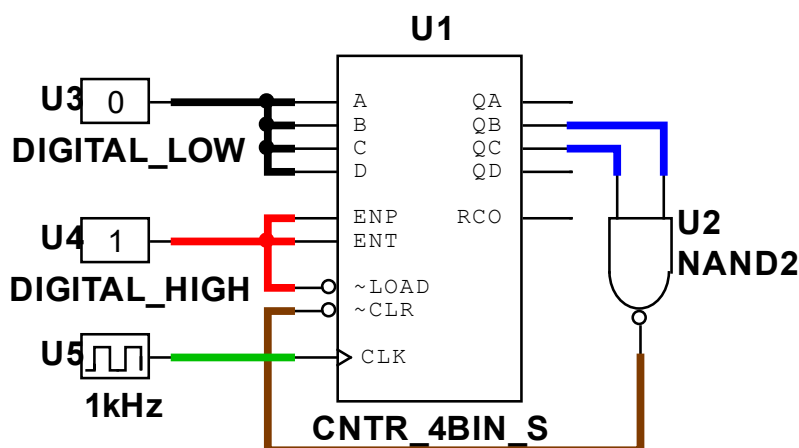


图 13 连接方式

2、若需要使用本身为 M 进制的计数器设计 N 进制计数器，其中 $N > M$ ，该如何设计？比如一天 24 小时，如何利用 74LS162（CNTR_BCD_S）设计实现？

答：可以利用级联来实现，一个计数器输出个位，另一个输出十位。其中，在十位为 2 时，个位出现 4 之后执行复位操作，具体实现方式需要根据芯片来决定。

利用 CNTR_BCD_S 可以做如图 14 设计。

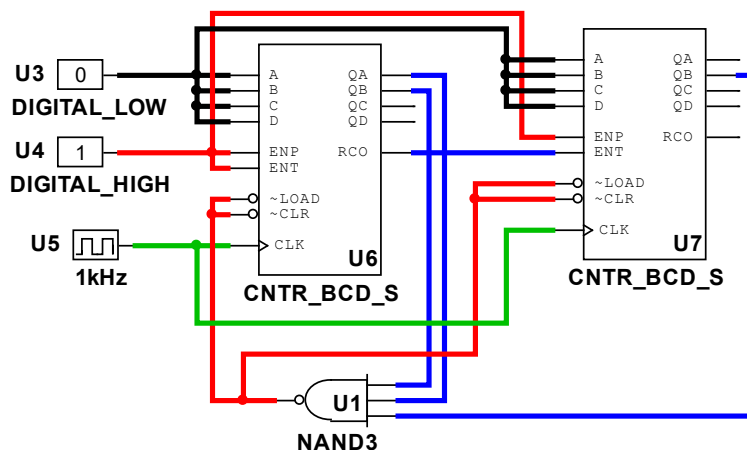


图 14 一种 24 进制的实现方式

致谢


本次实验感谢姜乃卓老师课上对于计数器功能和原理的介绍，同时让我们学习了常用的计数器芯片，让我们在理论课知识欠缺的情况下能够更加顺利地完成本次实验的测量和设计。

感谢郑江老师在教学立方中提供的课件，帮助我们更加熟练地运用 Multisim 进行原理图的绘制，同时能够对本次实验课程进行预习。

感谢助教李谦的指导，在测量和设计时给予建议和帮助，让实验思路更加明确，也在验收时对我们的设计项目进行检验，让我们的实验结果更为明确。

附件

附件 1 张乐天实验记录



南京大学集成电路系实验报告

题目 计数器测试与设计

姓名 张乐天
年 月 日
第 页

波形记录

Q_D 作触发源 下降沿触发

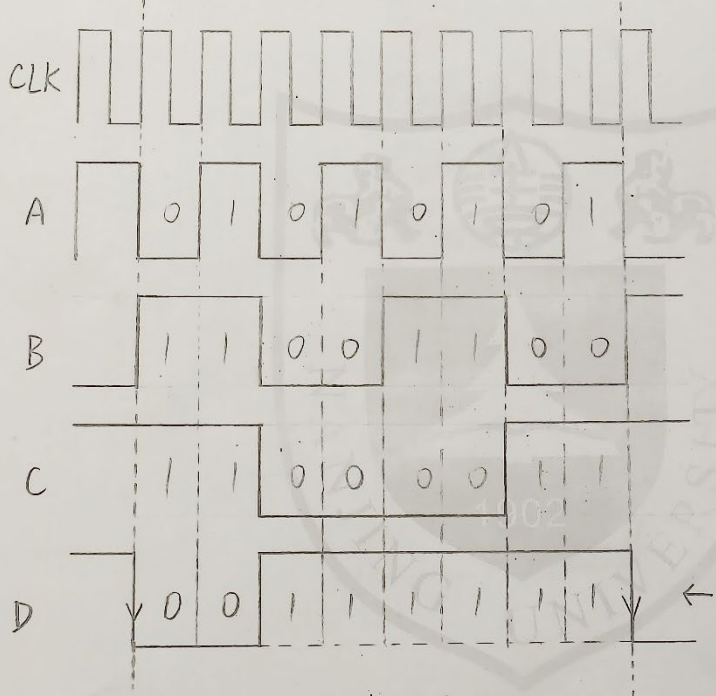
CLK

A

B

C

D



张乐天

22/9/20/82

由 0110 (6) 至 1101 (13) 8 进制

reset 复位：同步

load 置数：异步

附件 2 周益韬实验记录

周益韬 221900181

