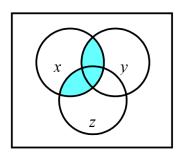
NJUIC 《数字电路》期中模拟考试试卷

4 × 4 4 × 4 × 4 × 4 × 4 × 4 × 4 × 4 × 4	考试时长: 120 分钟	考生学号:	考生姓名:	
---	--------------	-------	-------	--

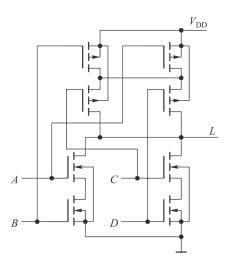
一、(29 分) 填空题

- 1. 请帮 Z 同学完成下列简单填空 (每空 1 分, 共 16 分)
 - (1) 请将十六进制数 (79)16 转换为十进制数 ().
- (2) 请将十进制数 2024 转换为十六进制数 () . 将二进制数 11011001.01B 转换为八进制数 () .
 - (3) 将十进制数 23 转换为二进制数 ().
 - (4) 将十进制数 3.375 转换为二进制数 ()
 - (5) 四位有符号数 A=(1101)₂, A 的 1 的补码是 (), 2 的补码是 ().
 - (6) 2024 个"1"连续进行异或运算,其结果是().
 - (7) CMOS 异或门有两个输入端 A 和 B, 要实现 $Y = \overline{X}$ 最好将输入端 B().
- (8) 实现两个一位二进制数相加,产生一位和值及一位进位值,考虑低位来的进位的加法器称为().
 - (9) 若一种门电路的抗干扰能力强,则其噪声容限 ().
- (10) 为什么不宜将多个二极管门电路串联起来使用? 首先: 二极管门电路的输出的高低电平数值和输入的高低电平数值不相等, 相差一个().
- (11) 在 CMOS 集成电路中,以金属-氧化物-半导体场效应晶体管 (Metal Oxide Semico- nductor Field Effect Transistor, 简称 MOS 管)作为开关器件. 在 P 型半导体衬底上,制作两个高掺杂浓度的 N 型区,形成 MOS 管的 ()和漏极. 第三个电极称为 (),通常用金属铝或多晶硅制作.
 - (12) CMOS 电路的动态功耗和哪些电路参数有关?请给出其中两个参数()、().
- 2.Z 同学面临化简以下逻辑函数的难题,请帮助解决 (5 分)
 - (1) $Z(A, B, C) = \Sigma m(0, 1, 2, 5, 6, 7)$
 - (2) $Z(A, B, C, D, E, F, G) = AB + A\overline{C} + \overline{B}C + ADE(F + G) + B\overline{D} + \overline{C}\overline{D}$
- 3. 数字芯片设计包含多个过程,请帮助 Z 同学写出以下图文中逻辑函数 (每空 2 分) (1) f =



第1页 共6页

(2) L =



(3) f =

x_3x_4	2	01	11	10_
00	1	0	d	0
01	1	1	d	1
11	0	1	d	0
10	1	1	d	1

(4) f =

```
\label{eq:substitute} \begin{split} & \text{module function } (w0,\,w1,\,w2,\,w3,\,S,\,f); \\ & \text{input } w0,\,w1,\,w2,\,w3; \\ & \text{input } [1:0] \,\,S; \\ & \text{output } f; \\ & \text{assign } f = S[1] \,\,? \,\,(S[0] \,\,? \,\,w3:\,w2):\,(S[0] \,\,? \,\,w1:\,w0); \\ & \text{endmodule} \end{split}
```

二、(8分)

Z 同学被要求只用"与非"门实现函数 $f(x_1,x_2,x_3)=\Sigma m(2,4,6,7)$ 的功能. 请先推导该函数的 SOP 表达式,并帮助 Z 同学画出电路图.

三、(8分)

```
Verilog 代码描述了硬件的逻辑结构, Z 同学设计电路时书写了以下代码.
module problem3 (IN, OUT);
    input [3:0] IN;
    output reg [3:0] OUT;
    always @(IN) begin
       if (IN==4'b0001) OUT<=4'b0001;
       else if (IN==4'b0010) OUT<=4'b0010;
       else if (IN==4'b0011) OUT<=4'b0011;
       else if (IN==4'b0101) OUT<=4'b0010;
       else if (IN==4'b0110) OUT<=4'b0100;
       else if (IN==4'b0111) OUT<=4'b0110;
       else if (IN==4'b1001) OUT<=4'b0011;
       else if (IN==4'b1010) OUT<=4'b0110;
       else if (IN==4'b1011) OUT<=4'b1001;
       else if (IN==4'b1101) OUT<=4'b0100;
       else if (IN==4'b1110) OUT<=4'b1000;
       else if (IN==4'b1111) OUT<=4'b1100;
       else OUT=4'b0000;
    end
endmodule
```

- (1) 帮助 Z 同学给出信号 IN 和 OUT 之间的关系.
- (2) 评价 Z 同学书写的代码是否为其描述的功能提供了一种好的实现风格,请分析.

四、(8分)

Z 同学知道香农展开对于逻辑条件的梳理很有作用,请对函数 $f(w_1,w_2,w_3) = \Sigma m(0,2,6,7)$ 采用香农展开. 请用一个 2 选 1 多路选择器和其他必要的门电路实现此函数,再请用一个 4 选 1 多路选择器和其他必要的门电路实现此函数.

五、(8分)

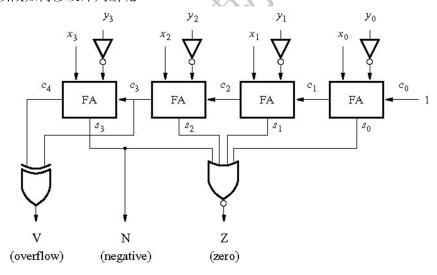
请利用卡诺图帮助 Z 同学求函数 $f(x_1, x_2, x_3, x_4) = \Sigma m(4, 6, 8, 10, 11, 12, 14)$ 的最低成本 SOP 表达式. 假定无关项为 $D = \Sigma m(3, 5, 7, 9, 15)$.

六、(12分)

在计算机运算中常常要比较数字的大小,Z 同学对加法器的构造做修改得到一减法器如下图,可实现两 4 位有符号数 $X=x_3x_2x_1x_0$ 、 $Y=y_3y_2y_1y_0$ 减法 X-Y. 3 个输出结果的意义如下:

- (1) 结果是 0, Z = 1, 否则 Z = 0;
- (2) 结果是负数, N = 1, 否则 N = 0;
- (3) 如果发生算术溢出 V = 1, 否则 V = 0.

请说明如何利用 $Z \setminus N$ 和 V 判断 X = Y, X < Y, X > Y. 如果 X, Y 仅是二进制数(无符号数),该电路该做如何修改并判断呢?



七、(12分)

Z 同学需要构建一数字电路,其输入为三位二进制数 $X=x_2x_1x_0$,输出为五位二进制数 $Y=y_4y_3y_2y_1y_0$,电路实现的功能是 Y=3X+5. 帮助 Z 同学完成以下内容.

- (1) 列出电路的真值表.
- (2) 写出输出 y_2 的标准 SOP 表达式,并用 3-8 译码器实现.
- (3) 写出输出 y_i 的最简 SOP 表达式.



八、(8分)

Z 同学希望仅用加法电路与 2 选 1 数据选择器设计一个电路,以实现用 1, 3, 4, 6 乘以一个 8 位二进制数字 $A=a_7,...,a_0$,分别产生结果 A、3A、4A 或者 6A. 请帮助 Z 同学给出设计思路并画出简要电路图.

九、(8分)

现场可编程门阵列 (FPGA) 中包含了用于实现逻辑函数的查找表 (LUT). 每个 LUT 可以通过编程实现任何输入的逻辑函数,很多商用 FPGA 包含 4 输入的查找表单元. 请用多个 4 输入查找表来构建一个选择输入信号为 S_1 、 S_0 和数据输入信号 w_3 、 w_2 、 w_1 、 w_0 的 4 选 1 多路选择器.

- 2. 请通过表达式变换,用3个LUT实现4选1多路选择器并画出框图.
- 3. 继续变换表达式, 用 2 个 LUT 实现 4 选 1 多路选择器并画出框图.

