

实验 1 组合逻辑电路

集成电路学院 221900182 张乐天

1. 实验目的

- 1) 熟悉黑盒测试的实验流程。
- 2) 学习使用 Xilinx Artix-7 FPGA 开发板，了解其基本外设的使用方式，同时学习开发板对应软件的配置方式，了解基本的设计开发流程。
- 3) 学习通过观测 LED 与波形图测试，分析给定逻辑的函数表达式，并实现逻辑函数与波形还原。

2. 实验仪器与主要器材

仪器：

双踪示波器：RIGOL DS2302A

万用表：RIGOL DM3058E

硬件：

硬木课堂 Xilinx Artix-7 FPGA 板（芯片型号为 Xilinx Artix-7 XC7A75T）

软件：

NI Multisim 14.3 (Education Edition)

Vivado 2018.3 (Vivado HL System Edition)

3. 实验原理

组合逻辑电路实验中，需要完成测量并判断黑盒中既定的逻辑函数，之后需要使用相关电路做逻辑函数的还原设计。

3.1 简单逻辑门

如图 1，在逻辑门黑盒测试中，测试方式为静态测试。LED 2 由静态开关 SW0、SW1 共同控制，可以通过完全归纳法得出 LED 2 的逻辑函数。在这里，规定了 LED 亮为 1、暗为 0；同时也给出了输出口 Y 作为电平测试点。

这里的逻辑函数仅需要由一个逻辑门即可实现，设计时仅需将图 1 中的逻辑门复原即可。

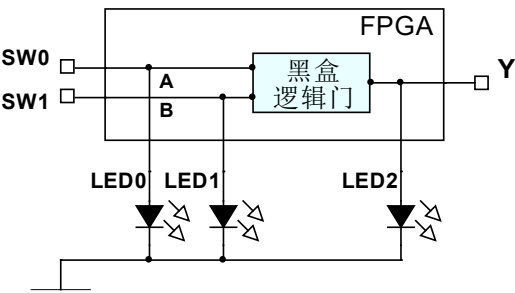


图 1 逻辑门黑盒示意图

3.2 组合逻辑电路

如图 2，在三输入组合逻辑电路中，没有采用开关提供静态输入信号的方式，而是由分频计数电路生成 3 路序列信号 $A B C$ ，逻辑状态由 000，001 依次变至 111，再回 000。将三路序列的波形分别与 Y_0 、 Y_1 、 Y_2 的波形做比对即可得到对应的逻辑函数。

还原设计时候，可以对 Y_0 、 Y_1 、 Y_2 的三输入逻辑函数做化简处理，可以通过数据选择器、逻辑门、译码器等方式实现。

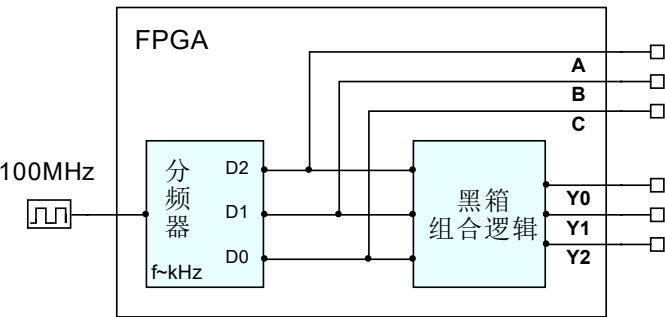


图 2 三输入逻辑黑盒测试图

4. 实验过程

4.1 简单逻辑门

4.1.1 黑盒测试与逻辑门判定

根据 3.1 所叙述，测试结果如表 1。可以依据 LED 亮暗判定与 Y 的电平判断 0 与 1。根据表 1 可以得到，这里的逻辑门是或门。

具体实验操作过程中，由于误以为是三输入三输出逻辑门，对三个 LED 均作了最小项分解，也正确判断了该逻辑门的类型。实际上，在未确定 FPGA 内部是如图 1 所示时，假设为三变量函数是正确的方式，但这里就十分冗余。

表 1 简单逻辑门测试结果

A		B		Y	
SW0	LED0	SW1	LED1	LED2	电平
下	0	下	0	0	0
下	0	上	1	1	3.3V
上	1	下	0	1	3.3V
上	1	上	1	1	3.3V

4.1.2 简单逻辑门电路的 FPGA 实现

为了熟悉开发板设计开发的流程，同时验证环境，这里对该简单逻辑门电路做了还原设计，电路原理图如图 3 所示。

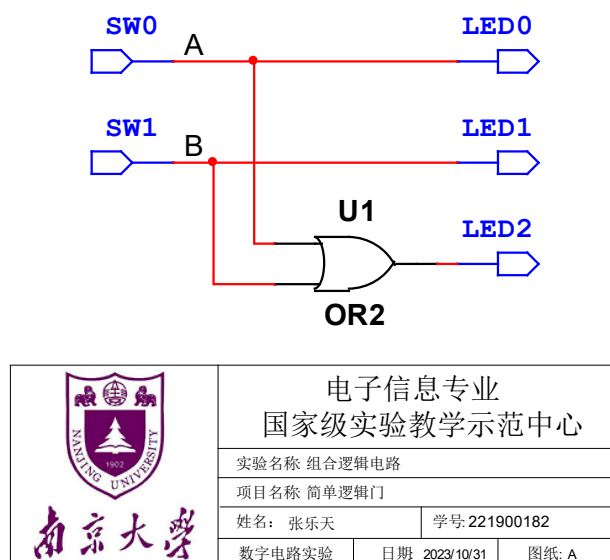


图 3 简单逻辑门电路

下载至开发板中，可以得到如表 1 所示相同的实验结果。

4.2 三输入组合逻辑电路

4.2.1 黑盒测试与波形图记录

在双踪示波器上，CH1 接入最低频率的计数信号 A（D2）作为触发源，选用上升沿触发，CH2 依次接入 B、C、Y₀、Y₁、Y₂，并一一比对，可以得到 Y₀、Y₁、Y₂ 的波形图，进而可以得到逻辑函数。

数据记录如图 4 所示，其中信号 A（D2）上升沿用箭头作标识。

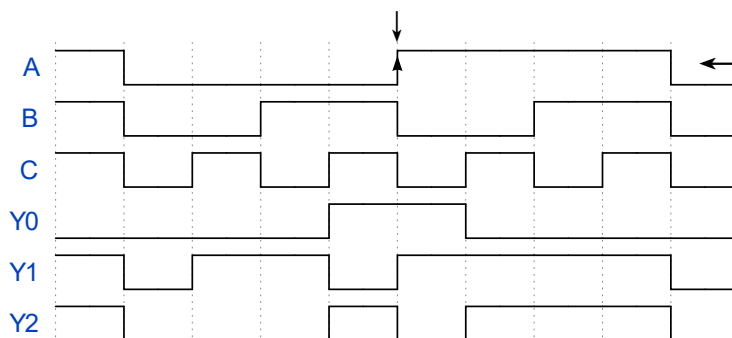


图 4 组合逻辑电路波形图

由于这里 A 、 B 、 C 构成计数序列，那么只要以 A 波形作下降沿触发的信源，那么示波器上显示的 Y_0 、 Y_1 、 Y_2 的波形就将是如图 4 所示的波形。该方式得到的示波器的波形如图 5、图 6、图 7 所示（已经作反色处理），分别与图 4 对应的波形相吻合。

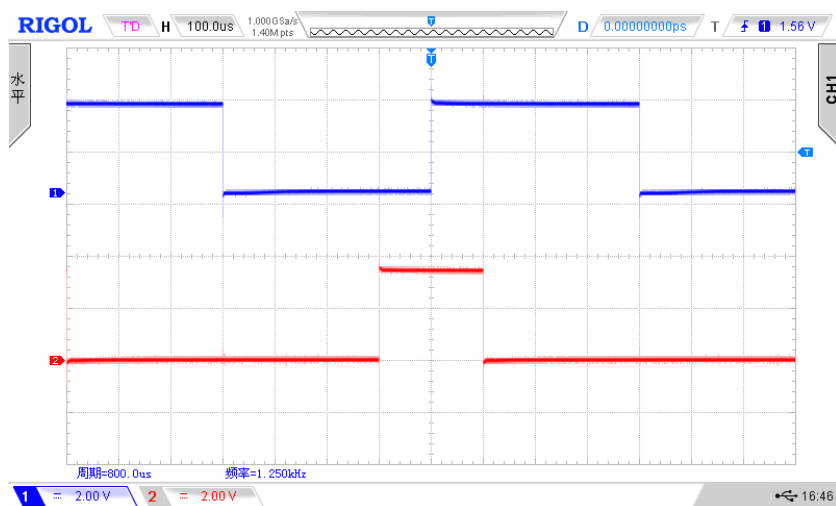


图 5 Y0 波形



图 6 Y1 波形



图 7 Y2 波形

在这里，选用上升沿触发是非常方便的方式。在计数序列，或者说，在二进制数制规则下，各数位依次由 0 变为 1，从而实现依次递增。上升沿触发保证了波形顺序为由 0 至 1 的，再结合技术序列的特性，从而实现了直接绘制，也方便了逻辑分析。

4.2.2 逻辑函数分析

利用图 4，可以分别绘制 Y_0 、 Y_1 、 Y_2 的真值表，得到如表 2 所示结果。

表 2 Y_0 、 Y_1 、 Y_2 真值表

A	B	C	Y_0	Y_1	Y_2
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	1	0	1
1	0	0	1	1	0
1	0	1	0	1	1
1	1	0	0	1	1
1	1	1	0	1	1

根据真值表，可以列出 Y_0 、 Y_1 、 Y_2 逻辑函数最小项之和的形式，表达式如下

$$\begin{aligned}
 Y_0(A,B,C) &= \sum m(3,4) \\
 Y_1(A,B,C) &= \sum m(1,2,4,5,6,7) \\
 Y_2(A,B,C) &= \sum m(3,5,6,7)
 \end{aligned}
 \tag{4-1}$$

利用卡诺图可以将 Y_1 、 Y_2 进一步化简，最终结果为

$$Y_0(A,B,C) = \bar{A}BC + A\bar{B}\bar{C}$$
$$Y_1(A,B,C) = A + B \oplus C$$
$$Y_2(A,B,C) = AB + AC + BC$$

(4-2)

实际上，可以 Y_0 、 Y_1 由波形图直接读取。对于 Y_0 ，仅含有两个最小项，且并非格雷码下的相邻项，因此最小项之和无法作进一步积之和的化简。对于 Y_1 ， A 显然是其蕴含项，其余两项可由 B 与 C 取异或给出。

4.2.3 组合逻辑还原设计

根据式 (4-2)，采用逻辑门与译码器作逆向设计。对于 Y_0 ，由于所含最小项非相邻，可以使用 3-8 译码器得到逻辑最小项，之后使用或门实现。而对于 Y_1 、 Y_2 ，所含最小项较多，使用译码器实现会使得电路繁复，为了简洁可读，可以采用对应的门电路实现。

首先，将电路中 0 与 1 设为 LOW 与 HIGH，如图 8 所示。为了方便与可视化，这里与下文均利用连接器化简电路图。

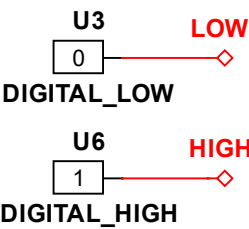


图 8 电路中的 0 与 1

对于 Y_0 ，由于提供的 DEC3_8 译码其输出为低电平有效，上述所说的或门要用与非门作替换。具体电路图如图 9 所示，其中左侧接入 U4 的连接器 $A B C$ 为 3 位序列信号，其由高到低顺序与 DEC_8 对应的 $A B C$ 输入引脚相反。3 位序列信号 $A B C$ 的实现参见 4.2.4.1。

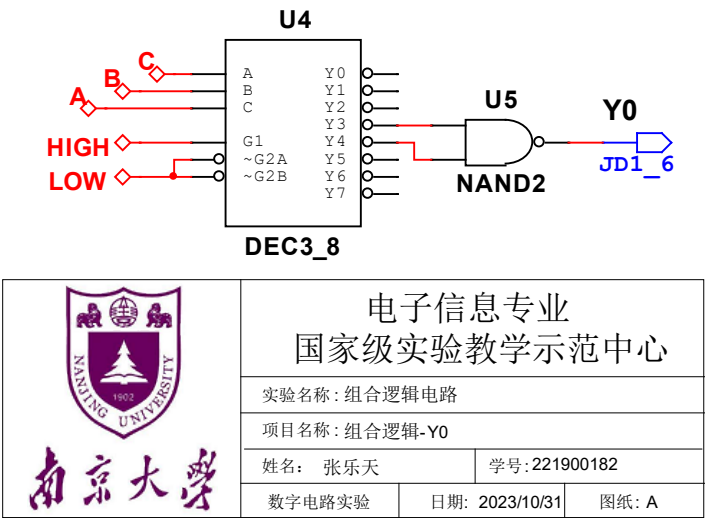


图 9 Y0 设计原理图

而对于 Y_1 、 Y_2 ，这里使用逻辑门实现，原理在此不做赘述，电路图见图 10。

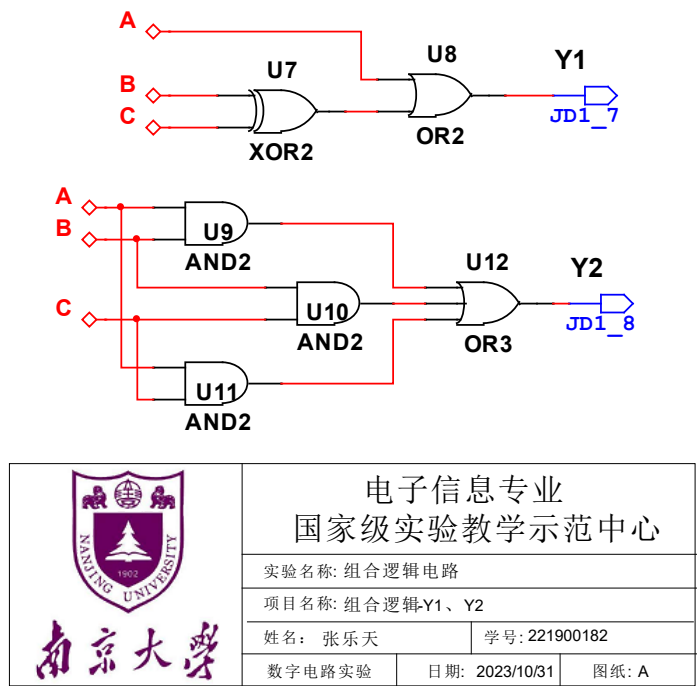


图 10 Y_1 与 Y_2 设计原理图

4.2.4 计数序列获取与逻辑函数验证

为了验证所设计的逻辑函数的正确性，需要得到 3 位序列信号 $A B C$ ，从而得到如图 5-7 所示的波形。

4.2.4.1 计数序列脉冲的获取

在所使用的开发板上，提供了 100MHz、50MHz 与 3Hz 的时钟信号，为了得到 kHz 级别的周期脉冲，需要对 MHz 级别的时钟信号作分频处理。电路图如图 11 所示。

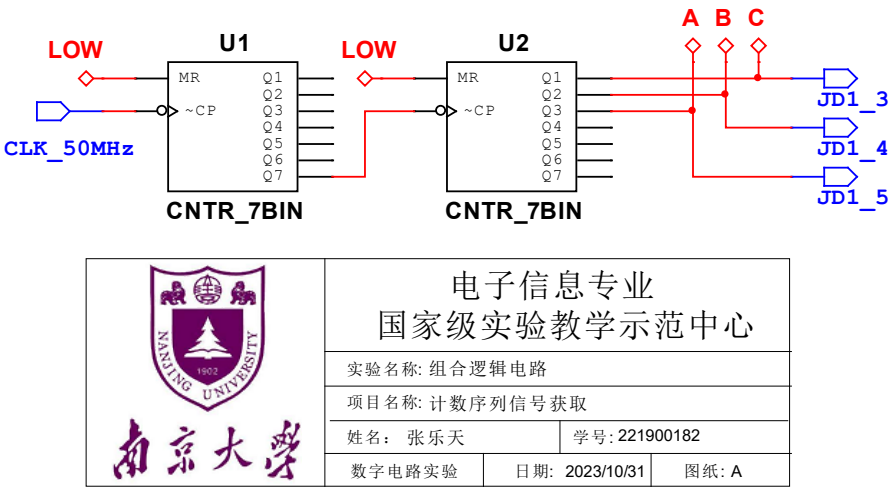


图 11 计数序列脉冲的生成原理图

这里使用 FPGA 内部提供的 CNTR_7BIN 的计数器作分频，其最高位 Q7 输出的频率为

输入时钟频率的 2^7 分之一。考虑到 2^{10} 约为 1000，那么将 CNTR_7BIN 级联对 50MHz 作分频，可以得到所需要的频率量级。而在该芯片的输出引脚中，任取 3 个相邻的输出引脚即可得到相关的 3 位的计数序列。为了对应上文的逻辑表达式与波形图，A 取最低频，而 C 取最高频。

4.2.4.2 逻辑测试与验证

完整的电路图如图 12 所示。进行仿真时候，由于 50MHz 频率较高，会使得仿真速度较慢，我们使用 50kHz 方波接入 50MHz 端。仿真得到 Y_0 的波形如图 13 所示。

下载至 FPGA 后，观测对应引脚的输出，其中 Y_1 、 Y_2 的波形如图 14、图 15 所示。

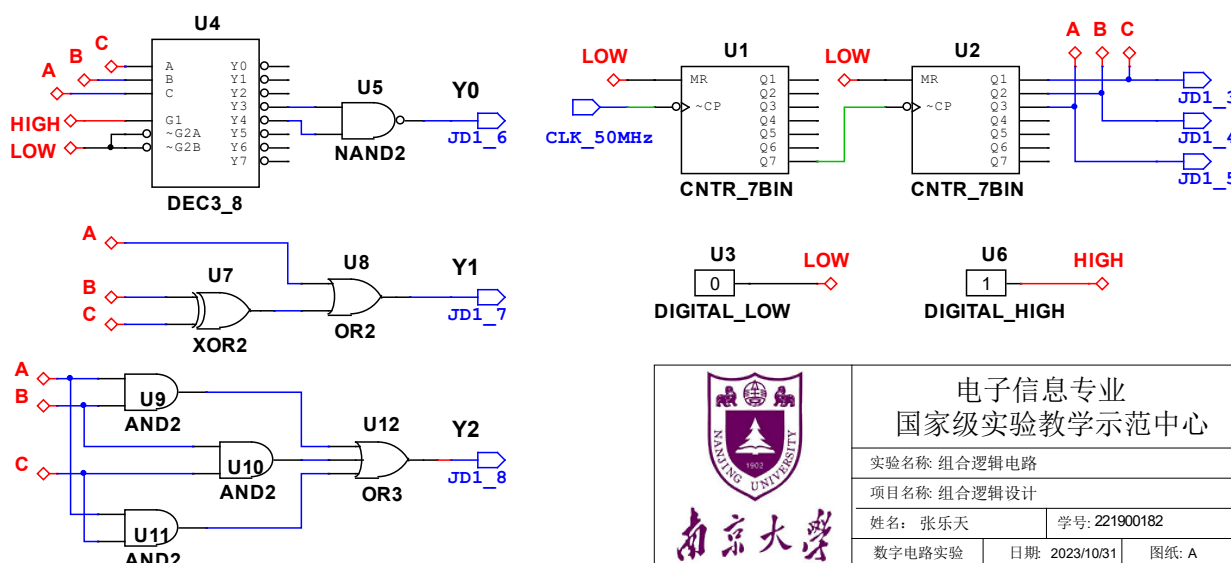


图 12 完整电路原理图

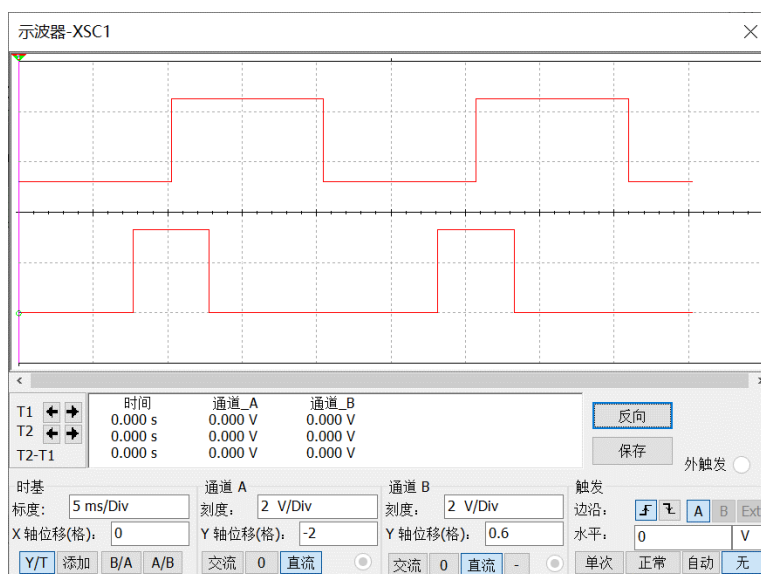


图 13 Y_0 波形还原



图 14 Y1 波形还原

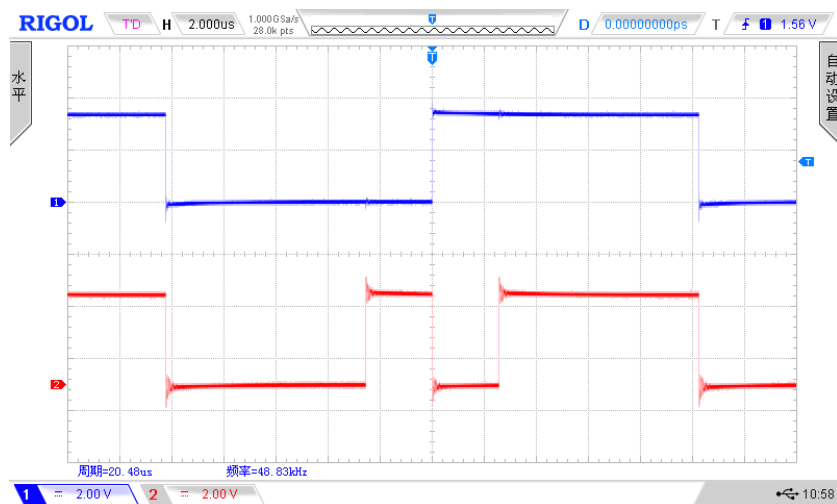


图 15 Y2 波形还原

由于分频结果为 100kHz 级别，频率较高，因此波形边缘略有抖动，但不影响观测。可以看到，图 13-15 与图 5-7 是相吻合的，结合上文对波形读取的分析可知，波形代表着最小项成分，故电路设计是正确的。

5. 实验小结及思考题

5.1 实验小结

该次实验不是第一次接触开发板进行设计，但是使用 Multisim 作电路图并导入是第一次。进一步了解了相关软件，如 Vivado、Multisim 的功能与实现方式。此外，对于示波器的使用有了更新的理解，对于触发与触发源的选择有了更多的认识。

数字电路中，强调的是电平高低逻辑与时序顺序，对于电平数值与波形持续时间不是数字电路中研究的重点。因此在设计时候，只需要将 MHz 级别的频率减低到示波器的良好观测

范围内即可，此外对于图 13-15 中的波形瑕疵也并未对逻辑的判断有影响。

对于组合逻辑电路实验，得到波形的前提是获取到计数序列信号，这部分的内容对二进制计数器与约翰逊计数器做了简单的了解，增长了知识。

5.2 思考题

1、表 1 所记录的高低电平值的差异，并予以分析原因。

答：测量得到的所有高电平均为 3.3V，低电平为 0V。观察图 1 所示电路原理图，可以知道，LED 低电平若接地，由于管压降，Y 的电平不可能为 3.3V。实际上，直接测量 LED 的电平得到：LED 发光状态，正极电平约 1.8V，负极电平约 0V；暗时，正负极均约为 3.3V。可以得到，LED 负极并非接地，其亮灭是通过负极电平的控制实现的。而在逻辑电路中，输出端 Y 体现的是数字 0 与 1，故为电平至始终为 0 或 3.3V。

2、基于逻辑门完成实验组合逻辑的设计有什么快捷方法？该方法有什么特点？

答：可以对逻辑函数作最小项分解，采用先与再或的形式，该方式较为简单，但设计所需的门电路较多，较为繁复；若逻辑函数可以化简为最简式，并使用更多的门（如与非门、异或门等），那么可以用更简单的门电路实现，如这里 Y_1 的实现，仅采用了异或门与或门。

3、数字信号多波形动态测量时，示波器使用应该注意哪些技术要点？

答：A. 要根据输入信号的情况，选择合适的触发方式。在这里采用上升沿触发用于分析逻辑更符合计数序列的递增顺序，方便分析。B. 双通道测量时，要选用其中一个信号作为触发信号。这里选用最低频信号作为触发信号，可以使得另一通道信号显示稳定，防止信号滚动、交叠。

致谢

在本实验进行中，感谢姜老师与李谦助教的课前讲解，对我电脑软件环境的配置有很大的帮助，也感谢群里孙方泽同学对于一些软件环境安装时候的提醒。在课上，由于实验分配的文件出现了问题，感谢同学分享 .bit 文件，方便了实验的进一步进行。

此外，由于上午未能完成实验，下午我也来到了实验室，感谢左浩楠同学与李谦助教对计数器的进一步讲解，对实验设计的细节问题解决有着很大的帮助。

周日开放实验室时，感谢助教付出，让我更快地完成实验内容并验收。

附件



南京大学集成电路系实验报告

实验记录

题目 组合逻辑电路测试与设计

姓名 张乐承

2023 年 10 月 31 日

第 页

(一) 逻辑门

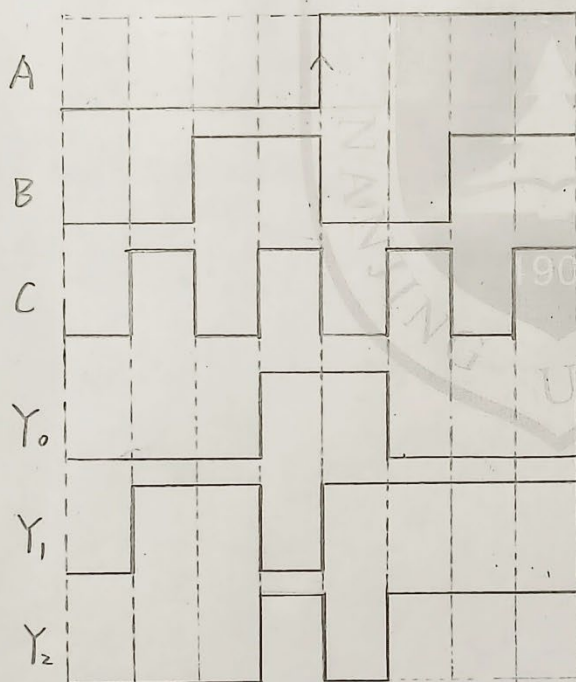
A, B, C 对应 SW0, SW1, SW2

$$LED0 = \sum m(1, 3, 5, 7) = A$$

$$LED1 = \sum m(2, 3, 6, 7) = B$$

$$LED2 = \sum m(1, 2, 3, 5, 6, 7) = A+B$$

(二) 组合逻辑



$$Y_0 = \bar{A}BC + A\bar{B}\bar{C}$$

$$Y_1 = \sum m(1, 2, 4, 5, 6, 7) = A + B \oplus C$$

$$Y_2 = \sum m(3, 5, 6, 7) = AB + AC + BC$$