

实验 2 移位寄存器测试与设计

集成电路学院 221900181 周益韬

集成电路学院 221900182 张乐天

1. 实验目的

- 1) 学习采用单次触发法测量波形并探究移位寄存器的预置数与延迟周期判断方法。
- 2) 学习常用移位寄存器集成芯片的功能表与工作原理和 Multisim 中移位寄存器电路的逆向设计。

2. 实验仪器与主要器材

仪器：

双踪示波器：RIGOL DS2302A

硬件：

硬木课堂 Xilinx Artix-7 FPGA 板（芯片型号为 Xilinx Artix-7 XC7A75T）

软件：

NI Multisim 14.3 (Education Edition)

Vivado 2018.3 (Vivado HL System Edition)

3. 实验原理

移位寄存器是一种时序逻辑电路，能够存储和传输数据。它们由触发器组成，一个触发器可以储存一位信息。由 n 个触发器组成的电路可以用来储存 n 位信息，我们把这一组触发器称为一个寄存器。

当寄存器能在移位脉冲的作用下依次左移或右移时，我们称之为移位寄存器。因此，移位寄存器不但可以用来寄存代码，还可以用来实现数据的串行-并行转换、数值的计算以及数据处理等。

移位寄存器可以根据工作模式分为串行输入—串行输出移位寄存器、并行输入—串行输出移位寄存器、串行输入—并行输出移位寄存器、并行输入—并行输出移位寄存器等。采用不同种类的移位寄存器，我们可以实现不同的功能。

4. 实验过程

本次实验分为测试和设计两个部分。首先进行黑盒文件的测量，由于按下按键后波形只有一次周期序列，因此本次实验采用示波器单次触发功能。用单次触发法测量并记录接线端波形。根据波形可以分析判断移位寄存器预置数数值，以及延迟信号的延迟量。在把握黑盒文件中电路系统的特性后，可以采用常用移位寄存器集成芯片逆向设计实现黑盒文件中电路的结果，测量波形进行验证。

4.1 黑盒测试

根据黑盒文件测试电路图，如图 1，为了对黑盒文件中移位寄存器的预置数数值和延迟周期进行分析，分别测量 JD1_3~6 的波形。将四种信号的波形记录后分析得到移位寄存器预置数数值，以及延迟信号的延迟量。

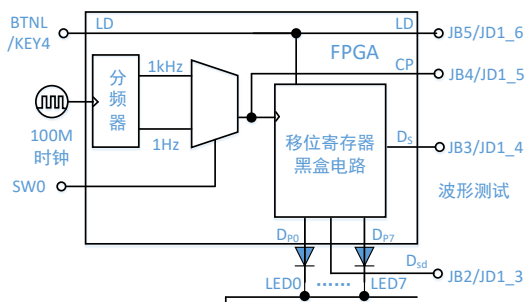


图 1 黑盒文件测试电路原理图

4.1.1 波形测量与预置数判断

由于移位寄存器需要按下按键后进行移位的操作，每次按下按键后的波形会在有限周期内消失，为了在示波器上得到可观测的波形，本次实验需要采取单次触发进行测量，测量结果如图 2 所示意。



图 2 单次触发 Ds 波形

以按键信号为触发信号，分别测量时钟信号、移位信号和延迟信号，将四种信号记录在同一图中。两人分别得到如图 3、图 4 的波形图。

两人黑盒中的移位寄存器均为上升沿触发，因此记录中移位均在 CP 波形的上升沿发生。

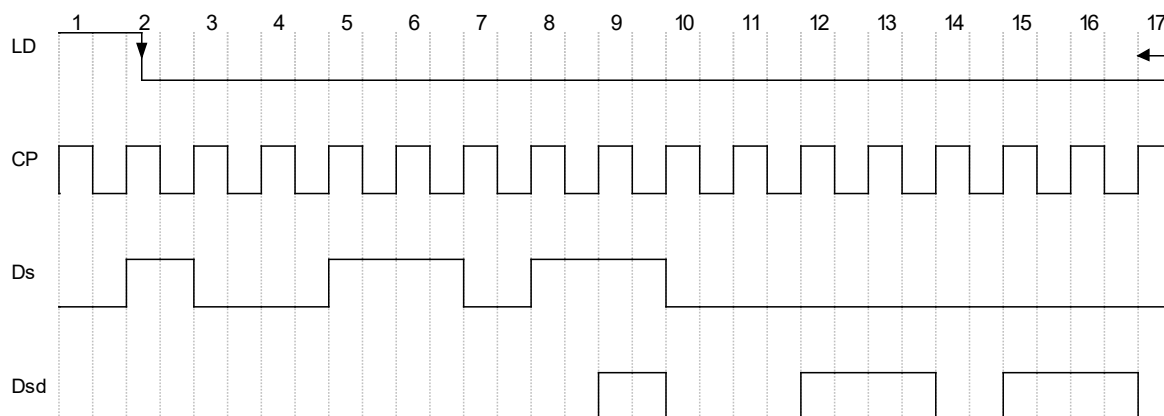


图 3 波形绘制-周益韬

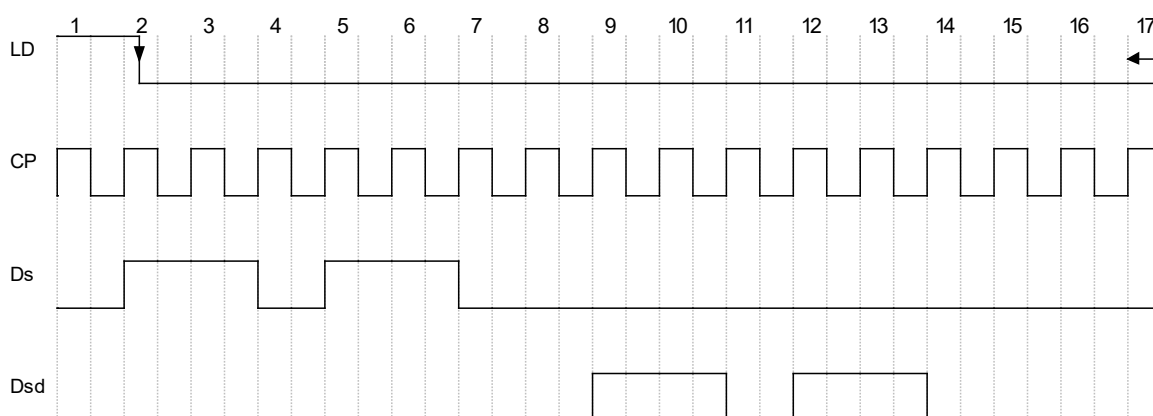


图 4 波形绘制-张乐天

根据图 3，当 LD 波形下降，即按键被按下后，移位寄存器置数，并进行移位操作。故根据 Ds 波形可以分析得到预置数。由于移位寄存器根据时钟信号移位，因此时钟信号一个周期对应预置数的一位。根据波形图分析得到：图 3 所代表的黑盒文件中移位寄存器的预置数为 10011011。同样的方式，可以分析得到图 4 对应的预置数为 11011000。

4.1.2 延时分析

为了得到延迟信号的延迟量，需要测量波形 Ds 与 Dsd，不妨以 Ds 为触发源，采用下降沿触发，可以观察到类似图 5 所示的波形。

在图 5 中，可以根据特征上升沿或下降沿判断延时周期。由于 CLK 周期为 1ms，故示波器调节为每格 1ms，那么可以数出图 5 中 Dsd 与 Ds 之间的延时为 7 个周期。在上述图 4 波形图的记录中也有体现。



图 5 延时测量示意

对图 3，比较 D_s 和 D_{sd} 两个波形，同样可以得到两个波形相差 7 个时钟周期，因此黑盒文件中电路系统延迟信号的延迟量为 7 个周期。

4.2 寄存器还原设计与验证

4.2.1 原理图

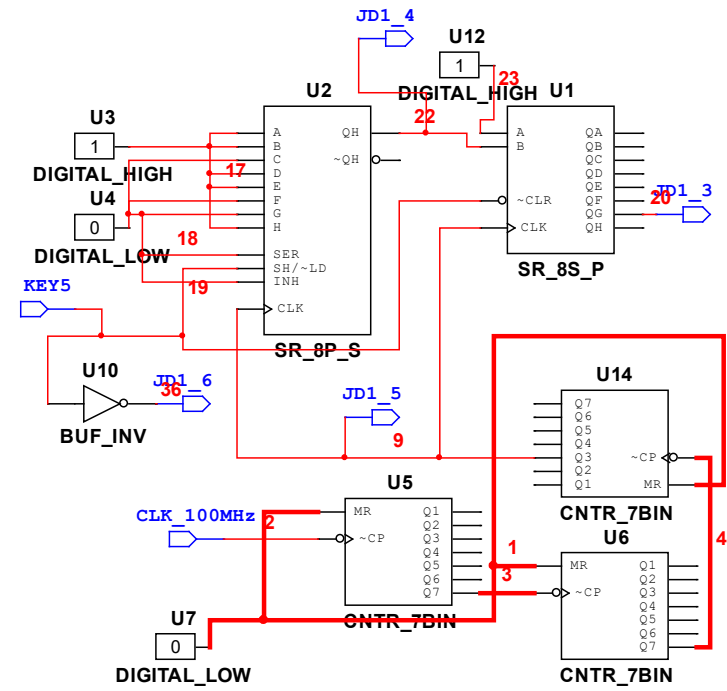
为了逆向实现黑盒文件中的功能，本次实验主要选用了并串转换器 74LS165 和串并转换器 74LS164 两种移位寄存器集成芯片，在 PLD 中分别为 SR_8P_S 与 SR_8S_P 。

在 SR_8P_S 的输入端根据黑盒文件的要求设置了自己所需要的预置数，为了实现移位，将 SER 和 INH 端接高电平， $SH/\sim LD$ 端连接按键。那么当按下按键时， $SH/\sim LD$ 端将输入低电平， SR_8P_S 就会根据预置数对 $A\sim H$ 端进行置数；按键还原后， $SH/\sim LD$ 端输入高电平， SR_8P_S 将根据时钟信号进行移位操作，在 QH 端每一个时钟周期依次输出数字 $H\sim A$ 。

为了实现延时的波形，将 SR_8P_S 的 QH 端接入 SR_8S_P 的 B 端，由于输出 AB 与逻辑的结果， A 端连接高电平。 $\sim CLR$ 端同样连接按键，实现了按下按键后清零，按键复原后开始移位操作。由于 SR_8S_P 按照 QA 至 QH 的顺序输出。

由于黑盒文件中延迟信号延迟数为 7，故延迟信号的接线端连接 SR_8P_S 的第 7 个输出引脚 QG 。

图 6 为周益韬给出的具体实现方式，图 7 所示的为张乐天给出的实现方式。因时钟设计方式一致，在此图 7 中在此省略了设计时钟的部分。




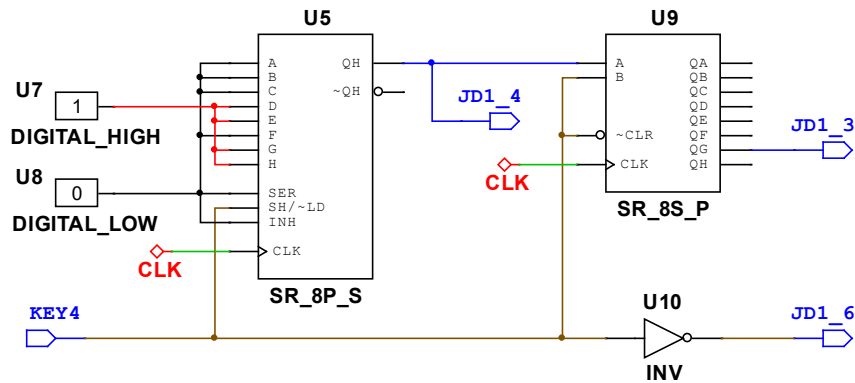
 南京大学	电子信息专业 国家级实验教学示范中心		
	实验名称: 实验二 移位寄存器测试与设计		
	项目名称: 移位寄存器逆向设计		
	姓名: 周益韬	学号: 221900181	
	数字电路实验	日期: 2023/11/19	图纸: B

图 6 逆向设计-周益韬




 南京大学	电子信息专业 国家级实验教学示范中心		
	实验名称: 移位寄存器测试与设计		
	项目名称: 移位寄存器逆向设计		
	姓名: 张乐天	学号: 221900182	
	数字电路实验	日期: 2023/11/19	图纸: A

图 7 逆向设计-张乐天

4.2.2 软件仿真

测试电路如图 8 所示，其中 KEY4 利用开关实现。为了保证仿真速度，这里调节时钟为 Hz 级别。

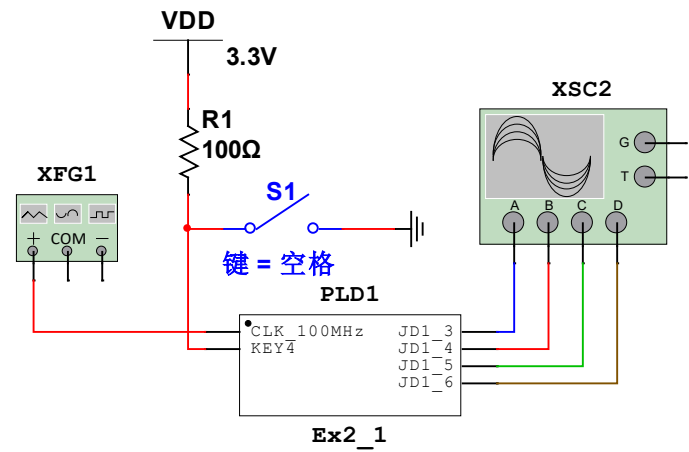


图 8 仿真测试电路

这里预置数采用周益韬的数据，得到的仿真结果如图 9 所示。与图 3 相对比可以得到结果是吻合的。

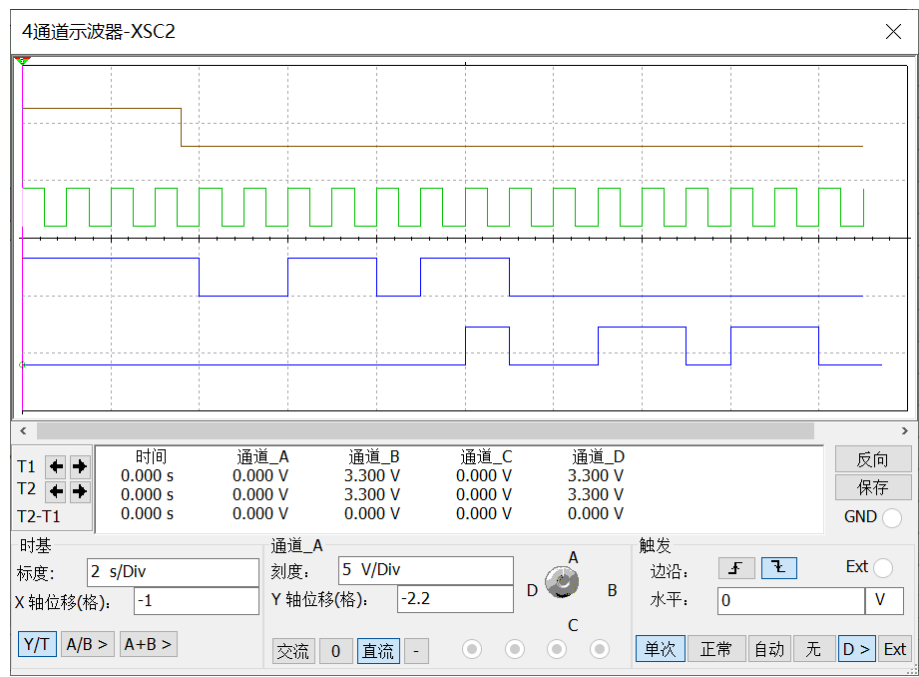


图 9 仿真测试结果

4.2.3 硬件测试

将上述设计下载到 FPGA 板上，用同样的方式测试波形。

可以观察到如图 10、图 11 所示的波形，分别与图 2、图 5 所示的波形相一致，说明设

计是正确的。

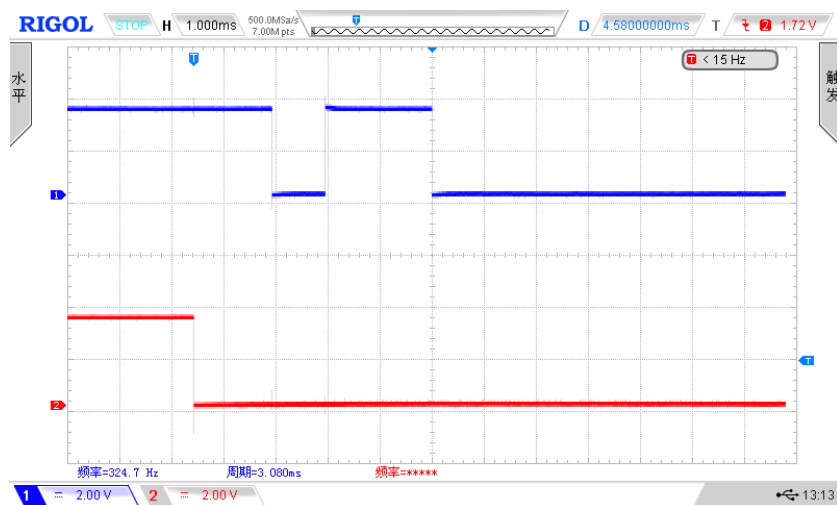


图 10 波形验证



图 11 延时验证

5. 实验小结及思考题

5.1 实验小结

本次实验从测试和设计两个方面对移位寄存器有了更加深入的认识。为了了解黑盒文件中移位寄存器的预置数数值和延迟信号延迟数，学习掌握了示波器的单次触发法，并采用单次触发法测量了多种波形。同时为了实验的顺利进行，也学习了常用移位寄存器集成芯片，如 74LS165、74LS164 等的功能表和工作原理。在此理论基础上，能够通过波形间的相位差等关系判断得到移位寄存器的预置数数值和延迟信号延迟数。测量之后，为了实现黑盒文件中功能，在 Multisim 中进行了逆向设计，采用了芯片 74LS165 和 74LS164，并自己设置了预置数和延迟数复现功能，让我们对于移位寄存器的功能有了更加深入的认知，也掌握了预置

数和延迟周期的设置方法。

5.2 思考题

1、74LS91 是 8 位串入串出移位寄存器，这样的器件做不了计数器，也做不了并串、串并转换，它有什么用途？

答：由于 74LS91 是串入串出移位寄存器，因此可以进行数据的缓存存和移位，当输入数据在时钟的上升沿时，数据被锁存在寄存器中，并在时钟的下降沿时移动到输出端。同时基于这一功能，74LS91 可以对时钟信号进行分频，实现更为复杂的时序逻辑系统。

2、单次触发法中按键开关是否需要考虑按键防抖？为什么？

答：不需要。抖动时间及其短暂，一般不会超过一个周期，故很难触发第二次移位操作，因而很少概率会影响测量。如果发生，重测一次即可。在 47 次测量中，共有 14 次发生了抖动，其中仅 1 次测量结果不正常。在分析时，仅需以第一次下降沿为正常的一次理想下降沿即可，如图 12 出现抖动的测量所示。

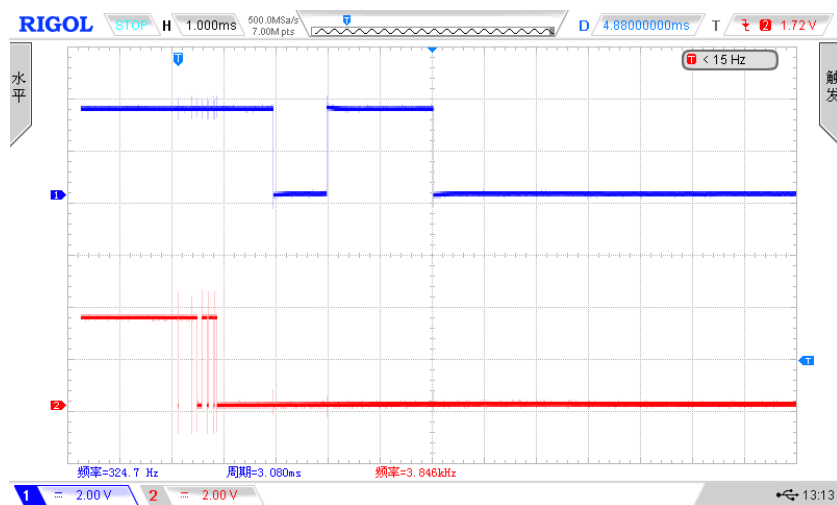


图 12 出现抖动的测量

3、分析 ON semiconductor 公司的 74LS165 手册中，其芯片引脚命名和功能表与所给实验阅读资料中该芯片的异同。

答：ON semiconductor 公司的 74LS165 手册中相关部分如图 13、图 14 所示。与资料中的内容相对比，可以知道，除了 CLK 与 INH 之外，两个芯片引脚并无差别。该公司的芯片出现了两个 CP (Clock Pulse, 时钟脉冲) 输入端，根据图 14 所示的真值表，可以知道，任一 CP 均可以实现 CLK 的功能，且此时另一 CP 可以充当 INH (Inhibit, 禁止端)。

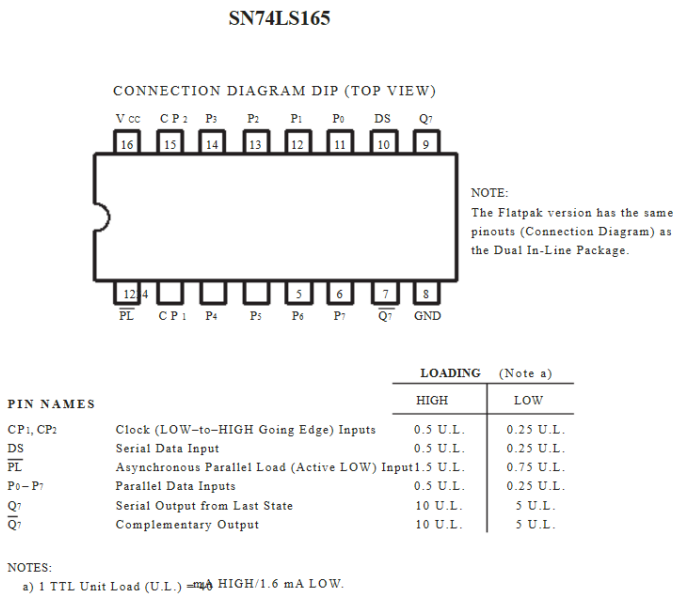


图 13 74LS165 引脚命名

TRUTH TABLE											
PL	CP		CONTENTS								RESPONSE
	1	2	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	
L	X	X	P0	P1	P2	P3	P4	P5	P6	P7	Parallel Entry
H	L		DS	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Right Shift
H	H		Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	No Change
H		L	DS	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Right Shift
H		H	Q0	Q1	Q2	Q3	Q4	Q5	Q6	Q7	No Change

H = HIGH Voltage Level
L = LOW Voltage Level
X = Immaterial

图 14 74LS165 功能表

4、该实验中，为获得单次触发的波形，示波器触发极性需设置为下降沿触发。若尝试采取上升沿触发，会有什么现象？

答：该次实验采取下降沿触发，是因为在电路设计使得下降沿时对应开始移位（虽然是同步），因此下降沿触发示波器勘测波形方可得到波形。而若采取上升沿触发，则为在置数是开始勘测，由于时钟频率较高，无法迅速抬起按键，故一般并不可以得到所需波形。

致谢

感谢姜老师课上对于寄存器的详细的介绍，让我们在数电并未学到这部分时能够对寄存器的原理有了较为清楚的认知，从而使得实验可以快速完成。

感谢助教李谦的指导，在验收时做了更多的介绍与讲解，使得设计的思路更为清晰。

