**2024届本科生学士学位论文 学校代码：10269**



**集成电路中互连寄生测试结构设计及自动生成**

**Design and Automatic Generation of Interconnect Parasitic Test Structure in Integrated Circuit**

**姓 名： 许天一**

**学 号： 10202150422**

**学 院： 通信与电子工程学院**

**专 业： 微电子科学与工程**

**指导教师： 孙亚宾**

**职 称： 教授**

**2024年 月**

**华东师范大学学位论文诚信承诺**

本毕业论文是本人在导师指导下独立完成的，内容真实、可靠。本人在撰写毕业论文过程中不存在请人代写、抄袭或者剽窃他人作品、伪造或者篡改数据以及其他学位论文作假行为。

本人清楚知道学位论文作假行为将会导致行为人受到不授予/撤销学位、开除学籍等处理（处分）决定。本人如果被查证在撰写本毕业论文过程中存在学位论文作假行为，愿意接受学校依法作出的处理（处分）决定。

承诺人签名： 日期： 年 月 日

**华东师范大学学位论文使用授权说明**

本论文的研究成果归华东师范大学所有，本论文的研究内容不得以其它单位的名义发表。本学位论文作者和指导教师完全了解华东师范大学有关保留、使用学位论文的规定，即：学校有权保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅；本人授权华东师范大学可以将论文的全部或部分内容编入有关数据库进行检索、交流，可以采用影印、缩印或其他复制手段保存论文和汇编本学位论文。

保密的毕业论文（设计）在解密后应遵守此规定。

作者签名： 导师签名： 日期： 年 月 日

**集成电路互连寄生测试结构设计及自动生成**

摘要：

随着集成电路产业的发展，深纳米工艺不断发展，器件的特征尺寸不断缩小，电路频率逐渐提高，即使尽可能考虑器件材料以及在布局布线中不断优化，集成电路中后道寄生，即互联线所带来的寄生对电路性能的影响日趋明显。因此，对集成电路互连寄生结构的搭建和测试逐渐成为集成电路制造中重要的一环。

同时，计算机软件的发展使集成电路设计和制造更加便利。其中，图形用户界面（GUI）的应用使用户可以直观地进行电路的搭建和测试，这项技术可以用于对集成电路互连寄生结构的搭建和自动生成。

本文设计结合Python下的GUI界面，通过读取文件夹内特定结构编写的模版文件，使用户可以在图形界面输入参数，自动生成skill脚本。用户可将skill脚本导入cadence中完成测试结构的搭建。本文设计允许用户自定义模型，同时，图形化界面可以直观地生成模型，为后道寄生测试模型的搭建和测试提供了流程上的优化。

**关键词：**深纳米工艺，GUI，skill，自动生成

**Design and Automatic Generation of Interconnect Parasitic Test Structure in Integrated Circuit**

Abstract:

With the development of the integrated circuit industry and the continuous development of deep nanotechnology, the feature size of devices continues to shrink, and the circuit frequency gradually increases. Even if device materials are considered as much as possible and optimization is continuously carried out in layout and wiring, the parasitic effects of interconnect lines on circuit performance in integrated circuits are becoming increasingly apparent. Therefore, the construction and testing of parasitic structures in integrated circuit interconnection has gradually become an important part of integrated circuit manufacturing.

Meanwhile, the development of computer software has made integrated circuit design and manufacturing more convenient. Among them, the application of graphical user interface (GUI) allows users to intuitively build and test circuits, and this technology can be used to build and automatically generate parasitic structures for integrated circuit interconnection.

This article designs a GUI interface based on Python, which allows users to input parameters and automatically generate skill scripts by reading template files written for specific structures in folders. Users can import skill scripts into cadence to complete the construction of testing structures. This article allows users to customize models, and the graphical interface can intuitively generate models, providing process optimization for the construction and testing of post parasitic testing models.

**Keywords:** Deep Nanotechnology, GUI, skill, Automatic generation

1. 绪论
   1. 背景

摩尔定律是计算机科学中一个著名的观察结论，最初由英特尔公司的创始人之一戈登·摩尔在1965年提出。他预测，未来集成电路上的晶体管数量将每两年翻一番。后来，这个预测被修正为每18个月翻一番，反映了半导体行业更快的发展速度。摩尔定律表明，随着技术的进步，我们可以在相同的物理空间内集成更多的晶体管，从而提高计算机的性能和存储容量。在过去的几十年里，摩尔定律一直合理地预测了半导体行业的发展。

随着深纳米技术的不断进步，半导体器件的尺寸不断缩小，在同一块芯片上所包含的晶体管数量逐渐增多，其表现为超大规模集成电路(Very Large Scale Integrated Circuit, VLSI)概念的出现。它是指在芯片上集成超过10万个以上元件的电路。而如今的集成电路更是能容纳数十亿晶体管。诚然，深纳米技术的发展给芯片的性能上的提高带来了革命性的变化，但它也由于其逐渐多样复杂的工艺，让电路设计者面临着更大的挑战。由于特征尺寸的缩小，一些由于工艺和制造所产生的影响，如寄生效应，也随着深纳米工艺的发展不断放大，成为集成电路产业界不得不考虑的问题。

早期集成电路设计确实主要依赖于传统的手工制图方法，这种方法的效率相对较低，成本较高，且制造周期长，这在一定程度上限制了集成电路产业的快速发展。然而，随着中小规模集成电路的出现，人们对设计效率和精度的要求日益提高，传统的手工制图方法已无法满足这种需求。在这种情况下，计算机辅助设计(Computer Aided Design, CAD)技术开始被引入到集成电路产业中。CAD技术的引入，极大地提高了集成电路设计的效率、精度和可靠性。通过计算机强大的计算能力和图形处理能力，设计师可以更快速、更准确地完成集成电路的版图设计、布局布线、仿真验证等工作。

在测试集成电路寄生效应的影响时，计算机辅助设计也发挥了重要作用。寄生效应是指由于电路元件之间的相互作用而产生的非理想效应。其中，互连寄生，也被称为后道寄生，是指集成电路中互连线之间相互作用所产生的寄生效应。通过CAD工具，设计师可以对电路进行精确的建模和仿真，从而预测和评估寄生效应对电路性能的影响。这有助于设计师在设计阶段就及时发现并解决潜在的问题，提高电路的性能和可靠性。因此，对于如何快速精准构建寄生模型，在CAD中如何提取互连寄生参数，成为了集成电路产业关注的重点问题之一。

* 1. 国内外现状

早在20世纪60年代，内部等效技术(integral-equation, IE)就应用于二维几何结构电容值的计算[1]，在20世纪70年代初，IBM公司的Watson研究中心首次提出了互连参数提取问题，引发了业界的广泛关注[2]。随着20世纪80年代左右化学气相沉积(Chemical Vapor Doping, CVD)和隔离层定义(Isolation Layer Definition, ILD)技术的出现，再到化学机械抛光技术(Chemical Mechanical Polishing, CMP)在产业界运用，集成电路逐步进入了多层金属互连的时代[3]。然而，直到90年代，特别是在深亚微米工艺兴起之后，相关的算法研究和软件开发才变得异常活跃。在当前电路的工作频率下，寄生电容的提取问题备受瞩目，而且在这一领域的研究方法还可以应用于寄生电阻、衬底耦合等寄生效应的分析中。进入21世纪，西方各国加快了对于后道寄生模型的研究工作。对于互连寄生效应的模拟出现在在美国硅谷的大部分EDA软件中。这一功能的实现需要包括数据分析、数理方程建立、计算机科学等多个学科进行交叉，并且随着集成电路复杂度的提高，模型也逐渐复杂。