

# 11 Chrom-Art Accelerator™ 控制器 (DMA2D)

本章适用于 STM32F42xxx 和 STM32F43xxx 系列。

## 11.1 DMA2D 简介

Chrom-Art Accelerator™ (DMA2D) 是专用于图像处理的专业 DMA。它可以执行下列操作：

- 用特定颜色填充目标图像的一部分或全部
- 将源图像的一部分（或全部）复制到目标图像的一部分（或全部）中
- 通过像素格式转换将源图像的一部分（或全部）复制到目标图像的一部分（或全部）中
- 将像素格式不同的两个源图像部分和 / 或全部混合，再将结果复制到颜色格式不同的部分或整个目标图像中。

在索引颜色模式或直接颜色模式下，支持所有经典颜色编码方案，并支持每像素 4 位到最高 32 位。DMA2D 自身具有专门的 CLUT（颜色查找表）存储器。

## 11.2 DMA2D 的主要特性

DMA2D 的主要特性有：

- 采用单 AHB 主设备总线架构。
- AHB 从设备编程接口支持 8/16/32 位访问（32 位的 CLUT 访问除外）。
- 用户可编程工作区大小
- 用户可编程源区域和目标区域的偏移
- 用户可编程整个存储空间的源地址和目标地址
- 最多支持 2 个源的混合操作
- Alpha 值可修改（源值、固定值或调制的值）
- 用户可编程源颜色格式和目标的颜色格式
- 采用间接或直接颜色编码时，支持多达 11 种颜色格式，且支持每像素 4 位到最高 32 位
- 间接颜色模式下使用 2 个内部存储器存储 CLUT
- 通过 CPU 自动加载 CLUT 或对 CLUT 进行编程
- 用户可编程 CLUT 大小
- 使用内部定时器控制 AHB 带宽
- 支持 4 种工作模式：寄存器到存储器、存储器到存储器、存储器到存储器且支持像素格式转换和存储器到存储器且支持像素格式转换和混合
- 可使用固定颜色进行区域填充
- 可从一个区域复制到另一个区域
- 在源图像和目标图像之间进行复制时进行像素格式转换
- 支持从颜色格式不同的两幅源图像复制并混合
- 可中止并挂起 DMA2D 操作
- 支持在传输用户可编程的目标行时生成水印中断
- 支持发生总线错误或访问冲突时生成中断
- 支持处理完成时生成中断

# 11.3 DMA2D 功能说明

## 11.3.1 概述

DMA2D 控制器执行直接存储器传输。作为一个 AHB 主设备，它可以控制 AHB 总线矩阵来启动 AHB 事务。

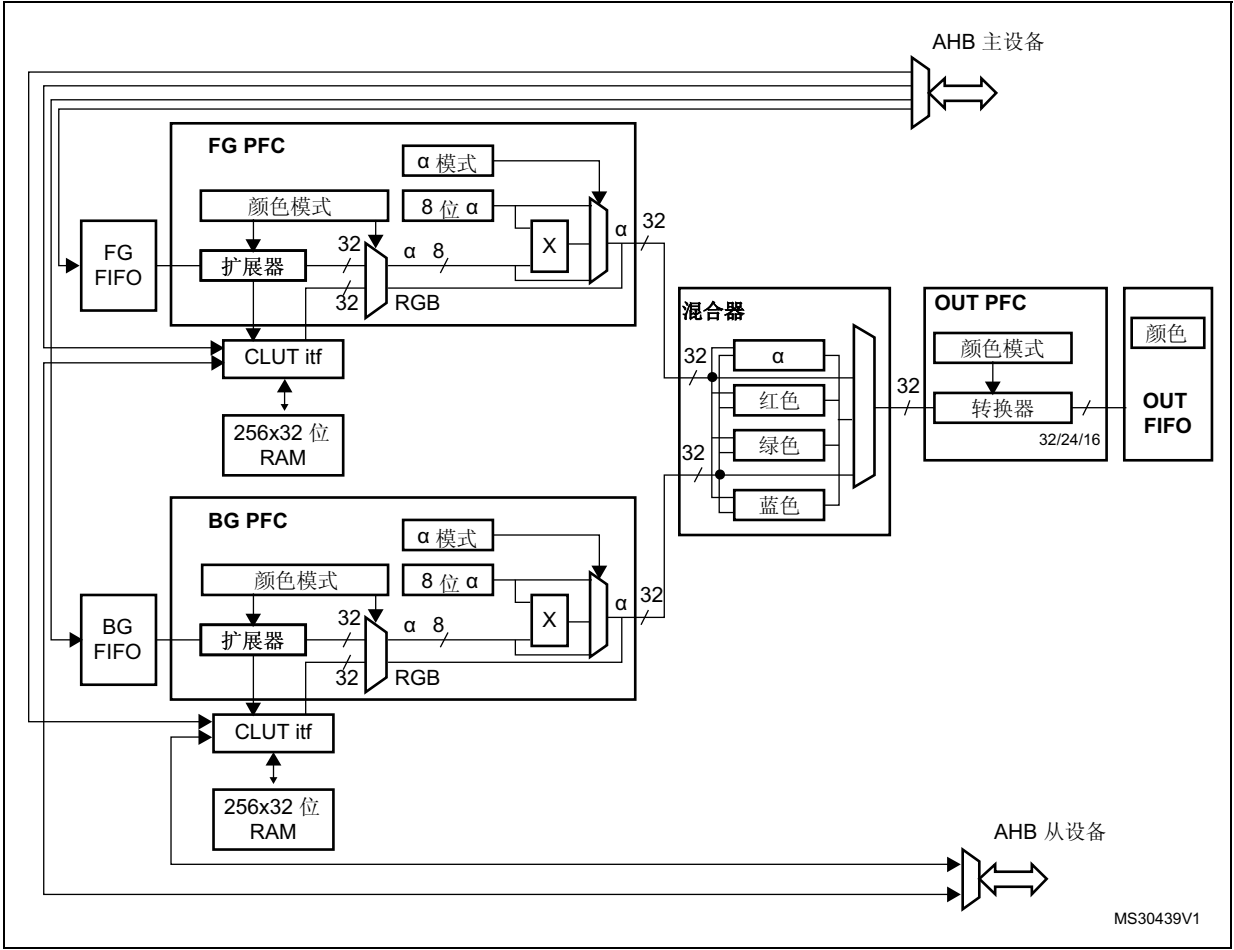
DMA2D 可在以下四种模式下工作：

- 寄存器到存储器
- 存储器到存储器
- 存储器到存储器并执行像素格式转换
- 存储器到存储器并执行像素格式转换和混合

AHB 从设备端口用于编程 DMA2D 控制器。

DMA2D 的框图如图 40: DMA2D 框图所示。

图 40. DMA2D 框图



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

11.3.2 DMA2D 控制

通过 DMA2D 控制寄存器 (DMA2D\_CR) 配置 DMA2D 控制器，允许选择：

用户应用可以执行下列操作：

- 选择工作模式
- 使能/禁止 DMA2D 中断
- 启动/挂起/中止进行中的数据传输

11.3.3 DMA2D 前景层 FIFO 和背景层 FIFO

DMA2D 前景层 (FG) FG FIFO 和背景层 (BG) FIFO 获取要复制和/或处理的输入数据。

这些 FIFO 根据相应像素格式转换器 (PFC) 中定义的颜色格式获取像素。

通过如下一组寄存器对它们进行编程：

- DMA2D 前景层存储器地址寄存器 (DMA2D\_FGMAR)
- DMA2D 前景层偏移寄存器 (DMA2D\_FGOR)
- DMA2D 背景层存储器地址寄存器 (DMA2D\_BGMAR)
- DMA2D 背景层偏移寄存器 (DMA2D\_BGBOR)
- DMA2D 行数寄存器（行数和每行像素数）(DMA2D\_NLR)

DMA2D 在寄存器到存储器模式下工作时，不激活任何 FIFO。

DMA2D 在存储器到存储器模式下工作时（无像素格式转换和混合操作），仅激活 FG FIFO，并将其用作缓冲区。

DMA2D 在存储器到存储器模式下工作时并支持像素格式转换时（无混合操作），不会激活 BG FIFO。

11.3.4 DMA2D 前景层和背景层像素格式转换器 (PFC)

DMA2D 前景层和背景层像素格式转换器 (PFC) 执行像素格式转换，以生成每像素 32 位的值。PFC 还能够修改 alpha 通道。

转换器在第一阶段转换颜色格式。前景层像素和背景层像素的原始颜色格式分别通过 DMA2D\_FGPFCCR 和 DMA2D\_BGPFCCR 的 CM[3:0] 位来配置。

表 52：输入时支持的颜色模式给出了支持的输入格式。

表 52. 输入时支持的颜色模式

CM[3:0]	颜色模式
0000	ARGB8888
0001	RGB888
0010	RGB565
0011	ARGB1555
0100	ARGB4444
0101	L8
0110	AL44
0111	AL88



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 52. 输入时支持的颜色模式

CM[3:0]	颜色模式
1000	L4
1001	A8
1010	A4

颜色格式的编码方式如下：

- Alpha 值字段：透明  
0xFF 值对应不透明像素，0x00 对应透明像素。
- R 字段代表红色
- G 字段代表绿色
- B 字段代表蓝色
- L 字段：亮度  
该字段是 CLUT 的索引，用于检索三个/四个 RGB/ARGB 分量。

如果原始格式为直接颜色模式，则通过将 MSB 复制到 LSB 扩展为每通道 8 位。这可以确保转换具有良好的线性。

如果原始格式不包括 alpha 通道，则会自动将 alpha 值设为 0xFF（不透明）。

如果原始格式为间接颜色模式，则需要使用 CLUT，并且每个像素格式转换器与一个 256 个 32 位条目的 CLUT 相关联。

对于特定的 alpha 模式 A4 和 A8，既不存储颜色信息，也不编制索引。用于生成图像的颜色是固定的，并且在 DMA2D\_FGCOLR 寄存器中定义前景层像素的颜色，在 DMA2D\_BGCOLR 寄存器中定义背景层像素的颜色。

系统存储器中的字段顺序如表 53：存储器中的数据顺序所示。

表 53. 存储器中的数据顺序

颜色模式	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A <sub>0</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
RGB888	B <sub>1</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
	G <sub>2</sub> [7:0]	B <sub>2</sub> [7:0]	R <sub>1</sub> [7:0]	G <sub>1</sub> [7:0]
	R <sub>3</sub> [7:0]	G <sub>3</sub> [7:0]	B <sub>3</sub> [7:0]	R <sub>2</sub> [7:0]
RGB565	R <sub>1</sub> [4:0]G <sub>1</sub> [5:3]	G <sub>1</sub> [2:0]B <sub>1</sub> [4:0]	R <sub>0</sub> [4:0]G <sub>0</sub> [5:3]	G <sub>0</sub> [2:0]B <sub>0</sub> [4:0]
ARGB1555	A <sub>1</sub> [0]R <sub>1</sub> [4:0]G <sub>1</sub> [4:3]	G <sub>1</sub> [2:0]B <sub>1</sub> [4:0]	A <sub>0</sub> [0]R <sub>0</sub> [4:0]G <sub>0</sub> [4:3]	G <sub>0</sub> [2:0]B <sub>0</sub> [4:0]
ARGB4444	A <sub>1</sub> [3:0]R <sub>1</sub> [3:0]	G <sub>1</sub> [3:0]B <sub>1</sub> [3:0]	A <sub>0</sub> [3:0]R <sub>0</sub> [3:0]	G <sub>0</sub> [3:0]B <sub>0</sub> [3:0]
L8	L <sub>3</sub> [7:0]	L <sub>2</sub> [7:0]	L <sub>1</sub> [7:0]	L <sub>0</sub> [7:0]
AL44	A <sub>3</sub> [3:0]L <sub>3</sub> [3:0]	A <sub>2</sub> [3:0]L <sub>2</sub> [3:0]	A <sub>1</sub> [3:0]L <sub>1</sub> [3:0]	A <sub>0</sub> [3:0]L <sub>0</sub> [3:0]
AL88	A <sub>1</sub> [7:0]	L <sub>1</sub> [7:0]	A <sub>0</sub> [7:0]	L <sub>0</sub> [7:0]
L4	L <sub>7</sub> [3:0]L <sub>6</sub> [3:0]	L <sub>5</sub> [3:0]L <sub>4</sub> [3:0]	L <sub>3</sub> [3:0]L <sub>2</sub> [3:0]	L <sub>1</sub> [3:0]L <sub>0</sub> [3:0]
A8	A <sub>3</sub> [7:0]	A <sub>2</sub> [7:0]	A <sub>1</sub> [7:0]	A <sub>0</sub> [7:0]
A4	A <sub>7</sub> [3:0]A <sub>6</sub> [3:0]	A <sub>5</sub> [3:0]A <sub>4</sub> [3:0]	A <sub>3</sub> [3:0]A <sub>2</sub> [3:0]	A <sub>1</sub> [3:0]A <sub>0</sub> [3:0]



通过 ARGB8888 模式支持按 32 位对齐 24 位 RGB888。

生成 32 位值后，即可根据 DMA2D\_FGPFCCR/DMA2D\_BGPFCCR 寄存器的 AM[1:0] 字段修改 alpha 通道，如表 54: Alpha 模式配置所示。

Alpha 通道可以：

- 保持不变（不做修改），
- 替换为 DMA2D\_FGPFCCR/DMA2D\_BGPFCCR 的 ALPHA[7:0] 值
- 或替换为原始 alpha 值与 DMA2D\_FGPFCCR/DMA2D\_BGPFCCR 的 ALPHA [7:0] 值除以 255 所得商的乘积。

表 54. Alpha 模式配置

AM[1:0]	Alpha 模式
00	不做修改
01	替换为 DMA2D_xxPFCCR 中的值
10	替换为原始值与 DMA2D_xxPFCCR 中的值/255 所得商的乘积
11	保留

### 11.3.5 DMA2D 前景层 FIFO 和背景层 CLUT 接口

CLUT 接口可管理对 CLUT 存储器的访问以及 CLUT 的自动加载。

支持如下三种访问：

- PFC 在像素格式转换期间读取 CLUT
- CPU 对 CLUT 进行数据的读取或写入时，通过 AHB 从设备端口访问 CLUT
- 执行自动加载 CLUT 时，通过 AHB 主设备端口进行 CLUT 写入

可通过两种不同方法执行 CLUT 存储器加载：

- 自动加载  
加载 CLUT 时应遵守以下顺序：
  - a) 将 CLUT 地址编程到 DMA2D\_FGCMAR 寄存器（前景层 CLUT）或 DMA2D\_BGCMAR 寄存器（背景层 CLUT）
  - b) 将 CLUT 大小编程到 DMA2D\_FGPFCCR 寄存器（前景层 CLUT）或 DMA2D\_BGPFCCR 寄存器（背景层 CLUT）的 S[7:0] 字段。
  - c) 将 DMA2D\_FGPFCCR 寄存器（前景层 CLUT）或 DMA2D\_BGPFCCR 寄存器（背景层 CLUT）的 START 位置 1 以启动传输。自动加载过程期间，不可通过 CPU 访问 CLUT。如果出现冲突，若 DMA2D\_CR 中 CAEIE 被置 1，则发生 CLUT 访问错误中断。
- 手动加载  
应用程序必须通过 DMA2D AHB 从设备端口手动编程本地 CLUT 存储器映射到的 CLUT。前景层 CLUT 从偏移地址 0x0400 开始，背景层 CLUT 从偏移地址 0x0800 开始。

CLUT 格式可以是 24 位或 32 位。通过 DMA2D\_FGPFCCR 寄存器（前景层 CLUT）或 DMA2D\_BGPFCCR 寄存器（背景层 CLUT）的 CCM 位配置格式，如表 55: 支持的 CLUT 颜色模式所示。

表 55. 支持的 CLUT 颜色模式

CCM	CLUT 颜色模式
0	32 位 ARGB8888
1	24 位 RGB888

表 56: 存储器中的 CLUT 数据顺序给出了系统存储器中 CLUT 数据的组织方式。

表 56. 存储器中的 CLUT 数据顺序

CLUT 颜色模式	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A <sub>0</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
RGB888	B <sub>1</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
	G <sub>2</sub> [7:0]	B <sub>2</sub> [7:0]	R <sub>1</sub> [7:0]	G <sub>1</sub> [7:0]
	R <sub>3</sub> [7:0]	G <sub>3</sub> [7:0]	B <sub>3</sub> [7:0]	R <sub>2</sub> [7:0]

### 11.3.6 DMA2D 混合器

DMA2D 混合器成对混合源像素以计算结果像素。

混合将按以下公式执行：

$$\text{其中 } \alpha_{\text{Mult}} = \frac{\alpha_{\text{FG}} \cdot \alpha_{\text{BG}}}{255}$$

$$\alpha_{\text{OUT}} = \alpha_{\text{FG}} + \alpha_{\text{BG}} - \alpha_{\text{Mult}}$$

$$C_{\text{OUT}} = \frac{C_{\text{FG}} \cdot \alpha_{\text{FG}} + C_{\text{BG}} \cdot \alpha_{\text{BG}} - C_{\text{BG}} \cdot \alpha_{\text{Mult}}}{\alpha_{\text{OUT}}} \quad \text{其中 } C = R \text{ 或 } G \text{ 或 } B$$

商将向下取整

混合器不需要任何配置寄存器。是否使用混合器取决于 DMA2D\_CR 寄存器的 MODE[1:0] 字段中定义的 DMA2D 工作模式。

### 11.3.7 DMA2D 输出 PFC

输出 PFC 将像素格式从 32 位转换为指定的输出格式，输出格式在 DMA2D 输出像素格式转换器配置寄存器 (DMA2D\_OPFCCR) 的 CM[2:0] 字段中定义。

表 57: 输出时支持的颜色模式给出了支持的输出格式。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 57. 输出时支持的颜色模式

CM[2:0]	颜色模式
000	ARGB8888
001	RGB888
010	RGB565
011	ARGB1555
100	ARGB4444

### 11.3.8 DMA2D 输出 FIFO

输出 FIFO 根据输出 PFC 中定义的颜色格式对像素进行编程。

通过如下一组寄存器定义目标区域：

- DMA2D 输出存储器地址寄存器 (DMA2D\_OMAR)
- DMA2D 输出偏移寄存器 (DMA2D\_OOR)
- DMA2D 行数寄存器（行数和每行像素数）(DMA2D\_NLR)

如果 DMA2D 在寄存器到存储器模式下工作，则配置的输出矩形将以 DMA2D 输出颜色寄存器 (DMA2D\_OCOLR) 中指定的颜色填充，该寄存器中包含固定的 32 位、24 位或 16 位值。通过 DMA2D\_OPFCCR 寄存器的 CM[2:0] 字段选择格式。

将按照 [表 58：存储器中的数据顺序](#) 中定义的顺序在存储器中存储数据

表 58. 存储器中的数据顺序

颜色模式	@ + 3	@ + 2	@ + 1	@ + 0
ARGB8888	A <sub>0</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
RGB888	B <sub>1</sub> [7:0]	R <sub>0</sub> [7:0]	G <sub>0</sub> [7:0]	B <sub>0</sub> [7:0]
	G <sub>2</sub> [7:0]	B <sub>2</sub> [7:0]	R <sub>1</sub> [7:0]	G <sub>1</sub> [7:0]
	R <sub>3</sub> [7:0]	G <sub>3</sub> [7:0]	B <sub>3</sub> [7:0]	R <sub>2</sub> [7:0]
RGB565	R <sub>1</sub> [4:0]G <sub>1</sub> [5:3]	G <sub>1</sub> [2:0]B <sub>1</sub> [4:0]	R <sub>0</sub> [4:0]G <sub>0</sub> [5:3]	G <sub>0</sub> [2:0]B <sub>0</sub> [4:0]
ARGB1555	A <sub>1</sub> [0]R <sub>1</sub> [4:0]G <sub>1</sub> [4:3]	G <sub>1</sub> [2:0]B <sub>1</sub> [4:0]	A <sub>0</sub> [0]R <sub>0</sub> [4:0]G <sub>0</sub> [4:3]	G <sub>0</sub> [2:0]B <sub>0</sub> [4:0]
ARGB4444	A <sub>1</sub> [3:0]R <sub>1</sub> [3:0]	G <sub>1</sub> [3:0]B <sub>1</sub> [3:0]	A <sub>0</sub> [3:0]R <sub>0</sub> [3:0]	G <sub>0</sub> [3:0]B <sub>0</sub> [3:0]

通过 ARGB8888 模式支持按 32 位对齐 RGB888。

### 11.3.9 DMA2D AHB 主设备端口定时器

AHB 主设备端口内嵌一个 8 位定时器，以便可选择限制交叉开关矩阵的带宽。

此定时器由 AHB 时钟驱动，对两个连续访问之间的死区进行计数。这样可限制带宽的使用。

通过 AHB 主设备端口定时器配置寄存器 (DMA2D\_AMPTCR) 配置定时器使能和死区值。



### 11.3.10 DMA2D 事务

DMA2D 事务由给定数目的数据传输序列组成。可通过软件对数据数目和宽度进行编程。

每个 DMA2D 数据传输最多需要 4 个步骤：

1. 从 DMA2D\_FGMAR 寄存器寻址的存储单元加载数据并按照 DMA2D\_FGCR 中的定义进行像素格式转换。
2. 从 DMA2D\_BGMAR 寄存器寻址的存储单元加载数据并按照 DMA2D\_BGCR 中的定义进行像素格式转换。
3. 根据对 alpha 值进行 PFC 操作所得到的 alpha 通道，将所有检索到的像素混合。
4. 根据 DMA2D\_OCR 寄存器对合成像素进行像素格式转换，然后将数据编程到通过 DMA2D\_OMAR 寄存器寻址的存储单元。

### 11.3.11 DMA2D 配置

源和目标数据传输在整个 4 GB 区域（地址范围在 0x0000 0000 和 0xFFFF FFFF 之间）都可以寻址外设和存储器。

DMA2D 可在以下四种模式下工作，通过 DMA2D\_CR 寄存器的 MODE[1:0] 位选择工作模式：

- 寄存器到存储器
- 存储器到存储器
- 存储器到存储器并执行 PFC
- 存储器到存储器并执行 PFC 和混合

#### 寄存器到存储器

寄存器到存储器模式用于以预定义颜色填充用户自定义区域。

颜色格式在 DMA2D\_OPFCCR 中设置。

DMA2D 不从任何源获取数据。它只将 DMA2D\_OCOLR 寄存器中定义的颜色写入通过 DMA2D\_OMAR 寻址以及 DMA2D\_NLR 和 DMA2D\_OOR 定义的区域。

#### 存储器到存储器

在存储器到存储器模式下，DMA2D 不执行任何图形数据转换。前景层输入 FIFO 充当缓冲区，数据从 DMA2D\_FGMAR 中定义的源存储单元传输到 DMA2D\_OMAR 寻址的目标存储单元。

DMA2D\_FGPFCCR 寄存器的 CM[3:0] 位中编程的颜色模式决定输入和输出的每像素位数。

对于要传输的区域大小，源区域大小由 DMA2D\_NLR 和 DMA2D\_FGOR 寄存器定义，目标区域大小则由 DMA2D\_NLR 和 DMA2D\_OOR 寄存器定义。

#### 存储器到存储器并执行 PFC

此模式下，DMA2D 对源数据执行像素格式转换并将结果存储在目标存储单元。

对于要传输的区域大小，源区域大小由 DMA2D\_NLR 和 DMA2D\_FGOR 寄存器定义，目标区域大小则由 DMA2D\_NLR 和 DMA2D\_OOR 寄存器定义。

从 DMA2D\_FGMAR 寄存器定义的位置获取数据，并由前景层 PFC 进行处理。原始像素格式通过 DMA2D\_FGPFCCR 寄存器配置。

如果原始像素格式是直接颜色模式，则所有颜色通道都扩展到 8 位。

如果像素格式是间接颜色模式，则必须将相关 CLUT 加载到 CLUT 存储器中。





CLUT 加载可按如下顺序自动完成：

1. 在 DMA2D\_FGCMAR 中设置 CLUT 地址。
2. 在 DMA2D\_FGPFCCR 寄存器的 CS[7:0] 位设置 CLUT 大小。
3. 在 DMA2D\_FGPFCCR 寄存器的 CCM 位设置 CLUT 格式（24 或 32 位）。
4. 将 DMA2D\_FGPFCCR 寄存器的 START 位置 1 启动 CLUT 加载。

CLUT 加载完成时，DMA2D\_ISR 寄存器将置位 CTCIF 标志；如果 DMA2D\_CR 中的 CTCIE 位置 1，还将产生中断。CLUT 自动加载过程无法与传统的 DMA2D 传输同时进行。

CLUT 还可由 CPU 填充，或由任意其它主设备通过 APB 端口填充。在 DMA2D 传输进行期间和使用 CLUT（间接颜色格式）时无法访问 CLUT。

在颜色转换执行期间，可根据 DMA2D\_FGPFCCR 寄存器中编程的值添加或更改 alpha 值。如果原始图像没有 alpha 通道，则会自动添加一个默认的 alpha 值 0xFF 以获得完全不透明的像素。可根据 DMA2D\_FGPFCCR 寄存器的 AM[1:0] 位修改 alpha 值：

- 保持不变。
- 替换为 DMA2D\_FGPFCCR 寄存器的 ALPHA[7:0] 值中定义的值。
- 替换为原始值与 DMA2D\_FGPFCCR 寄存器的 ALPHA[7:0] 值除以 255 所得商的乘积。

结果得到的 32 位数据由 OUT PFC 编码成 DMA2D\_OPFCCR 寄存器的 CM[2:0] 字段所指定的格式。输出像素格式不可是间接模式，原因是输出时不支持 CLUT 生成过程。

数据经处理后，将写入 DMA2D\_OMAR 寻址的目标存储单元。

### 存储器到存储器并执行 PFC 和混合

此模式下，将从前景层 FIFO 和背景层 FIFO（分别在 DMA2D\_FGMAR 和 DMA2D\_BGMAR 中定义）获取 2 个源图像。

必须按存储器到存储器模式中所述配置两个像素格式转换器。由于这两个像素格式转换器各自独立且自身具有 CLUT 存储器，因此其配置可以不同。

在每个像素都通过相应的 PFC 转换为 32 位后，将根据以下公式进行混合：

$$\text{其中 } \alpha_{\text{Mult}} = \frac{\alpha_{\text{FG}} \cdot \alpha_{\text{BG}}}{255}$$

$$\alpha_{\text{OUT}} = \alpha_{\text{FG}} + \alpha_{\text{BG}} - \alpha_{\text{Mult}}$$

$$C_{\text{OUT}} = \frac{C_{\text{FG}} \cdot \alpha_{\text{FG}} + C_{\text{BG}} \cdot \alpha_{\text{BG}} - C_{\text{BG}} \cdot \alpha_{\text{Mult}}}{\alpha_{\text{OUT}}} \quad \text{其中 } C = R \text{ 或 } G \text{ 或 } B$$

商将向下取整

输出 PFC 将根据指定的输出格式对得到的 32 位像素值进行编码，并且编码数据将写入 DMA2D\_OMAR 寻址的目标存储单元。

### 配置错误检测

DMA2D 将在每次执行传输前检查配置是否正确。开始新的传输/自动加载时，如果检测到配置错误，硬件将设置配置错误中断标志。如果 DMA2D\_CR 寄存器的 CEIE 位置 1，还将产生中断。

可检测到的错误配置如下：

- 前景层 CLUT 自动加载：DMA2D\_FGCMAR 的 MA 位与 DMA2D\_FGPFCCR 的 CCM 位不匹配
- 背景层 CLUT 自动加载：DMA2D\_BGCMAR 的 MA 位与 DMA2D\_BGPFCCR 的 CCM 位不匹配
- 存储器传输（寄存器到存储器模式除外）：DMA2D\_FGMAR 的 MA 位与 DMA2D\_FGPFCCR 的 CM 位不匹配
- 存储器传输（寄存器到存储器模式除外）：DMA2D\_FGPFCCR 中的 CM 位无效
- 存储器传输（寄存器到存储器模式除外）：DMA2D\_NLR 的 PL 位为奇，而 DMA2D\_FGPFCCR 的 CM 位为 A4 或 L4
- 存储器传输（寄存器到存储器模式除外）：DMA2D\_FGOR 中的 LO 位为奇，而 DMA2D\_FGPFCCR 的 CM 位为 A4 或 L4
- 存储器传输（仅限混合模式）：DMA2D\_BGMAR 中的 MA 位与 DMA2D\_BGPFCCR 的 CM 位不一致
- 存储器传输：DMA2D\_BGPFCCR 的 CM 无效（仅限混合模式）
- 存储器传输（仅限混合模式）：DMA2D\_NLR 的 PL 位为奇，而 DMA2D\_BGPFCCR 的 CM 位为 A4 或 L4
- 存储器传输（仅限混合模式）：DMA2D\_BGOR 的 LO 位为奇，而 DMA2D\_BGPFCCR 的 CM 位为 A4 或 L4
- 存储器传输（存储器到存储器模式除外）：DMA2D\_OMAR 的 MA 位与 DMA2D\_OPFCCR 的 CM 位不匹配
- 存储器传输（存储器到存储器模式除外）：DMA2D\_OPFCCR 中的 CM 位无效
- 存储器传输：DMA2D\_NLR 中的 NL 位 = 0
- 存储器传输：DMA2D\_NLR 中的 PL 位 = 0

### 11.3.12 DMA2D 传输控制（启动、挂起、中止和完成）

配置 DMA2D 后，通过将 DMA2D\_CR 寄存器的 START 位置 1 可启动传输。传输完成时，START 位自动复位且 DMA2D\_ISR 寄存器置位 TCIF 标志。如果 DMA2D\_CR 寄存器中的 TCIE 位置 1，还将产生中断。

用户应用程序随时都可通过将 DMA2D\_CR 寄存器的 SUSP 位置 1 来挂起 DMA2D。随即可通过将 DMA2D\_CR 寄存器的 ABORT 位置 1 中止事务，或通过将 DMA2D\_CR 寄存器的 SUSP 位复位重新启动事务。

用户应用程序随时都可通过将 DMA2D\_CR 寄存器的 ABORT 位置 1 来中止处理中的事务。在这种情况下，不会置位 TCIF 标志。

还可通过 DMA2D\_FGPFCCR 和 DDM12D1\_BGPFCCR 寄存器自身的 START 位中止或挂起 CLUT 自动传输过程。

### 11.3.13 水印

可对水印编程，以在指定行的最后一个像素写入目标存储区域时产生中断。

行号在 DMA2D\_LWR 寄存器的 LW[15:0] 字段中定义。

在该行的最后一个像素传输完成时，DMA2D\_ISR 将置位 TWIF 标志；在 DMA2D\_CR 的 TWIE 位置 1 的情况下，还将产生中断。



### 11.3.14 错误管理

可触发两种错误：

- AHB 主设备端口错误，通过 DMA2D\_ISR 寄存器的 TEIF 标志指示。
- CLUT 访问引发的冲突（CPU 在 CLUT 加载或 DMA2D 传输执行期间尝试访问 CLUT），通过 DMA2D\_ISR 寄存器的 CAEIF 标志指示。

这两个标志都与其在 DMA2D\_CR 寄存器中的中断使能标志（控制在需要时产生中断的 TEIE 和 CAEIE）相关。

### 11.3.15 AHB 死区

要限制 AHB 带宽的使用，可在两个连续的 AHB 访问之间编程一个死区。

可通过将 DMA2D\_AMTCR 寄存器中的 EN 位置 1 使能此特性。

死区值存储在 DMA2D\_AMTCR 寄存器的 DT[7:0] 字段中。该值表示 AHB 总线上两个连续事务之间允许占用的最少周期数。

在 DMA2D 运行过程中对死区值所做的更新将在下一次 AHB 传输时生效。

## 11.4 DMA2D 中断

发生如下事件时可生成中断：

- 配置错误
- CLUT 传输完成
- CLUT 访问错误
- 到达传输水印
- 传输完成
- 传输错误

可以使用单独的中断使能位以提高灵活性。

表 59. DMA2D 中断请求

中断事件	事件标志	使能控制位
配置错误	CEIF	CEIE
CLUT 传输完成	CTCIF	CTCIE
CLUT 访问错误	CAEIF	CAEIE
传输水印	TWF	TWIE
传输完成	TCIF	TCIE
传输错误	TEIF	TEIE

# 11.5 DMA2D 寄存器

## 11.5.1 DMA2D 控制寄存器 (DMA2D\_CR)

DMA2D control register

偏移地址: 0x0000

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved														MODE	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		CEIE	CTCIE	CAEIE	TWIE	TCIE	TEIE	Reserved					ABORT	SUSP	START
		rw	rw	rw	rw	rw	rw						rs	rw	rs

位 31:18 保留, 必须保持复位值

位 17:16 **MODE**: DMA2D 模式 (DMA2D mode)

此位由软件置 1 和清零。无法在传输进行时修改此位。

00: 存储器到存储器 (仅限 FG 获取)

01: 存储器到存储器并执行 PFC (仅限 FG PFC 激活时的 FG 获取)

10: 存储器到存储器并执行混合 (执行 PFC 和混合时的 FG 和 BG 获取)

11: 寄存器到存储器 (无 FG 和 BG, 仅输出阶段激活)

位 15:14 保留, 必须保持复位值

位 13 **CEIE**: 配置错误中断使能 (Configuration Error Interrupt Enable)

此位由软件置 1 和清零。

0: CE 中断禁止

1: CE 中断使能

位 12 **CTCIE**: CLUT 传输完成中断使能 (CLUT transfer complete interrupt enable)

此位由软件置 1 和清零。

0: CTC 中断禁止

1: CTC 中断使能

位 11 **CAEIE**: CLUT 访问错误中断使能 (CLUT access error interrupt enable)

此位由软件置 1 和清零。

0: CAE 中断禁止

1: CAE 中断使能

位 10 **TWIE**: 传输水印中断使能 (Transfer watermark interrupt enable)

此位由软件置 1 和清零。

0: TW 中断禁止

1: TW 中断使能

位 9 **TCIE**: 传输完成中断使能 (Transfer complete interrupt enable)

此位由软件置 1 和清零。

0: TC 中断禁止

1: TC 中断使能



**注:** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

位 8 **TEIE**: 传输错误中断使能 (Transfer error interrupt enable)

此位由软件置 1 和清零。

0: TE 中断禁止

1: TE 中断使能

位 7:3 保留, 必须保持复位值

位 2 **ABORT**: 中止 (Abort)

此位可用于中止当前传输。此位可通过软件置 1 并在 **START** 位复位时由硬件自动复位。

0: 不请求传输中止

1: 请求传输中止

位 1 **SUSP**: 挂起 (Suspend)

此位可用于挂起当前传输。此位由软件置 1 和复位。此位在 **START** 位复位时由硬件自动复位。

0: 传输不挂起

1: 传输挂起

位 0 **START**: 启动 (Start)

此位可用于根据各种配置寄存器中加载的参数启动 DMA2D。在下列情况下将自动复位此位:

- 传输结束时
- 通过用户应用程序将 DMA2D\_CR 中的 ABORT 位置 1 中止数据传输时
- 数据传输出错时
- 因配置错误或已经在进行其它传输操作 (CLUT 自动加载) 导致数据传输未启动时

### 11.5.2 DMA2D 中断状态寄存器 (DMA2D\_ISR)

DMA2D Interrupt Status Register

偏移地址: 0x0004

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CEIF	CTCIF	CAEIF	TWIF	TCIF	TEIF
										r	r	r	r	r	r

位 31:6 保留，必须保持复位值

- 位 5 **CEIF**: 配置错误中断标志 (Configuration error interrupt flag)  
DMA2D\_CR、DMA2DFGPFCCR 或 DMA2D\_BGPFCCR 的 START 位置 1 以及编程了错误的配置时，此位置 1。
- 位 4 **CTCIF**: CLUT 传输完成中断标志 (CLUT transfer complete interrupt flag)  
完成将 CLUT 从系统存储区复制到 DMA2D 内部存储器时，此位置 1。
- 位 3 **CAEIF**: CLUT 访问错误中断标志 (CLUT access error interrupt flag)  
在从系统存储器自动将 CLUT 复制到 DMA2D 内部存储器期间，CPU 若访问 CLUT，此位置 1。
- 位 2 **TWIF**: 传输水印中断标志 (Transfer watermark interrupt flag)  
带水印行的最后一个像素完成传输时，此位置 1。
- 位 1 **TCIF**: 传输完成中断标志 (Transfer complete interrupt flag)  
DMA2D 传输操作完成（仅限数据传输）时此位置 1。
- 位 0 **TEIF**: 传输错误中断标志 (Transfer error interrupt flag)  
DMA 传输期间（数据传输或 CLUT 自动加载）出错时此位置 1。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 11.5.3 DMA2D 中断标志清零寄存器 (DMA2D\_IFCR)

DMA2D interrupt flag clear register

偏移地址: 0x0008

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										CCEIF	CCTCIF	CAECIF	CTWIF	CTCIF	CTEIF
										rc_w1	rc_w1	rc_w1	rc_w1	rc_w1	rc_w1

位 31:6 保留, 必须保持复位值

- 位 5 **CCEIF**: 清除配置错误中断标志 (Clear configuration error interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 CEIF 标志
- 位 4 **CCTCIF**: 清除 CLUT 传输完成中断标志 (Clear CLUT transfer complete interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 CTCIF 标志
- 位 3 **CAECIF**: 清除 CLUT 访问错误中断标志 (Clear CLUT access error interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 CAEIF 标志
- 位 2 **CTWIF**: 清除传输水印中断标志 (Clear transfer watermark interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 TWIF 标志
- 位 1 **CTCIF**: 清除传输完成中断标志 (Clear transfer complete interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 TCIF 标志
- 位 0 **CTEIF**: 清除传输错误中断标志 (Clear Transfer error interrupt flag)  
将此位编程为 1 可清除 DMA2D\_ISR 寄存器中的 TEIF 标志



### 11.5.4 DMA2D 前景层存储器地址寄存器 (DMA2D\_FGMAR)

DMA2D foreground memory address register

偏移地址: 0x000C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 **MA[31: 0]**: 存储器地址 (Memory address)

前景层图像所用数据的地址。只有在禁止数据传输的情况下才能写入该寄存器。数据传输一旦启动，此寄存器即变为只读。

地址对齐必须与所选图像格式相匹配，例如每像素 32 位格式必须为 32 位对齐，每像素 16 位格式必须为 16 位对齐，而每像素 4 位格式必须为 8 位对齐。

### 11.5.5 DMA2D 前景层偏移寄存器 (DMA2D\_FGOR)

DMA2D foreground offset register

偏移地址: 0x0010

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LO[13:0]													
		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:14 保留，必须保持复位值

位 13:0 **LO[13: 0]**: 行偏移 (Line offset)

用于前景层图像的行偏移（以像素表示）。此值用于生成地址。行偏移将添加到各行末尾，用于确定下一行的起始地址。

只有在禁止数据传输的情况下才能写入这些位。数据传输一旦启动，这些位将变为只读。如果图像格式为每像素 4 位，则行偏移值必须为偶数。



**注：**本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 11.5.6 DMA2D 背景层存储器地址寄存器 (DMA2D\_BGMR)

DMA2D background memory address register

偏移地址: 0x0014

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 **MA[31: 0]**: 存储器地址 (Memory address)

背景层图像所用数据的地址。只有在禁止数据传输的情况下才能写入该寄存器。数据传输一旦启动，此寄存器即变为只读。

地址对齐必须与所选图像格式相匹配，例如每像素 32 位格式必须为 32 位对齐，每像素 16 位格式必须为 16 位对齐，而每像素 4 位格式必须为 8 位对齐。

### 11.5.7 DMA2D 背景层偏移寄存器 (DMA2D\_BGOR)

DMA2D background offset register

偏移地址: 0x0018

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LO[13:0]													
		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:14 保留，必须保持复位值

位 13:0 **LO[13: 0]**: 行偏移 (Line offset)

用于背景层图像的行偏移（以像素表示）。此值用于生成地址。行偏移将添加到各行末尾，用于确定下一行的起始地址。

只有在禁止数据传输的情况下才能写入这些位。数据传输一旦启动，这些位将变为只读。如果图像格式为每像素 4 位，则行偏移值必须为偶数。

### 11.5.8 DMA2D 前景层 PFC 控制寄存器 (DMA2D\_FGPFCCR)

DMA2D foreground PFC control register

偏移地址: 0x001C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALPHA[7:0]								Reserved						AM[1:0]	
rw	rw	rw	rw	rw	rw	rw	rw							rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS[7:0]								Reserved	START	CCM	CM[3:0]				
rw	rw	rw	rw	rw	rw	rw	rw		rc_w1	rw	rw	rw	rw	rw	rw

- 位 31:24 **ALPHA[7: 0]**: Alpha 值 (Alpha value)  
 这些位定义固定的 **alpha** 通道值, 该值可替代原始的 **alpha** 值或与原始的 **alpha** 值相乘, 具体取决于通过 **AM[1:0]** 位选择的 **alpha** 模式。  
 只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。
- 位 23:18 保留, 必须保持复位值
- 位 17:16 **AM[1: 0]**: Alpha 模式 (Alpha mode)  
 这些位用于选择将用于前景层图像的 **alpha** 通道值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。  
 00: 不修改前景层图像的 **alpha** 通道值  
 01: 原始前景层图像的 **alpha** 通道值替换为 **ALPHA[7: 0]**  
 10: 原始前景层图像的 **alpha** 通道值替换为 **ALPHA[7: 0]** 与原始 **alpha** 通道值的乘积  
 其它配置无意义
- 位 15:8 **CS[7: 0]**: CLUT 大小 (CLUT size)  
 这些位定义前景层图像所用的 **CLUT** 的大小。**CLUT** 传输一旦启动, 此字段将变为只读。  
**CLUT** 条目数等于 **CS[7:0] + 1**。
- 位 7:6 保留, 必须保持复位值

注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

**位 5 START:** 启动 (Start)

可将此位置 1 以启动 CLUT 的自动加载过程。该位在以下情况下自动复位:

- 传输结束时
- 通过用户应用程序将 DMA2D\_CR 中的 ABORT 位置 1 中止传输时
- 传输出错时
- 因配置错误或已经在进行其它传输操作 (数据传输或自动背景层 CLUT 传输) 导致传输未启动时。

**位 4 CCM:** CLUT 颜色模式 (CLUT color mode)

此位定义 CLUT 的颜色格式。只有在禁止数据传输的情况下才能写入该位。CLUT 传输一旦启动, 此位将变为只读。

0: ARGB8888

1: RGB888

其它: 无意义

**位 3:0 CM[3:0]:** 颜色模式 (Color mode)

这些位定义前景层图像的颜色格式。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

0000: ARGB8888

0001: RGB888

0010: RGB565

0011: ARGB1555

0100: ARGB4444

0101: L8

0110: AL44

0111: AL88

1000: L4

1001: A8

1010: A4

其它: 无意义

### 11.5.9 DMA2D 前景层颜色寄存器 (DMA2D\_FGCOLR)

DMA2D foreground color register

偏移地址: 0x0020

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								RED[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN[7:0]								BLUE[7:0]							
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:24 保留, 必须保持复位值

位 23:16 **RED[7: 0]**: 红色值 (Red Value)

这些位定义前景层图像的 A4 或 A8 模式的红色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

位 15:8 **GREEN[7: 0]**: 绿色值 (Green Value)

这些位定义前景层图像的 A4 或 A8 模式的绿色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

位 7:0 **BLUE[7: 0]**: 蓝色值 (Blue Value)

这些位定义前景层图像的 A4 或 A8 模式的蓝色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。



**注:** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

### 11.5.10 DMA2D 背景层 PFC 控制寄存器 (DMA2D\_BGPFCCR)

DMA2D background PFC control register

偏移地址: 0x0024

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALPHA[7:0]								Reserved							AM[1:0]
rw	rw	rw	rw	rw	rw	rw	rw								rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS[7:0]								Reserved		START	CCM	CM[3:0]			
rw	rw	rw	rw	rw	rw	rw	rw			rc_w1	rw	rw	rw	rw	rw

位 31:24 **ALPHA[7: 0]**: Alpha 值 (Alpha value)

这些位定义固定的 **alpha** 通道值, 该值可替代原始的 **alpha** 值或与原始的 **alpha** 值相乘, 具体取决于通过 **AM[1:0]** 位选择的 **alpha** 模式。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

位 23:18 保留, 必须保持复位值

位 17:16 **AM[1: 0]**: Alpha 模式 (Alpha mode)

这些位定义将用于背景层图像的 **alpha** 通道值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

00: 不修改前景层图像的 **alpha** 通道值

01: 原始背景层图像的 **alpha** 通道值替换为 **ALPHA[7: 0]**

10: 原始背景层图像的 **alpha** 通道值替换为 **ALPHA[7: 0]** 与原始 **alpha** 通道值的乘积

其它: 无意义

位 15:8 **CS[7: 0]**: CLUT 大小 (CLUT size)

这些位定义背景层图像所用的 **CLUT** 的大小。**CLUT** 传输一旦启动, 此字段将变为只读。

**CLUT** 条目数等于 **CS[7:0] + 1**。

位 7:6 保留, 必须保持复位值

**位 5 START: 启动 (Start)**

可将此位置 1 以启动 CLUT 的自动加载过程。该位在以下情况下自动复位:

- 传输结束时
- 通过用户应用程序将 DMA2D\_CR 中的 ABORT 位置 1 中止传输时
- 传输出错时
- 因配置错误或已经在进行其它传输操作 (数据传输或自动背景层 CLUT 传输) 导致传输未启动时。

**位 4 CCM: CLUT 颜色模式 (CLUT Color mode)**

这些位定义 CLUT 的颜色格式。只有在禁止传输的情况下才能写入该寄存器。CLUT 传输一旦启动, 此位将变为只读。

0: ARGB8888

1: RGB888

其它: 无意义

**位 3:0 CM[3:0]: 颜色模式 (Color mode)**

这些位定义前景层图像的颜色格式。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

0000: ARGB8888

0001: RGB888

0010: RGB565

0011: ARGB1555

0100: ARGB4444

0101: L8

0110: AL44

0111: AL88

1000: L4

1001: A8

1010: A4

其它: 无意义



### 11.5.11 DMA2D 背景层颜色寄存器 (DMA2D\_BGCOLR)

DMA2D background color register

偏移地址: 0x0028

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								RED[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN[7:0]								BLUE[7:0]							
								rW	rW	rW	rW	rW	rW	rW	rW

位 31:24 保留, 必须保持复位值

位 23:16 **RED[7: 0]**: 红色值 (Red Value)

这些位定义背景层图像的 A4 或 A8 模式的红色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

位 15:8 **GREEN[7: 0]**: 绿色值 (Green Value)

这些位定义背景层图像的 A4 或 A8 模式的绿色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

位 7:0 **BLUE[7: 0]**: 蓝色值 (Blue Value)

这些位定义背景层图像的 A4 或 A8 模式的蓝色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

### 11.5.12 DMA2D 前景层 CLUT 存储器地址寄存器 (DMA2D\_FGCMAR)

DMA2D foreground CLUT memory address register

偏移地址: 0x002C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 **MA[31: 0]**: 存储器地址 (Memory Address)

专用于前景层图像的 CLUT 地址所使用的地址。只有不存在进行中传输的情况下才能写入该寄存器。CLUT 传输一旦启动, 此寄存器将变为只读。

如果前景层 CLUT 格式是 32 位, 则地址必须是 32 位对齐。

### 11.5.13 DMA2D 背景层 CLUT 存储器地址寄存器 (DMA2D\_BGCMAR)

DMA2D background CLUT memory address register

偏移地址: 0x0030

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 **MA[31: 0]**: 存储器地址 (Memory address)

专用于背景层图像的 CLUT 地址所使用的地址。只有不存在进行传输的情况下才能写入该寄存器。CLUT 传输一旦启动，此寄存器将变为只读。

如果背景层 CLUT 格式是 32 位，则地址必须是 32 位对齐。

### 11.5.14 DMA2D 输出 PFC 控制寄存器 (DMA2D\_OPFCCR)

DMA2D output PFC control register

偏移地址: 0x0034

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved													CM[2:0]		
													rW	rW	rW

位 31:3 保留，必须保持复位值

位 2:0 **CM[2: 0]**: 颜色模式 (Color mode)

这些位定义背景层图像的颜色格式。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。

000: ARGB8888

001: RGB888

010: RGB565

011: ARGB1555

100: ARGB4444

其它: 无意义



11.5.15 DMA2D 输出颜色寄存器 (DMA2D\_OCOLR)

DMA2D output color register

偏移地址: 0x0038

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ALPHA[7:0]								RED[7:0]							
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN[7:0]								BLUE[7:0]							
RED[4:0]				GREEN[5:0]						BLUE[4:0]					
A	RED[4:0]				GREEN[4:0]						BLUE[4:0]				
ALPHA[3:0]				RED[3:0]				GREEN[3:0]				BLUE[3:0]			
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

- 位 31:24 **ALPHA[7: 0]**: Alpha 通道值 (Alpha Channel Value)  
这些位定义输出颜色的 **alpha** 通道。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。
- 位 23:16 **RED[7: 0]**: 红色值 (Red Value)  
这些位定义输出图像的红色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。
- 位 15:8 **GREEN[7: 0]**: 绿色值 (Green Value)  
这些位定义输出图像的绿色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。
- 位 7:0 **BLUE[7: 0]**: 蓝色值 (Blue Value)  
这些位定义输出图像的蓝色值。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 11.5.16 DMA2D 输出存储器地址寄存器 (DMA2D\_OMAR)

DMA2D output memory address register

偏移地址: 0x003C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 **MA[31: 0]**: 存储器地址 (Memory Address)

输出 FIFO 所用数据的地址。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。

地址对齐必须与所选图像格式相匹配，例如每像素 32 位格式必须为 32 位对齐，每像素 16 位格式必须为 16 位对齐。

### 11.5.17 DMA2D 输出偏移寄存器 (DMA2D\_OOR)

DMA2D output offset register

偏移地址: 0x0040

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		LO[13:0]													
		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:14 保留，必须保持复位值

位 13:0 **LO[13: 0]**: 行偏移 (Line Offset)

用于输出的行偏移（以像素表示）。此值用于生成地址。行偏移将添加到各行末尾，用于确定下一行的起始地址。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动，这些位将变为只读。



**注：** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 11.5.18 DMA2D 行数寄存器 (DMA2D\_NLR)

DMA2D number of line register

偏移地址: 0x0044

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved		PL[13:0]													
		rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NL[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:30 保留, 必须保持复位值

位 29:16 **PL[13:0]**: 每行像素数 (Pixel per lines)

待传输区域的每行像素数。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

如果任何一个输入图像格式为每像素 4 位, 则每行像素数必须为偶数。

位 15:0 **NL[15:0]**: 行数 (Number of lines)

待传输区域的行数。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

### 11.5.19 DMA2D 行水印寄存器 (DMA2D\_LWR)

DMA2D line watermark register

偏移地址: 0x0048

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LW[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:16 保留, 必须保持复位值

位 15:0 **LW[15:0]**: 行水印 (Line watermark)

这些位可用以配置可产生中断的行水印。

在带水印行的最后一个像素传输完成时产生中断。只有在禁止数据传输的情况下才能写入这些位。传输一旦启动, 这些位将变为只读。

### 11.5.20 DMA2D AHB 主设备定时器配置寄存器 (DMA2D\_AMTCR)

DMA2D AHB master timer configuration register

偏移地址: 0x004C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DT[7:0]								Reserved							EN
rw	rw	rw	rw	rw	rw	rw	rw								rw

位 31:16 保留

位 15:8 **DT[7: 0]**: 死区 (Dead Time)

在 AHB 主设备端口上两个连续访问之间所插入的死区值，以 AHB 时钟周期数表示。这些位表示两个连续 AHB 访问之间允许占用的最少周期数。

位 7:1 保留

位 0 **EN**: 使能 (Enable)

使能死区功能。

### 11.5.21 DMA2D 寄存器映射

下表对 DMA2D 寄存器进行了汇总。有关 DMA2D 寄存器基址的信息，请参见 [第 52 页的表 2](#)。

表 60. DMA2D 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x0000	DMA2D_CR	Reserved															MODE[1:0]		Reserved				CEIE	CTCIE	CAEIE	TWIE	TCIE	TEIE	Reserved				ABORT	SUSP	START
	Reset value																0	0					0	0	0	0	0	0					0	0	0
0x0004	DMA2D_ISR	Reserved																												CEIF	CTCIF	CAEIF	TWIF	TCIF	TEIF
Reset value	0																													0	0	0	0	0	0
0x0008	DMA2D_IFCR	Reserved																												CCEIF	CCTCIF	CAECIF	CTWIF	CTCIF	CTEIF
Reset value	0																													0	0	0	0	0	0
0x000C	DMA2D_FGMAR	MA[31:0]																																	
Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0010	DMA2D_FGOR	Reserved																				LO[13:0]													
Reset value	0																					0	0	0	0	0	0	0	0	0	0	0	0	0	0



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 60. DMA2D 寄存器映射和复位值 (续)

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0014	DMA2D_BGMR Reset value	MA[31:0]																															
0x0018	DMA2D_BGOR Reset value	Reserved																	LO[13:0]														
0x001C	DMA2D_FGPFCCR Reset value	ALPHA[7:0]							Reserved							AM[1:0]		CS[7:0]							Res		START	CCM	CM[3:0]				
0x0020	DMA2D_FGCOLR Reset value	APLHA[7:0]							RED[7:0]							GREEN[7:0]							BLUE[7:0]										
0x0024	DMA2D_BGPFCCR Reset value	ALPHA[7:0]							Reserved							AM[1:0]		CS[7:0]							Res		START	CCM	CM[3:0]				
0x0028	DMA2D_BGCOLR Reset value	APLHA[7:0]							RED[7:0]							GREEN[7:0]							BLUE[7:0]										
0x002C	DMA2D_FGCMAR Reset value	MA[31:0]																															
0x0030	DMA2D_BGCMAR Reset value	MA[31:0]																															
0x0034	DMA2D_OPFCCR Reset value	Reserved																								CM[2:0]							
0x0038	DMA2D_OCOLR	APLHA[7:0]							RED[7:0]							GREEN[7:0]							BLUE[7:0]										
		Reserved														RED[4:0]				GREEN[6:0]				BLUE[4:0]									
		Reserved														A	RED[4:0]				GREEN[4:0]				BLUE[4:0]								
		Reserved														ALPHA[3:0]			RED[3:0]			GREEN[3:0]			BLUE[3:0]								
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x003C	DMA2D_OMAR Reset value	MA[31:0]																															
0x0040	DMA2D_OOR Reset value	Reserved																	LO[13:0]														
0x0044	DMA2D_NLR Reset value	Res	PL[13:0]														NL[15:0]																
0x0048	DMA2D_LWR Reset value		Reserved																	LW[15:0]													
0x004C	DMA2D_AMTCR Reset value	Reserved																	DT[7:0]							Reserved							ZEN
0x0050-0x03FF		Reserved																															
0x0400-0x07FF	DMA2D_FGCLUT Reset value	APLHA[7:0][255:0]							RED[7:0][255:0]							GREEN[7:0][255:0]							BLUE[7:0][255:0]										
0x0800-0x0BFF	DMA2D_BGCLUT Reset value	APLHA[7:0][255:0]							RED[7:0][255:0]							GREEN[7:0][255:0]							BLUE[7:0][255:0]										



## 16 LCD-TFT 控制器 (LTDC)

本部分仅适用于 STM32F42xx/439xx 器件。

### 16.1 简介

LCD-TFT（液晶显示器——薄膜晶体管）显示器控制器提供并行数字 RGB（红色、绿色、蓝色）以及水平同步、垂直同步、像素时钟和数据使能信号，这些信号直接输出到不同 LCD 和 TFT 面板的接口。

### 16.2 LTDC 主要特性

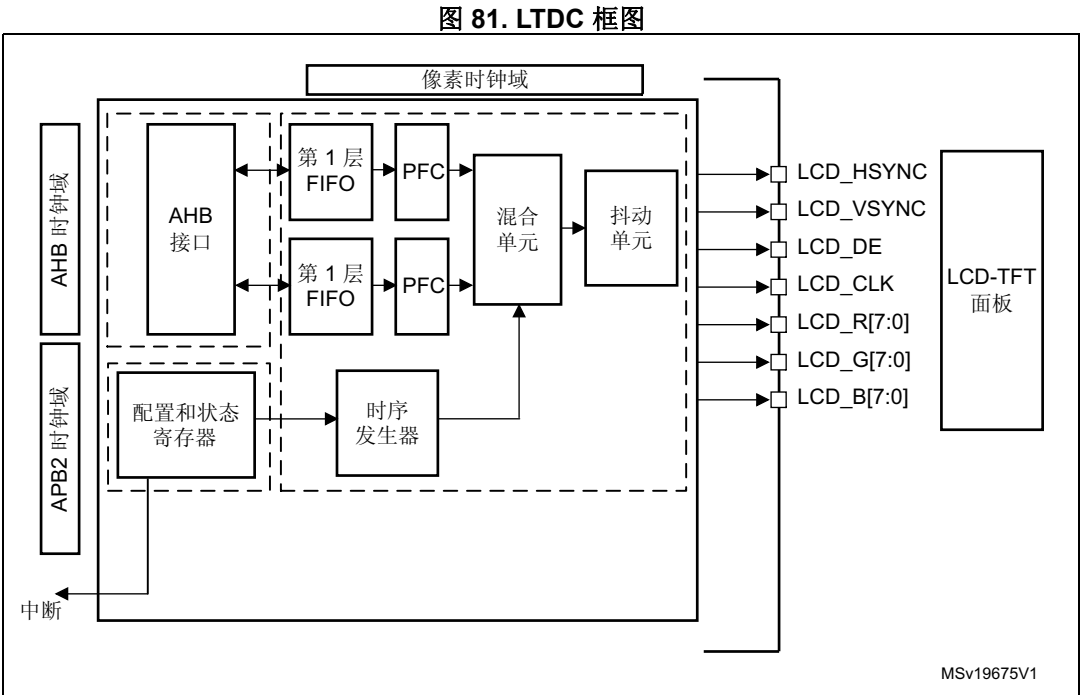
- 24 位 RGB 并行像素输出；每像素 8 位 (RGB888)
- 2 个带有专用 FIFO 的显示层（FIFO 深度 64x32 位）
- 查色表 (CLUT)，每层高达 256 种颜色（256x24 位）
- 支持高达 SVGA (800x600) 的分辨率
- 可针对不同显示面板编程时序
- 可编程背景色
- 可编程 HSync、VSync 和数据使能信号的极性
- 每层有多达 8 个输入颜色格式可供选择
  - ARGB8888
  - RGB888
  - RGB565
  - ARGB1555
  - ARGB4444
  - L8（8 位 Luminance 或 CLUT）
  - AL44（4 位 alpha + 4 位 luminance）
  - AL88（8 位 alpha + 8 位 luminance）
- 每通道的低位采用伪随机抖动输出
  - 红色、绿色、蓝色的抖动宽度为 2 位
- 使用 alpha 值（每像素或常数）在两层之间灵活混合
- 色键（透明颜色）
- 可编程窗口位置和大小
- 支持薄膜晶体管 (TFT) 彩色显示器
- AHB 主接口支持 16 个字的突发
- 高达 4 个可编程中断事件



## 16.3 LTDC 功能说明

### 16.3.1 LTDC 框图

LTDC 的框图如 [图 81: LTDC 框图](#) 所示。



层 FIFO: 每层一个 64x32 位 FIFO。

PFC: 执行像素格式转换的像素格式转换器，从层的所选输入像素格式转换为字。

AHB 接口: 用于将数据从存储器传输到 FIFO。

有关混合单元、抖动单元和时序发生器的信息: 请参见 [第 16.4.1 节](#) 和 [第 16.4.2 节](#)。

### 16.3.2 LTDC 复位和时钟

LCD-TFT 控制器外设使用 3 个时钟域:

- AHB 时钟域 (HCLK): 用于将数据从存储器传输到 FIFO 层
- APB2 时钟域 (PCLK2): 用于配置寄存器
- 像素时钟域 (LCD\_CLK): 用于生成 LCD-TFT 接口信号。LCD\_CLK 输出应按照面板要求配置。LCD\_CLK 通过 PLLSAI 进行配置 (见 RCC 部分)

通过将 RCC\_APB2RSTR 寄存器中的相应位置 1 可将 LCD 控制器复位。这将复位三个时钟域。

16.3.3 LCD-TFT 引脚和信号接口

下表汇总了 LTDC 信号接口：

表 88. LCD-TFT 引脚和信号接口

LCD-TFT 信号	I/O	说明
LCD_CLK	O	时钟输出
LCD_HSYNC	O	水平同步
LCD_VSYNC	O	垂直同步
LCD_DE	O	数据使能
LCD_R[7:0]	O	数据：8 位红色数据
LCD_G[7:0]	O	数据：8 位绿色数据
LCD_B[7:0]	O	数据：8 位蓝色数据

必须通过用户程序配置 LCD-TFT 控制器引脚。未使用的引脚可用于其他功能。

对于高达 24 位 (RGB888) 的 LTDC 输出，如果使用低于 8bpp 的像素深度将 RGB565 或 RGB666 输出到 16 位或 18 位显示器，则 RGB 显示数据线必须连接到 LCD-TFT 控制器 RGB 数据线的 MSB。例如，当 LCD-TFT 控制器与 RGB565 16 位显示器相连时，LCD 显示器的 R[4:0]、G[5:0] 和 B[4:0] 数据线引脚必须连接至 LCD-TFT 控制器的 LCD\_R[7:3]、LCD\_G[7:2] 和 LCD\_B[7:3]。

16.4 LTDC 可编程参数

LCD-TFT 控制器提供灵活的可配置参数。其可通过 LTDC\_GCR 寄存器使能或禁止。

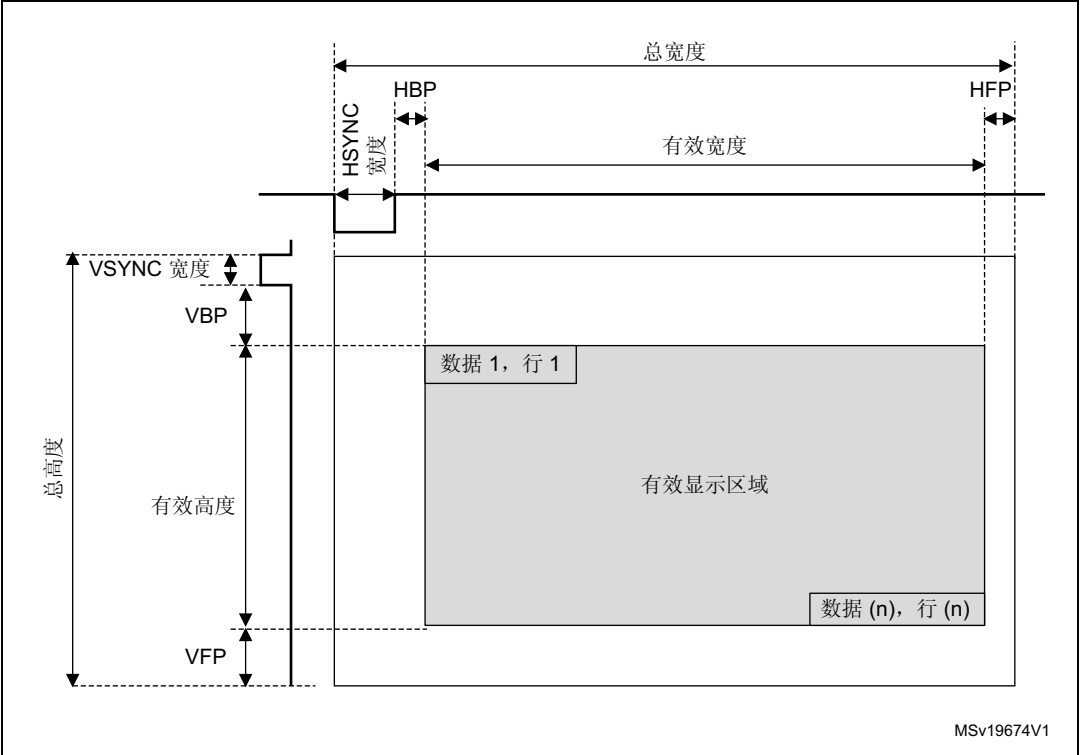
16.4.1 LTDC 全局配置参数

同步时序：

图 82 显示了框图 81 中所示的同步时序发生器模块生成的可配置时序参数。该模块生成水平和垂直同步时序面板信号、像素时钟和数据使能信号。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 82. LCD-TFT 同步时序



注意: HBP 和 HFP 分别为水平后沿周期和水平前沿周期。

VBP 和 VFP 分别为垂直后沿周期和垂直前沿周期。

LCD-TFT 可编程同步时序包括:

- HSYNC 和 VSYNC 宽度: 水平和垂直同步宽度, 通过编程 LTDC\_SSCR 寄存器中的 **HSYNC Width - 1** 和 **VSYNC Width - 1** 的值进行配置。
- HBP 和 VBP: 水平和垂直同步后沿宽度, 通过编程 LTDC\_BPCR 寄存器中的累加值 **HSYNC Width + HBP - 1** 和累加值 **VSYNC Width + VBP - 1** 进行配置。
- 有效宽度和有效高度: 有效宽度和有效高度通过编程 LTDC\_AWCR 寄存器中的累加值 **HSYNC Width + HBP + Active Width - 1** 和累加值 **VSYNC Width + VBP + Active Height - 1** 进行配置 (仅支持最高 1024x768)。
- 总宽度: 总宽度通过编程 LTDC\_TWCR 寄存器中的累加值 **HSYNC Width + HBP + Active Width + HFP - 1** 进行配置。HFP 为水平前沿周期。
- 总高度: 总高度通过编程 LTDC\_TWCR 寄存器中的累加值 **VSYNC Height + VBP + Active Height + VFP - 1** 进行配置。VFP 为垂直前沿周期。

注意: 使能 LTDC 时, 产生的时序以 X/Y=0/0 位置作为垂直同步区域中的第一个水平同步像素, 随后是后沿、有效数据显示区域和前沿。

禁止 LTDC 时, 时序发生器模块复位为  $X = \text{总宽度} - 1$ 、 $Y = \text{总高度} - 1$ , 并在垂直同步阶段和 FIFO 刷新前保持上一个像素。因此, 仅连续输出消隐数据。

### 同步时序配置示例：

TFT-LCD 时序（应从面板数据手册中提取）：

- 水平和垂直同步宽度：0x8 像素，0x4 行
- 水平和垂直后沿：0x7 像素，0x2 行
- 有效宽度和有效高度：0x280 像素，0x1E0 行 (640x480)
- 水平前沿：0x6 像素
- 垂直前沿：0x2 行

LTDC 时序寄存器中编程的值将为：

- **LTDC\_SSCR** 寄存器：将编程为 0x00070001。（HSW[11:0] 为 0x7 且 VSH[10:0] 为 0x3）
- **LTDC\_BPCR** 寄存器：将编程为 0x000E0005。（AHBP[11:0] 为 0xE(0x8 + 0x6) 且 AVBP[10:0] 为 0x5(0x4 + 0x1)）
- **LTDC\_AWCR** 寄存器：将编程为 0x028E01E5。（AAW[11:0] 为 0x28E(0x8 + 0x7 + 0x27F) 且 AAH[10:0] 为 0x1E5(0x4 + 0x2 + 0x1DF)）
- **LTDC\_TWCR** 寄存器：将编程为 0x00000294。（TOTALW[11:0] 为 0x294(0x8 + 0x7 + 0x280 + 0x5)）
- **LTDC\_THCR** 寄存器：将编程为 0x000001E7。（TOTALH[10:0] 为 0x1E7(0x4 + 0x2 + 0x1E0 + 1)）

### 可编程极性

水平和垂直同步、数据使能和像素时钟输出信号的极性可通过 **LTDC\_GCR** 寄存器编程为高电平有效或低电平有效。

### 背景色

恒定的背景色 (RGB888) 可通过 **LTDC\_BCCR** 寄存器编程。它用于与底层混合。

### 抖动

使用 LFSR 的伪随机抖动技术用于向各个像素颜色通道值（R、G 或 B）添加小的随机值（阈值），从而当 18 位显示器上显示 24 位数据时，可在某些情况下对 MSB 进行舍入操作。因此，抖动技术用于对各帧中不同的数据进行舍入操作。

伪随机抖动技术的过程是将 LSB 与阈值比较，并在 LSB 部分  $\geq$  阈值时，仅向 MSB 部分加 1。一旦应用抖动技术，通常会减少 LSB。

添加的伪随机值的宽度为每个颜色通道 2 位；红色 2 位、绿色 2 位及蓝色 2 位。

使能 LCD-TFT 控制器后，LFSR 以第一个有效像素开始运行，并且即使在消隐周期内和抖动关闭时也保持运行状态。如果禁止 LTDC，LFSR 将复位。

可通过 **LTDC\_GCR** 寄存器实时开启和关闭抖动。

### 重载影子寄存器

一些配置寄存器执行影子操作。对活动寄存器执行写操作时，或在 **LTDC\_SRCR** 寄存器配置阶段之后的垂直消隐周期开始时，可将影子寄存器值立即重载到活动寄存器中。如果选择了立即重载配置，则只应在所有新寄存器完成写操作后激活重载。

不应在重载完成前再次修改影子寄存器。读取影子寄存器将返回实际有效值。新写入的值只能在重载发生后读取。

如果在 **LTDC\_IER** 寄存器中相应使能，则可产生寄存器重载中断。

影子寄存器均为第 1 层和第 2 层寄存器，但 **LTDC\_LxCLUTWR** 寄存器除外。

### 中断产生事件

有关中断配置，请参见第 16.5 节：LTDC 中断。

## 16.4.2 层可编程参数

最多可单独使能、禁止和配置两个层。层显示顺序固定，即自下而上。如果使能两个层，则层 2 为顶部显示窗口。

### 窗口

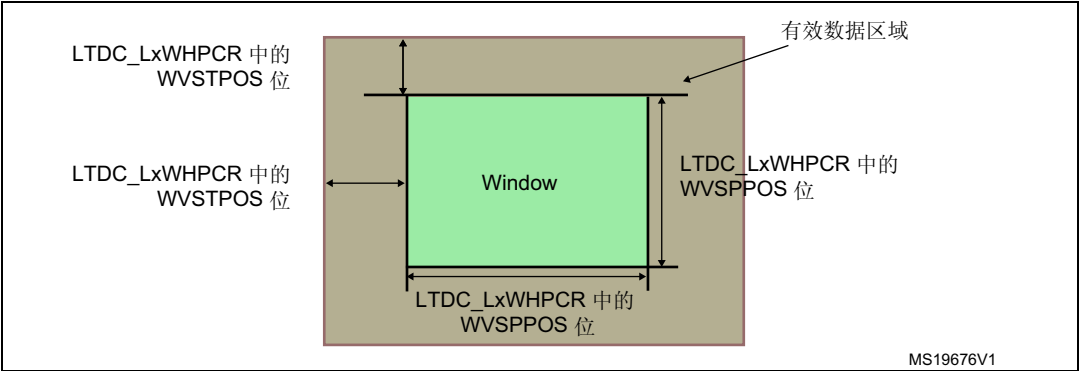
可为每个层定位和调整大小，各个层必须位于有效显示区域内。

窗口位置和大小通过左上和右下的 X/Y 位置以及包含同步、后沿大小和有效数据区域的内部时序发生器配置。请参见 **LTDC\_LxWHPCR** 和 **LTDC\_WVPCR** 寄存器。

可编程层位置和大小定义了一行中的第一个/最后一个可见像素和窗口中的第一个/最后一个可见行。它允许显示完整的图像帧，也允许只显示图像帧的一部分。请参见图 83。

- 层中的第一个和最后一个可见像素通过配置 **LTDC\_LxWHPCR** 寄存器中的 WHSTPOS[11:0] 和 WHSPPOS[11:0] 进行设置。
- 层中的第一个和最后一个可见行通过配置 **LTDC\_LxWVPCR** 寄存器中的 WHSTPOS[11:0] 和 WHSPPOS[11:0] 进行设置。

图 83. 层窗口可编程参数：



## 像素输入格式

可编程像素格式用于层的帧缓冲区中存储的数据。

可通过 **LTDC\_LxPFCR** 寄存器为每个层配置多达 8 个输入像素格式

像素数据从帧缓冲区中读取，随后按照以下方式转换为内部 8888 (ARGB) 格式：

- 宽度低于 8 位的分量通过位重复扩展到 8 位。所选位范围多次拼接，直至其超过 8 位。在得到的向量中，选择高 8 位。例如：5 位 RGB565 红色通道将变为（位位置）：**43210432**（低 3 位由 5 位中的高 3 位填充）

下图说明了像素数据映射与所选格式的关系。

**表 89. 像素数据映射与颜色格式的关系**

ARGB8888			
@+3 $A_x[7:0]$	@+2 $R_x[7:0]$	@+1 $G_x[7:0]$	@ $B_x[7:0]$
@+7 $A_{x+1}[7:0]$	@+6 $R_{x+1}[7:0]$	@+5 $G_{x+1}[7:0]$	@+4 $B_{x+1}[7:0]$
RGB888			
@+3 $B_{x+1}[7:0]$	@+2 $R_x[7:0]$	@+1 $G_x[7:0]$	@ $B_x[7:0]$
@+7 $G_{x+2}[7:0]$	@+6 $B_{x+2}[7:0]$	@+5 $R_{x+1}[7:0]$	@+4 $G_{x+1}[7:0]$
RGB565			
@+3 $R_{x+1}[4:0] G_{x+1}[5:3]$	@+2 $G_{x+1}[2:0] B_{x+1}[4:0]$	@+1 $R_x[4:0] G_x[5:3]$	@ $G_x[2:0] B_x[4:0]$
@+7 $R_{x+3}[4:0] G_{x+3}[5:3]$	@+6 $G_{x+3}[2:0] B_{x+3}[4:0]$	@+5 $R_{x+2}[4:0] G_{x+2}[5:3]$	@+4 $G_{x+2}[2:0] B_{x+2}[4:0]$
ARGB1555			
@+3 $A_{x+1}[0]R_{x+1}[4:0]G_{x+1}[4:3]$	@+2 $G_{x+1}[2:0] B_{x+1}[4:0]$	@+1 $A_x[0] R_x[4:0] G_x[4:3]$	@ $G_x[2:0] B_x[4:0]$
@+7 $A_{x+3}[0]R_{x+3}[4:0]G_{x+3}[4:3]$	@+6 $G_{x+3}[2:0] B_{x+3}[4:0]$	@+5 $A_{x+2}[0]R_{x+2}[4:0]G_{x+2}[4:3]$	@+4 $G_{x+2}[2:0] B_{x+2}[4:0]$
ARGB4444			
@+3 $A_{x+1}[3:0]R_{x+1}[3:0]$	@+2 $G_{x+1}[3:0] B_{x+1}[3:0]$	@+1 $A_x[3:0] R_x[3:0]$	@ $G_x[3:0] B_x[3:0]$
@+7 $A_{x+3}[3:0]R_{x+3}[3:0]$	@+6 $G_{x+3}[3:0] B_{x+3}[3:0]$	@+5 $A_{x+2}[3:0]R_{x+2}[3:0]$	@+4 $G_{x+2}[3:0] B_{x+2}[3:0]$



表 89. 像素数据映射与颜色格式的关系（续）

ARGB8888			
L8			
@+3 $L_{x+3}[7:0]$	@+2 $L_{x+2}[7:0]$	@+1 $L_{x+1}[7:0]$	@ $L_x[7:0]$
@+7 $L_{x+7}[7:0]$	@+6 $L_{x+6}[7:0]$	@+5 $L_{x+5}[7:0]$	@+4 $L_{x+4}[7:0]$
AL44			
@+3 $A_{x+3}[3:0] L_{x+3}[3:0]$	@+2 $A_{x+2}[3:0] L_{x+2}[3:0]$	@+1 $A_{x+1}[3:0] L_{x+1}[3:0]$	@ $A_x[3:0] L_x[3:0]$
@+7 $A_{x+7}[3:0] L_{x+7}[3:0]$	@+6 $A_{x+6}[3:0] L_{x+6}[3:0]$	@+5 $A_{x+5}[3:0] L_{x+5}[3:0]$	@+4 $A_{x+4}[3:0] L_{x+4}[3:0]$
AL88			
@+3 $A_{x+3}[7:0]$	@+2 $L_{x+2}[7:0]$	@+1 $A_x[7:0]$	@ $L_x[7:0]$
@+7 $A_{x+7}[7:0]$	@+6 $L_{x+6}[7:0]$	@+5 $A_{x+5}[7:0]$	@+4 $L_{x+4}[7:0]$

### 查色表 (CLUT)

可在运行时通过 **LTDC\_LxCR** 寄存器为每个层使能 CLUT，CLUT 仅在使用 L8、AL44 和 AL88 输入像素格式时适用于索引色。

首先，CLUT 必须加载用于替换相应像素（索引色）的原始 R、G 和 B 值的 R、G 和 B 值。每个颜色（RGB 值）在 CLUT 内都有自己对应的地址。

R、G 和 B 值及其各自的地址均通过 **LTDC\_LxCLUTWR** 寄存器编程。

- 在使用 L8 和 AL88 输入像素格式时，CLUT 必须加载 256 个颜色。各颜色的地址在 **LTDC\_LxCLUTWR** 寄存器的 CLUTADD 位中配置。
- 在使用 AL44 输入像素格式时，CLUT 必须仅加载 16 个颜色。各颜色的地址必须通过将 4 位 L 通道重复为 8 位进行填充，具体如下：
  - L0（索引色 0），地址 0x00 处
  - L1，地址 0x11 处
  - L2，地址 0x22 处
  - .....
  - L15，地址 0xFF 处

### 颜色帧缓冲区地址

每个层的颜色帧缓冲区均有一个起始地址，该地址通过 **LTDC\_LxCFBAR** 寄存器进行配置。

当使能某个层时，将从颜色帧缓冲区中获取该数据。

## 颜色帧缓冲区长度

每层均设置颜色帧缓冲区的总行长（单位为字节）和行数，二者可分别通过 **LTDC\_LxCFBLR** 和 **LTDC\_LxCFBLNR** 寄存器进行配置。

行长和行数的设置用于阻止将数据预取到帧缓冲区末尾的层 FIFO 中。

- 如果设置为低于所需字节，则会产生 FIFO 下溢中断（如果之前已使能）。
- 如果设置为高于实际所需字节，则将丢弃从 FIFO 中读取的无用数据。无用数据不会显示。

## 颜色帧缓冲区间距

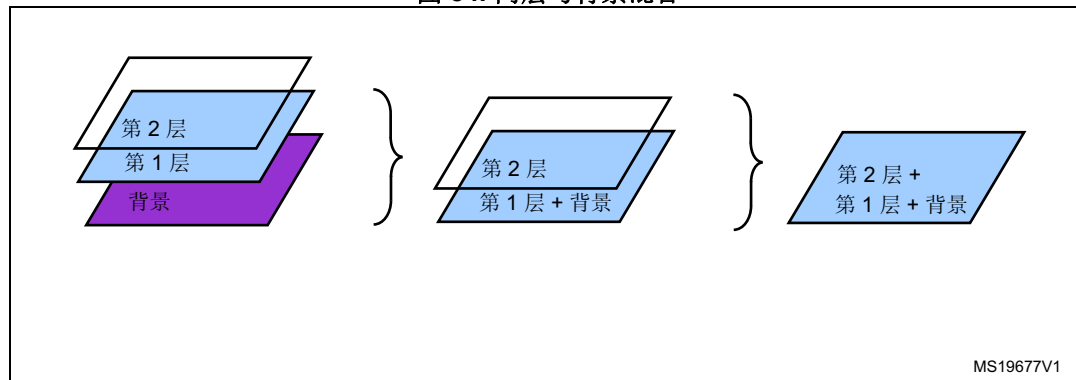
每层的颜色帧缓冲区均具有可配置间距，此间距是一行的开始与下一行开始的距离（以字节为单位）。它通过 **LTDC\_LxCFBLR** 寄存器配置。

## 层混合

混合操作始终有效，两层可按照 **LTDC\_LxBFCR** 寄存器中配置的混合系数进行混合。

混合顺序固定，即由下至上。如果使能了两层，首先第 1 层将与背景色混合，随后第 2 层与第 1 层和背景的混合颜色结果再次混合。请参见图 84。

图 84. 两层与背景混合



## 默认颜色

每层可具有 ARGB 格式的默认颜色，该颜色在定义的层窗口外使用或在层禁止时使用。

默认颜色通过 **LTDC\_LxDCCR** 寄存器配置。

始终在两层间执行混合操作，即便其中一层禁止也是如此。要避免层禁止时显示默认颜色，需将 **LTDC\_LxBFCR** 寄存器中此层的混合系数设置为其复位值。

## 色键

色键 (RGB) 可配置为代表透明像素。

使能色键后，当前像素（格式转换后、混合前的像素）将与色键进行比较。如果当前像素与编程的 RGB 值相匹配，则该像素的所有通道 (ARGB) 均设置为 0。

运行时，可配置色键值并用其替换像素 RGB 值。

色键通过 **LTDC\_LxCKCR** 寄存器配置。

16.5 LTDC 中断

LTDC 提供四个可屏蔽中断，这些中断经逻辑或运算后产生两个中断向量。

中断源可通过 **LRDC\_IER** 寄存器单独使能或禁止。将相应的屏蔽位置 1 可使能相应中断。

发生如下事件时会产生两个中断：

- 行中断：达到编程的行时产生。行中断的位置在 **LTDC\_LIPCR** 寄存器中编程
- 寄存器重载中断：在垂直消隐周期内执行影子寄存器重载时产生
- FIFO 下溢中断：从空层 FIFO 中请求像素时产生
- 传输错误中断：数据传输期间出现 **AHB** 总线错误时产生

这些中断事件与 **NVIC** 控制器相连，如下图所示。

图 85. 中断事件

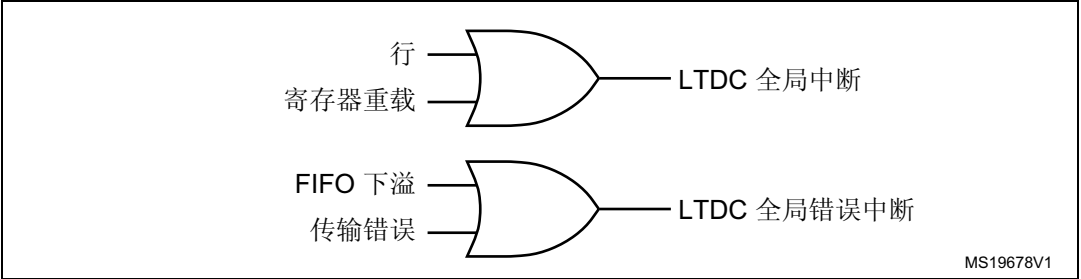


表 90. LTDC 中断请求

中断事件	事件标志	使能控制位
行	LIF	LIE
寄存器重载	RRIF	RRIEN
FIFO 下溢	FUDERRIF	FUDERRIE
传输错误	TERRIF	TERRIE



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

## 16.6 LTDC 编程步骤

- 在 RCC 寄存器中使能 LTDC 时钟
- 按照面板数据表配置所需像素时钟
- 按照第 16.4.1 节: *LTDC 全局配置参数*中所述的面板数据表配置同步时序: VSYNC、HSYNC、垂直和水平后沿、有效数据区域以及前沿时序
- 配置 LTDC\_GCR 寄存器中的同步信号和时钟极性
- 必要时, 配置 LTDC\_BCCR 寄存器中的背景色
- 配置 LTDC\_IER 和 LTDC\_LIPCR 寄存器中的所需中断
- 通过执行以下编程操作配置第 1/2 层的参数:
  - 编程 LTDC\_LxWHPCR 和 LTDC\_WVPCR 寄存器中的层窗口的水平和垂直位置。层窗口必须位于有效数据区域。
  - 编程 LTDC\_LxPFCR 寄存器中的像素输入格式
  - 编程 LTDC\_LxCFBAR 寄存器中的颜色帧起始地址
  - 编程 LTDC\_LxCFBLR 寄存器中的颜色帧缓冲区的行长和间距
  - 编程 LTDC\_LxCFBLNR 寄存器中的颜色帧缓冲区的行数
  - 必要时, 在 LTDC\_LxCLUTWR 寄存器中为 CLUT 加载 RGB 值及其地址
  - 必要时, 分别在 LTDC\_LxDCCR 和 LTDC\_LxBFCR 寄存器中配置默认颜色和混合系数
- 使能 LTDC\_LxCR 寄存器中的第 1/2 层, 必要时使能 CLUT
- 必要时, 可分别在 LTDC\_GCR 和 LTDC\_LxCKCR 寄存器中使能抖动和色键。也可以实时使能这两个功能。
- 通过 LTDC\_SRCR 寄存器将影子寄存器重载到活动寄存器中。
- 使能 LTDC\_GCR 寄存器中的 LCD-TFT 控制器。
- 除 CLUT 外, 所有层参数均可实时修改。新配置必须通过配置 LTDC\_SRCR 寄存器立即重载或在垂直消隐周期内重载。

**注意:** 所有层的寄存器均执行影子操作。一旦对某个寄存器执行写操作, 便不应在重载完成前再次进行修改。因此, 如果在尚未重载时对同一寄存器执行新的写操作, 则将覆盖之前的配置。

# 16.7 LTDC 寄存器

## 16.7.1 LTDC 同步大小配置寄存器 (LTDC\_SSCR)

LTDC Synchronization Size Configuration Register

此寄存器定义水平同步像素数减 1 以及垂直同步行数减 1。有关配置的示例，请参见 [图 82](#) 和 [第 16.4 节：LTDC 可编程参数](#)。

偏移地址：0x08

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				HSW											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				VSH											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:28 保留，必须保持复位值

位 27:16 HSW[11:0]：水平同步宽度 (Horizontal Synchronization Width)（以像素时钟周期为单位）  
这些位定义水平同步像素数减 1。

位 15:11 保留，必须保持复位值

位 10:0 VSH[10:0]：垂直同步高度 (Vertical Synchronization Height)（以水平扫描行为单位）  
这些位定义垂直同步高度减 1。它代表水平同步行的数量。

## 16.7.2 LTDC 后沿配置寄存器 (LTDC\_BPCR)

LTDC Back Porch Configuration Register

此寄存器定义水平同步像素加水平后沿像素的累加数减 1（HSYNC 宽度 + HBP - 1）以及垂直同步行加垂直后沿行的累加数减 1（VSYNC 高度 + VBP - 1）。有关配置的示例，请参见 [图 82](#) 和 [第 16.4 节：LTDC 可编程参数](#)。

偏移地址：0x0C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				AHBP											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				AVBP											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

- 位 31:28 保留，必须保持复位值
- 位 27:16 **AHBP[11:0]**: 累加水平后沿 (Accumulated Horizontal back porch) (以像素时钟周期为单位)  
这些位定义累加水平后沿宽度 (水平同步像素加水平后沿像素减 1)。  
水平后沿是水平同步信号变为无效到下一扫描行的有效显示开始之间的间隔。
- 位 15:11 保留，必须保持复位值
- 位 10:0 **AVBP[10:0]**: 累加垂直后沿 (Accumulated Vertical back porch) (以水平扫描行为单位)  
这些位定义累加垂直后沿宽度 (垂直同步行加垂直后沿行减 1)。  
垂直后沿是帧开始到下一帧的首个有效扫描行开始所包含的水平扫描行的数量。

### 16.7.3 LTDC 有效宽度配置寄存器 (LTDC\_AWCR)

#### LTDC Active Width Configuration Register

此寄存器定义水平同步像素加水平后沿像素加有效像素的累加数减 1 (**HSYNC 宽度 + HBP + 有效宽度 - 1**) 以及垂直同步行加垂直后沿行加有效行的累加数减 1 (**VSYNC 高度 + BVBP + 有效高度 - 1**)。有关配置的示例，请参见图 82 和第 16.4 节: LTDC 可编程参数。

偏移地址: 0x10  
复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				AAW											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				AAH											
				rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

- 位 31:28 保留，必须保持复位值
- 位 27:16 **AAW[11:0]**: 累加有效宽度 (Accumulated Active Width) (以像素时钟周期为单位)  
这些位定义累加有效宽度 (水平同步像素加水平后沿像素加有效像素减 1)。  
有效宽度是面板扫描行的有效显示区中的像素数。支持的最大有效宽度为 0x400。
- 位 15:11 保留，必须保持复位值
- 位 10:0 **AAH[10:0]**: 累加有效高度 (Accumulated Active Height) (以水平扫描行为单位)  
这些位定义累加高度 (垂直同步行加垂直后沿行加有效高度行减 1)。有效高度是面板中的有效行数。支持的最大有效高度为 0x300。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 16.7.4 LTDC 总宽度配置寄存器 (LTDC\_TWCR)

LTDC Total Width Configuration Register

此寄存器定义水平同步像素加水平后沿像素加有效像素加水平前沿像素的累加数减 1（**HSYNC 宽度 + HBP + 有效宽度 + HFP - 1**）以及垂直同步行加垂直后沿行加有效行加垂直前沿行的累加数减 1（**VSYNC 高度 + BVBP + 有效高度 + VFP - 1**）。有关配置的示例，请参见图 82 和第 16.4 节：LTDC 可编程参数。

偏移地址：0x14

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				TOTALW											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
16	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				TOTALH											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留，必须保持复位值

位 27:16 **TOTALW[11:0]**：总宽度 (Total Width)（以像素时钟周期为单位）  
这些位定义累加总宽度（水平同步像素加水平后沿像素加有效宽度加水平前沿像素减 1）。

位 15:11 保留，必须保持复位值

位 10:0 **TOTALH[10:0]**：总高度 (Total Height)（以水平扫描行为单位）  
这些位定义累加高度（垂直同步行加垂直后沿行加有效高度加垂直前沿行减 1）。

### 16.7.5 LTDC 全局控制寄存器 (LTDC\_GCR)

LTDC Global Control Register

此寄存器定义 LCD-TFT 控制器的全局配置。

偏移地址：0x18

复位值：0x0000 2220

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
HSPOL	VSPOL	DEPOL	PCPOL	Reserved											DEN
rw	rw	rw	rw												rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	DRW			Reserved	DGW			Reserved	DBW			Reserved		LTDcen	
	r	r	r		r	r	r		r	r	r			rw	

- 位 31 **HSPOL**: 水平同步极性 (Horizontal Synchronization Polarity)  
此位由软件置 1 和清零。  
0: 水平同步极性低电平有效  
1: 水平同步极性高电平有效
- 位 30 **VSPOL**: 垂直同步极性 (Vertical Synchronization Polarity)  
此位由软件置 1 和清零。  
0: 垂直同步低电平有效  
1: 垂直同步高电平有效
- 位 29 **DEPOL**: 数据使能极性 (Data Enable Polarity)  
此位由软件置 1 和清零。  
0: 数据使能极性低电平有效  
1: 数据使能极性高电平有效
- 位 28 **PCPOL**: 像素时钟极性 (Pixel Clock Polarity)  
此位由软件置 1 和清零。  
0: 输入像素时钟  
1: 反相输入像素时钟
- 位 27:17 保留, 必须保持复位值
- 位 16 **DEN**: 抖动使能 (Dither Enable)  
此位由软件置 1 和清零。  
0: 禁止抖动  
1: 使能抖动
- 位 15 保留, 必须保持复位值
- 位 14:12 **DRW[2:0]**: 抖动红色宽度 (Dither Red Width)  
这些位返回抖动红色位
- 位 11 保留, 必须保持复位值
- 位 10:8 **DGW[2:0]**: 抖动绿色宽度 (Dither Green Width)  
这些位返回抖动绿色位
- 位 7 保留, 必须保持复位值
- 位 6:4 **DBW[2:0]**: 抖动蓝色宽度 (Dither Blue Width)  
这些位返回抖动蓝色位
- 位 3:1 保留, 必须保持复位值
- 位 0 **LTDCEN**: LCD-TFT 控制器使能位 (LCD-TFT controller enable bit)  
此位由软件置 1 和清零。  
0: 禁止 LTDC  
1: 使能 LTDC



### 16.7.6 LTDC 影子重载配置寄存器 (LTDC\_SRCR)

LTDC Shadow Reload Configuration Register

此寄存器允许立即或在垂直消隐周期内将影子寄存器的值重载到活动寄存器中。影子寄存器均为第 1 层和第 2 层寄存器，但 LTDC\_L1CLUTWR 和 LTDC\_L2CLUTWR 除外。

偏移地址：0x24

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved														VBR	IMR
														rw	rw

位 31:2 保留，必须保持复位值

位 1 VBR: 垂直消隐重载 (Vertical Blanking Reload)

此位由软件置 1，只有重载后才由硬件清零。（一旦置 1，便无法通过寄存器写操作清零）

0: 无影响

1: 影子寄存器在垂直消隐周期（有效显示区后的第一行开始时）内重载

位 0 IMR: 立即重载 (Immediate Reload)

此位由软件置 1，只有重载后才由硬件清零。

0: 无影响

1: 影子寄存器立即重载

**注意：** 影子寄存器回读有效值。直至重载完成，才会读取“旧”值。

### 16.7.7 LTDC 背景色配置寄存器 (LTDC\_BCCR)

LTDC Background Color Configuration Register

此寄存器定义背景色 (RGB888)。

偏移地址：0x2C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								BCRED							
								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BCGREEN								BCBLUE							
rw								rw	rw	rw	rw	rw	rw	rw	rw

- 位 31:24 保留，必须保持复位值
- 位 23:16 **BCRED[7:0]**: 背景红色值 (Background Color Red value)  
这些位配置背景红色值
- 位 15:8 **BCGREEN[7:0]**: 背景绿色值 (Background Color Green value)  
这些位配置背景绿色值
- 位 7:0 **BCBLUE[7:0]**: 背景蓝色值 (Background Color Blue value)  
这些位配置背景蓝色值

### 16.7.8 LTDC 中断使能寄存器 (LTDC\_IER)

LTDC Interrupt Enable Register

此寄存器通过将对应的位置 1 来确定哪一个状态标志位产生中断请求。

偏移地址: 0x34

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RRIE	TERRIE	FUIE	LIE
												rw	rw	rw	rw

- 位 31:4 保留，必须保持复位值
- 位 3 **RRIE**: 寄存器重载中断使能 (Register Reload interrupt enable)  
此位由软件置 1 和清零
  - 0: 禁止寄存器重载中断
  - 1: 使能寄存器重载中断
- 位 2 **TERRIE**: 传输错误中断使能 (Transfer Error Interrupt Enable)  
此位由软件置 1 和清零
  - 0: 禁止传输错误中断
  - 1: 使能传输错误中断
- 位 1 **FUIE**: FIFO 下溢中断使能 (FIFO Underrun Interrupt Enable)  
此位由软件置 1 和清零
  - 0: 禁止 FIFO 下溢中断
  - 1: 使能 FIFO 下溢中断
- 位 0 **LIE**: 行中断使能 (Line Interrupt Enable)  
此位由软件置 1 和清零
  - 0: 禁止行中断
  - 1: 使能行中断



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

16.7.9 LTDC 中断状态寄存器 (LTDC\_ISR)

LTDC Interrupt Status Register

此寄存器返回中断状态标志

偏移地址: 0x38

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												RRIF	TERRIF	FUIF	LIF
												r	r	r	r

- 位 31:24 保留, 必须保持复位值
- 位 3 **RRIF**: 寄存器重载中断标志 (Register Reload Interrupt Flag)
- 0: 未产生寄存器重载中断
  - 1: 发生垂直消隐重载时 (以及到达有效区域后的第一行时) 产生寄存器重载中断
- 位 2 **TERRIF**: 传输错误中断标志 (Transfer Error interrupt flag)
- 0: 未产生传输错误中断
  - 1: 出现总线错误时产生传输错误中断
- 位 1 **FUIF**: FIFO 下溢中断标志 (FIFO Underrun Interrupt flag)
- 0: 未产生 FIFO 下溢中断
  - 1: 当其中一个层 FIFO 为空并从 FIFO 读取像素数据时, 将产生 FIFO 下溢中断
- 位 0 **LIF**: 行中断标志 (Line Interrupt flag)
- 0: 未产生行中断
  - 1: 到达编程的行时产生行中断



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

### 16.7.10 LTDC 中断清零寄存器 (LTDC\_ICR)

LTDC Interrupt Clear Register

偏移地址: 0x3C

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												CRRIF	CTERRIF	CFUIF	CLIF
												w	w	w	w

位 31:24 保留，必须保持复位值

位 3 **CRRIF**: 寄存器重载中断清零标志 (Clears Register Reload Interrupt Flag)

0: 无影响

1: 将 LTDC\_ISR 寄存器中的 RRIF 标志清零

位 2 **CTERRIF**: 传输错误中断清零标志 (Clears the Transfer Error Interrupt Flag)

0: 无影响

1: 将 LTDC\_ISR 寄存器中的 TERRIF 标志清零

位 1 **CFUIF**: FIFO 下溢中断清零标志 (Clears the FIFO Underrun Interrupt flag)

0: 无影响

1: 将 LTDC\_ISR 寄存器中的 FUDERRIF 标志清零

位 0 **CLIF**: 行中断清零标志 (Clears the Line Interrupt Flag)

0: 无影响

1: 将 LTDC\_ISR 寄存器中的 LIF 标志清零

**注:** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

### 16.7.11 LTDC 行中断位置配置寄存器 (LTDC\_LIPCR)

LTDC Line Interrupt Position Configuration Register

此寄存器定义行中断的位置。要编程的行值取决于时序参数。请参见图 82。

偏移地址: 0x40

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					LIPOS										
					rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:11 保留, 必须保持复位值

位 10:0 **LIPOS[10:0]**: 行中断位置 (Line Interrupt Position)  
这些位配置行中断位置

### 16.7.12 LTDC 当前位置状态寄存器 (LTDC\_CPSR)

LTDC Current Position Status Register

偏移地址: 0x44

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CXPOS															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYPOS															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

位 31:16 **CXPOS[15:0]**: 当前 X 位置 (Current X Position)  
这些位返回当前 X 位置

位 15:0 **CYPOS[15:0]**: 当前 Y 位置 (Current Y Position)  
这些位返回当前 Y 位置

### 16.7.13 LTDC 当前显示状态寄存器 (LTDC\_CDSR)

#### LTDC Current Display Status Register

此寄存器返回由 HSYNC、VSYNC 和水平/垂直 DE 信号控制的当前显示阶段的状态。

示例：如果当前显示阶段为垂直同步阶段，则 VSYNC 位置 1（高电平有效）。示例：如果当前显示阶段为水平同步阶段，则 HSYNC 位高电平有效。

偏移地址：0x48

复位值：0x0000 000F

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												HSYNC S	VSYNC S	HDES	VDES
												r	r	r	r

位 31:24 保留，必须保持复位值

位 3 **HSYNC**：水平同步显示状态 (Horizontal Synchronization display Status)

- 0：低电平有效
- 1：高电平有效

位 2 **VSYNC**：垂直同步显示状态 (Vertical Synchronization display Status)

- 0：低电平有效
- 1：高电平有效

位 1 **HDES**：水平数据使能显示状态 (Horizontal Data Enable display Status)

- 0：低电平有效
- 1：高电平有效

位 0 **VDES**：垂直数据使能显示状态 (Vertical Data Enable display Status)

- 0：低电平有效
- 1：高电平有效

注意：返回的状态不取决于 **LTDC\_GCR** 寄存器中配置的极性，而是返回当前的有效显示阶段。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 16.7.14 LTDC 第 x 层控制寄存器 (LTDC\_LxCR) (其中, x = 1..2)

LTDC Layerx Control Register

偏移地址:  $0x84 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1$  或  $2$

复位值:  $0x0000\ 0000$

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved											CLUTEN	Reserved		COLKEN	LEN
											rw			rw	rw

位 31:5 保留, 必须保持复位值

位 4 **CLUTEN**: 查色表使能 (Color Look-Up Table Enable)

此位由软件置 1 和清零。

- 0: 禁止查色表
- 1: 使能查色表

CLUT 仅对 L8、AL44 和 AL88 像素格式有意义。请参见第 482 页的查色表 (CLUT)。

位 3 保留, 必须保持复位值

位 2 保留, 必须保持复位值

位 1 **COLKEN**: 色键使能 (Color Keying Enable)

此位由软件置 1 和清零。

- 0: 禁止色键
- 1: 使能色键

位 0 **LEN**: 层使能 (Layer Enable)

此位由软件置 1 和清零。

- 0: 禁止层
- 1: 使能层

# 16.7.15 LTDC 第 x 层窗口水平位置配置寄存器 (LTDC\_LxWHPCR) (其中 x=1..2)

LTDC Layerx Window Horizontal Position Configuration Register

此寄存器定义第 1 层或第 2 层窗口的水平位置 (第一个和最后一个像素)。

一行的第一个可见像素是在 **LTDC\_BPCR** 寄存器中编程的 **AHBP[10:0] bits + 1** 的值。

一行的最后一个可见像素是在 **LTDC\_AWCR** 寄存器中编程的 **AAW[10:0] bits** 的值。此范围内的所有值均为允许值。

偏移地址:  $0x88 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1 \text{ 或 } 2$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved				WHSPPPOS											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				WHSTPOS											
				rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:28 保留, 必须保持复位值

位 27:16 **WHSPPPOS[11:0]**: 窗口水平停止位置 (Window Horizontal Stop Position)  
这些位配置层窗口的一行的最后一个可见像素。

位 15:12 保留, 必须保持复位值

位 11:0 **WHSTPOS[11:0]**: 窗口水平起始位置 (Window Horizontal Start Position)  
这些位配置层窗口的一行的第一个可见像素。

示例:

LTDC\_BPCR 寄存器配置为 0x000E0005 (AHBP[11:0] 为 0xE), LTDC\_AWCR 寄存器配置为 0x028E01E5 (AAW[11:0] 为 0x28E)。要配置大小为 630x460 的窗口的水平位置 (有效数据区域中的水平起始偏移为 5 个像素)。

1. 层窗口的第一个像素: WHSTPOS[11:0] 应编程为 0x14 (0xE+1+0x5)
2. 层窗口的最后一个像素: WHSPPOS[11:0] 应编程为 0x28A





### 16.7.16 LTDC 第 x 层窗口垂直位置配置寄存器 (LTDC\_LxWVPCR) (其中 x=1..2)

LTDC Layerx Window Vertical Position Configuration Register

此寄存器定义第 1 层或第 2 层窗口的垂直位置（第一行或最后一行）。

一个帧的第一个可见行是在 **LTDC\_BPCR** 寄存器中编程的 **AVBP[10:0] bits + 1** 的值。

一个帧的最后一个可见行是在 **LTDC\_AWCR** 寄存器中编程的 **AAH[10:0] bits** 的值。此范围内的所有值均为允许值。

偏移地址：0x8C + 0x80 x (第 x 层 - 1), x = 1 或 2

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved					WVSPPOS										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					WVSTPOS										
					rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31:27 保留，必须保持复位值

位 26:16 **WVSPPOS[10:0]**: 窗口垂直停止位置 (Window Vertical Stop Position)  
这些位配置层窗口的最后一个可见行。

位 15:11 保留，必须保持复位值

位 10:0 **WVSTPOS[10:0]**: 窗口垂直起始位置 (Window Vertical Start Position)  
这些位配置层窗口的第一个可见行。

示例：

LTDC\_BPCR 寄存器配置为 0x000E0005 (AVBP[10:0] 为 0x5)，LTDC\_AWCR 寄存器配置为 0x028E01E5 (AAH[10:0] 为 0x1E5)。要配置大小为 630x460 的窗口的垂直位置（有效数据区域中的垂直起始偏移为 8 行）：

1. 层窗口的第一行：WVSTPOS[10:0] 应编程为 0xE (0x5 + 1 + 0x8)
2. 层窗口的最后一行：WVSPPOS[10:0] 应编程为 0x1DA

### 16.7.17 LTDC 第 x 层色键配置寄存器 (LTDC\_LxCKCR) (其中 x=1..2)

LTDC Layerx Color Keying Configuration Register

此寄存器定义色键使用的色键值 (RGB)。

偏移地址:  $0x90 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1$  或  $2$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								CKRED							
								rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CKGREEN								CKBLUE							
rW								rW	rW	rW	rW	rW	rW	rW	rW

位 31:24 保留, 必须保持复位值

位 23:16 **CKRED[7:0]**: 色键红色值 (Color Key Red value)

位 15:8 **CKGREEN[7:0]**: 色键绿色值 (Color Key Green value)

位 7:0 **CKBLUE[7:0]**: 色键蓝色值 (Color Key Blue value)

### 16.7.18 LTDC 第 x 层像素格式配置寄存器 (LTDC\_LxPFCR) (其中 x=1..2)

LTDC Layerx Pixel Format Configuration Register

此寄存器定义层的帧缓冲区中存储的数据所使用的像素格式。像素数据从帧缓冲区读取, 随后转换为内部格式 8888 (ARGB)。

偏移地址:  $0x94 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1$  或  $2$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												pF			
												rW	rW	rW	rW



**注:** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

位 31:3 保留，必须保持复位值

位 2:0 **PF[2:0]**: 像素格式 (Pixel Format)

这些位配置像素格式

000: ARGB8888

001: RGB888

010: RGB565

011: ARGB1555

100: ARGB4444

101: L8 (8 位 Luminance)

110: AL44 (4 位 Alpha, 4 位 Luminance)

111: AL88 (8 位 Alpha, 8 位 Luminance)

### 16.7.19 LTDC 第 x 层恒定 Alpha 配置寄存器 (LTDC\_LxCACR) (其中 x=1..2)

LTDC Layerx Constant Alpha Configuration Register

此寄存器定义在 alpha 混合中使用的恒定 alpha 值 (由硬件实现 255 分频)。

请参见 LTDC\_LxBFCR 寄存器。

偏移地址:  $0x98 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1$  或  $2$

复位值: (第 x 层 - 1) 0x0000 00FF

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved								CONSTA							
								rW	rW	rW	rW	rW	rW	rW	rW

位 31:8 保留，必须保持复位值

位 7:0 **CONSTA[7:0]**: 恒定 Alpha (Constant Alpha)

这些位配置混合时使用的恒定 Alpha。恒定 Alpha 由硬件实现 255 分频。

示例: 如果编程的恒定 Alpha 为 0xFF, 则恒定 Alpha 值为  $255/255=1$

### 16.7.20 LTDC 第 x 层默认颜色配置寄存器 (LTDC\_LxDCCR) (其中 x=1..2)

LTDC Layerx Default Color Configuration Register

此寄存器定义采用 ARGB 格式的层的默认颜色。默认颜色在定义的层窗口外使用或在层禁止时使用。复位值 0x00000000 定义了透明黑色。

偏移地址: 0x9C + 0x80 x (第 x 层 - 1), x = 1 或 2

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DCALPHA								DCRED							
rw								rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCGREEN								DCBLUE							
rw								rw	rw	rw	rw	rw	rw	rw	rw

位 31:24 **DCALPHA[7:0]**: 默认颜色 Alpha (Default Color Alpha)

这些位配置默认 alpha 值

位 23:16 **DCRED[7:0]**: 默认颜色红色 (Default Color Red)

这些位配置默认红色值

位 15:8 **DCGREEN[7:0]**: 默认颜色绿色 (Default Color Green)

这些位配置默认绿色值

位 7:0 **DCBLUE[7:0]**: 默认颜色蓝色 (Default Color Blue)

这些位配置默认蓝色值

### 16.7.21 LTDC 第 x 层混合系数配置寄存器 (LTDC\_LxBFCCR) (其中 x=1..2)

LTDC Layerx Blending Factors Configuration Register

此寄存器定义混合系数 F1 和 F2。

通用混合公式为:  $BC = BF1 \times C + BF2 \times Cs$

- BC = 混合后的颜色
- BF1 = 混合系数 1
- C = 当前层颜色
- BF2 = 混合系数 2
- Cs = 底层混合后的颜色

偏移地址: 0xA0 + 0x80 x (第 x 层 - 1), x = 1 或 2

复位值: 0x0000 0607



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					BFB1			Reserved					BF2		
					rw	rw	rw						rw	rw	rw

位 31:11 保留，必须保持复位值

位 10:8 **BF1[2:0]**: 混合系数 1 (Blending Factor 1)

这些位选择混合系数 F1

- 000: 保留
- 001: 保留
- 010: 保留
- 011: 保留
- 100: 恒定 Alpha
- 101: 保留
- 110: 像素 Alpha x 恒定 Alpha
- 111: 保留

位 7:3 保留，必须保持复位值

位 2:0 **BF2[2:0]**: 混合系数 2 (Blending Factor 2)

这些位选择混合系数 F2

- 000: 保留
- 001: 保留
- 010: 保留
- 011: 保留
- 100: 保留
- 101: 1——恒定 Alpha
- 110: 保留
- 111: 1——（像素 Alpha x 恒定 Alpha）

**注意:** 恒定 Alpha 值是在寄存器中编程的值，由硬件实现 255 分频。

示例: 仅使能第 1 层，BF1 配置为恒定 Alpha

BF2 配置为 1——恒定 Alpha

恒定 Alpha: 在 LxCACR 寄存器中编程的恒定 Alpha 为 240 (0xF0)。因此，恒定 Alpha 值为  $240/255 = 0.94$

C: 当前层颜色为 128

Cs: 背景色为 48

第 1 层与背景色混合。

$$BC = \text{恒定 Alpha} \times C + (1 - \text{恒定 Alpha}) \times Cs = 0.94 \times 128 + (1 - 0.94) \times 48 = 123。$$

### 16.7.22 LTDC 第 x 层颜色帧缓冲区地址寄存器 (LTDC\_LxCFBAR) (其中 x=1..2)

LTDC Layerx Color Frame Buffer Address Register

此寄存器定义颜色帧缓冲区的起始地址，该地址必须指向帧缓冲区中存储的层的左上角像素的像素数据地址。

偏移地址：0xAC + 0x80 x (第 x 层 - 1)，x = 1 或 2

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CFBADD															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CFBADD															
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

位 31:0 **CFBADD[31:0]**: 颜色帧缓冲区起始地址 (Color Frame Buffer Start Address)  
这些位定义颜色帧缓冲区的起始地址。

### 16.7.23 LTDC 第 x 层颜色帧缓冲区长度寄存器 (LTDC\_LxCFBLR) (其中 x=1..2)

LTDC Layerx Color Frame Buffer Length Register

此寄存器定义颜色帧缓冲区的行长和行间距。

偏移地址：0xB0 + 0x80 (第 x 层 - 1)，x = 1 或 2

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved			CFBP												
			r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved			CFBLL												
			r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

位 31:29 保留，必须保持复位值。

位 28:16 **CFBP[17:0]**: 颜色帧缓冲区间距（以字节为单位）(Color Frame Buffer Pitch in bytes)  
这些位定义从像素某行的起始处到下一行的起始处的增量（以字节为单位）。

位 15:13 保留，必须保持复位值

位 12:0 **CFBLL[12:0]**: 颜色帧缓冲区行长 (Color Frame Buffer Line Length)  
这些位定义一行像素的长度（以字节为单位）+ 3。  
行长的计算方法为：有效宽度 x 每像素的字节数 + 3。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

示例:

- 采用 RGB565（每像素 2 个字节）格式且宽度为 256 像素的帧缓冲区（每行总字节数为  $256 \times 2 = 512$ ）需要向此寄存器写入值 0x02000203（其中，间距 = 行长）。
- 采用 RGB888（每像素 3 个字节）格式且宽度为 320 像素的帧缓冲区（每行总字节数为  $320 \times 3 = 960$ ）需要向此寄存器写入值 0x03C003C3（其中，间距 = 行长）。

### 16.7.24 LTDC 第 x 层颜色帧缓冲区行数寄存器 (LTDC\_LxCFBLNR)（其中 x=1..2）

LTDC Layerx ColorFrame Buffer Line Number Register

此寄存器定义颜色帧缓冲区中的行数。

偏移地址:  $0xB4 + 0x80 \times (\text{第 } x \text{ 层} - 1)$ ,  $x = 1$  或  $2$

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved					CFBLNBR										
					rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:11 保留，必须保持复位值

位 10:0 **CFBLNBR[10:0]**: 帧缓冲区行数 (Frame Buffer Line Number)  
 这些位定义帧缓冲区中高电平有效宽度对应的行数。

**注意:** 行数和行长设置定义针对每层从每个帧中获取的数据量。如果配置为低于所需字节，则会产生 **FIFO** 下溢中断（如果使能）。  
 另一方面，起始地址和间距设置定义存储器中每行的正确起始位置。

16.7.25 LTDC 第 x 层 CLUT 写寄存器 (LTDC\_LxCLUTWR)（其中 x=1..2）

LTDC Layerx CLUT Write Register

此寄存器定义 CLUT 地址和 RGB 值。

偏移地址：0xC4 + 0x80 x (第 x 层 - 1)，x = 1 或 2

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
CLUTADD								RED							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GREEN								BLUE							
W	W	W	W	W	W	W	W	W	W	W	W	W	W	W	W

- 位 31:24 **CLUTADD[7:0]**: CLUT 地址 (CLUT Address)  
这些位配置每个 RGB 值的 CLUT 地址（CLUT 内的颜色位置）
- 位 23:16 **RED[7:0]**: 红色值 (Red value)  
这些位配置红色值
- 位 15:8 **GREEN[7:0]**: 绿色值 (Green value)  
这些位配置绿色值
- 位 7:0 **BLUE[7:0]**: 蓝色值 (Blue value)  
这些位配置蓝色值

注意: CLUT 写寄存器只应在消隐周期内或在层禁止时配置。CLUT 可通过 LTDC\_LxCR 寄存器使能和禁止。

CLUT 仅对 L8、AL44 和 AL88 像素格式有意义。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。



## 16.7.26 LTDC 寄存器映射

下表对 LTDC 寄存器进行了汇总。有关 LTDC 寄存器的基本地址，请参见寄存器边界地址表。

表 91. LTDC 寄存器映射和复位值

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0					
0x0008	LTDC_SSCR	Reserved				HSW												Reserved				VSH																
	Reset value					0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
0x000C	LTDC_BPCR	Reserved				AHBP												Reserved				AVBP																
	Reset value					0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
0x0010	LTDC_AWCR	Reserved				AAV												Reserved				AAH																
	Reset value					0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
0x0014	LTDC_TWCR	Reserved				TOTALW												Reserved				TOTALH																
	Reset value					0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																
0x0018	LTDC_GCR	HSPOL	VSPOL	DEPOL	PCPOL	Reserve												DEN	Reserved	DRW		Reserved	DGW		Reserved	DBW		Reserved	Reserved		Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved
	Reset value	0	0	0	0													0	Reserved	0 1 0	Reserved	0 1 0	Reserved	0 1 0	Reserved	0 1 0	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	Reserved	
0x0024	LTDC_SRCR	Reserved																												VBR		IMR						
	Reset value																													0	0	0	0					
0x002C	LTDC_BCCR	Reserved				BC																																
	Reset value					0 0																																
0x0034	LTDC_IER	Reserved																												cRRIF	cRRIE	cTERRIF	cTERRIE					
	Reset value																													0	0	0	0					
0x0038	LTDC_ISR	Reserved																												cRRIF	cTERRIF	cFUIF	cLIF					
	Reset value																													0	0	0	0					
0x003C	LTDC_ICR	Reserved																												cCRRIF	cCTERRIF	cCFUIF	cCLIF					
	Reset value																													0	0	0	0					
0x0040	LTDC_LIPCR	Reserved																			LIPOS																	
	Reset value																				0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																	
0x0044	LTDC_CPSR	CXPOS												CYPOS																								
	Reset value	0 0 0 0 0 0 0 0 0 0 0 0												0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																								
0x0048	LTDC_CDSR	Reserved																												HSYNCS		VSYNCS						
	Reset value																													0	0	0	0					
0x0084	LTDC_L1CR	Reserved																												cCLUTEN	Reserved	cCOLKEN	LEN					
	Reset value																													0	Reserved	0	0					
0x0088	LTDC_L1WHPCR	Reserved				WHSPPOS												Reserved				WHSTPOS																
	Reset value					0 0 0 0 0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																

表 91. LTDC 寄存器映射和复位值 (续)

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0x008C	LTDC_L1WVPCR	Reserved				WVSPPOS								Reserved								WVSTPOS													
	Reset value					0 0 0 0 0 0 0 0																0 0 0 0 0 0 0 0													
0x0090	LTDC_L1CKCR	Reserved									CKRED								CKGREEN					CKBLUE											
	Reset value	0									0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0094	LTDC_L1PFCR	Reserved																												pF					
	Reset value	0 0 0 0																																	
0x0098	LTDC_L1CACR	Reserved																								CONSTA									
	Reset value																									1 1 1 1 1 1 1 1									
0x009C	LTDC_L1DCCR	DCALPHA								DCRED								DCGREEN								DCBLUE									
	Reset value	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0									
0x00A0	LTDC_L1BFCR	Reserved																				BF1				Reserved				BF2					
	Reset value																					1 1 1 0								1 1 1 1					
0x00AC	LTDC_L1CFBAR	CFBADD																																	
	Reset value	0 0																																	
0x00B0	LTDC_L1CFBLR	Reserved	CFBP								Reserved								CFBLL																
	Reset value		0 0 0 0 0 0 0 0								0								0 0 0 0 0 0 0 0								0								
0x00B4	LTDC_L1CFBLNR	Reserved																				CFBLNBR													
	Reset value																					0 0 0 0				0 0 0 0 0 0 0 0									
0x00C4	LTDC_L1CLUTWR	CLUTADD								RED								GREEN								BLUE									
	Reset value	0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0									
0x0104	LTDC_L2CR	Reserved																												CLUTEN	Reserved	COLKEN	LEN		
	Reset value																													0		0	0		
0x0108	LTDC_L2WHPCR	Reserved	WHSPPOS								Reserved								WHSTPOS																
	Reset value		0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								
0x010C	LTDC_L2WVPCR	Reserved	WVSPPOS								Reserved								WVSTPOS																
	Reset value		0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								
0x0110	LTDC_L2CKCR	Reserved									CKRED								CKGREEN								CKBLUE								
	Reset value										0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								0 0 0 0 0 0 0 0								

表 91. LTDC 寄存器映射和复位值 (续)

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x0114	LTDC_L2PFCR	Reserved																														pF		
	Reset value																															0	0	0
0x0118	LTDC_L2CACR	Reserved																							CONSTA									
	Reset value																								1	1	1	1	1	1	1	1	1	
0x011C	LTDC_L2DCCR	DCALPHA				DCRED				DCGREEN				DCBLUE																				
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0120	LTDC_L2BFCR	Reserved																				BF1			Reserved			BF2						
	Reset value																					1	1	0				1	1	1				
0x012C	LTDC_L2CFBAR	Reserved																																
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
0x0130	LTDC_L2CFBLR	Reserved				CFBP				Reserved				CFBLL																				
	Reset value					0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0x0134	LTDC_L2CFBLNR	Reserved																				CFBLNBR												
	Reset value																					0	0	0	0	0	0	0	0	0	0	0	0	0
0x0144	LTDC_L2CLUTWR	CLUTADD				RED				GREEN				BLUE																				
	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

## 29 串行音频接口 (SAI)

本章适用于 STM32F42xxx 和 STM32F43xxx 系列。

### 29.1 简介

SAI 接口（串行音频接口）灵活性高、配置多样，可支持多种音频协议。该接口适用于许多立体声或单声道应用。例如，它可配置为支持 I2S 标准、LSB 或 MSB 对齐、PCM/DSP、TDM 和 AC'97 等协议。

SAI 通过两个完全独立的音频子模块来实现这种灵活性与可配置性。每个音频子模块与多达 4 个引脚（SD、SCK、FS 和 MCLK）相连。如果将两个子模块声明为同步模块，则其中一些引脚可以共用，从而可释放一些引脚用作通用 I/O。MCLK 引脚是否用作输出引脚取决于实际应用和解码的要求以及音频模块是否配置为主模块。

SAI 可以配置为主模式或配置为从模式。音频子模块既可作为接收器，又可作为发送器；既可与另一模块同步，又可以不同步。



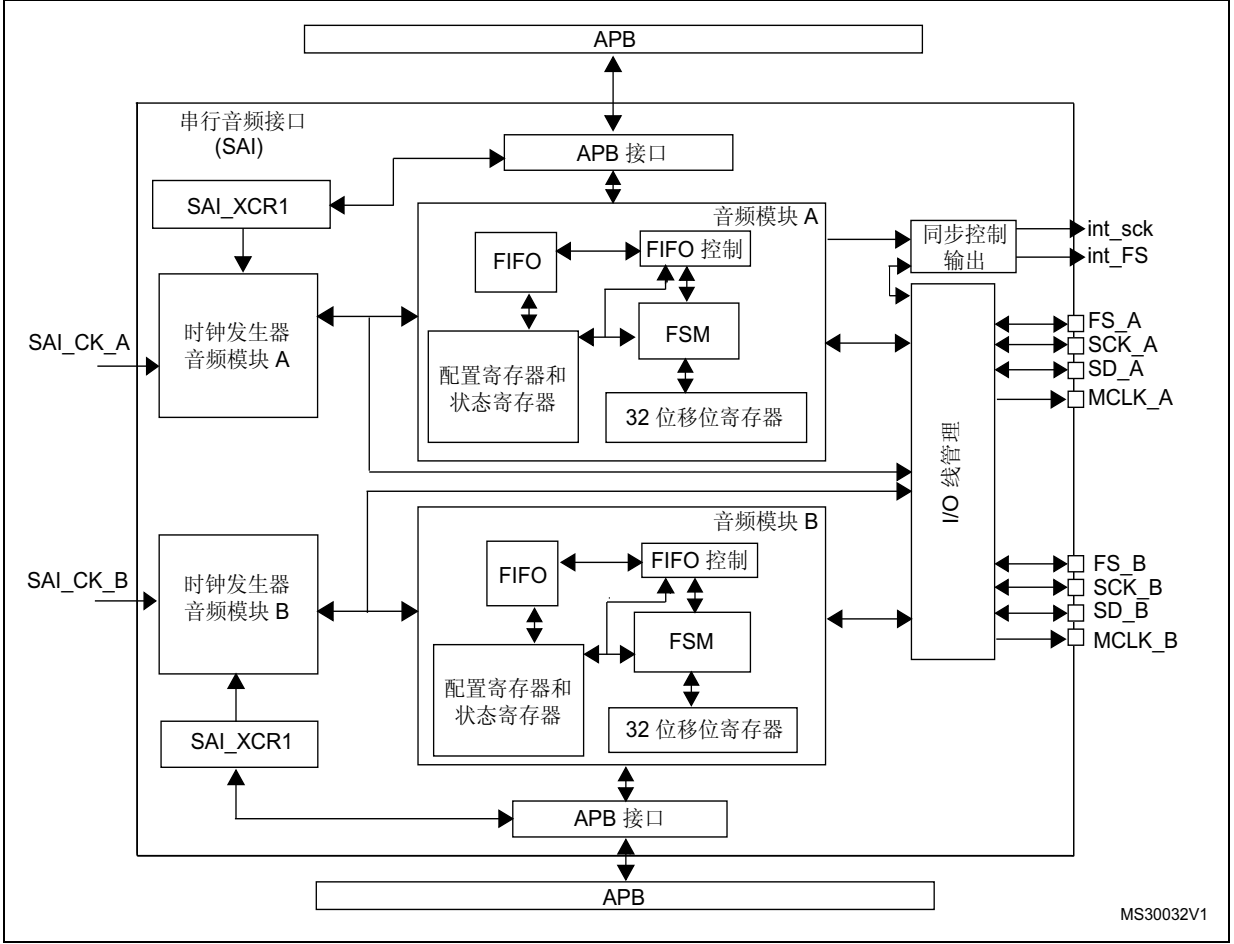
## 29.2 主要特性

- 具有两个独立的音频子模块，子模块既可作为接收器，也可作为发送器，并带有自身的 FIFO。
- 每个音频子模块集成多达 8 个字，每个字 32 位的 FIFO。
- 两个音频子模块间可以是同步或异步模式。
- 两个音频子模块的主/从配置相互独立。
- 当两个音频子模块都配置为以主模式工作时，每个子模块的时钟发生器采用独立的音频采样频率。
- 数据大小可配置：8 位、10 位、16 位、20 位、24 位或 32 位。
- 外设的可配置性和灵活性高，支持以下音频协议：I2S、LSB 或 MSB 对齐、PCM/DSP、TDM 和 AC'97
- 高达 16 个大小可配置的 Slot，可选择音频帧中的哪些 Slot 有效。
- 每帧的位数可配置。
- 帧同步有效电平可配置（偏移、位长、电平）。
- 可配置 Slot 中第一个有效位的位置。
- 支持 LSB 或 MSB 数据传输。
- 支持静音模式。
- 具有立体声/单声道音频帧功能。
- 通信时钟选通边沿可配置 (SCK)。
- 错误标志对应相应中断（分别使能时）。
  - 上溢和下溢检测
  - 从模式下的帧同步信号提前检测
  - 从模式下的帧同步信号滞后检测
  - 接收时编码解码器未针对 AC'97 模式就绪
- 支持如下中断源（使能时）：
  - 错误
  - FIFO 请求
- DMA 接口有 2 个专用通道，用于处理对每个 SAI 音频子模块的专用集成 FIFO 的访问。

# 29.3 功能框图

SAI 的框图如 图 283 所示。

图 283. 功能框图



SAI 主要由两个各自带有时钟发生器的音频子模块组成。每个音频模块集成一个 32 位移位寄存器，该寄存器由模块自身的功能状态机控制。数据的存储和读取都是通过专用的 FIFO 来完成。FIFO 可通过 CPU 访问，也可通过 DMA 访问以减轻 CPU 的通信负担。每个音频模块是独立的。这两个音频子模块可彼此同步。

I/O 线控制器管理 SAI 中音频模块的各个专用引脚。如果两个模块同步，控制器将减少所使用 I/O 的数量，即释放 FS 引脚、SCK 引脚以及 MCLK 引脚，使它们作为通用 I/O。

可配置功能状态机来处理多种音频协议。一些寄存器用于设置所需协议（音频帧波形发生器）。

音频模块在主模式或从模式下均可用作发送器或接收器。主模式意味着从 SAI 生成位时钟 SCK 和帧同步信号，而从模式则意味着位时钟 SCK 和帧同步信号来自外部或内部主器件。在特殊情况下，FS 信号方向与主模式或从模式定义不直接相关。在 AC'97 协议中，即使 SAI（链接控制器）设置为消耗 SCK 时钟，FS 信号也会是 SAI 输出（从模式下也是如此）。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

## 29.4 SAI 的主要模式

SAI 的每个音频子模块均可通过所选音频模块的 SAI\_xCR1 寄存器中的 MODE[0] 位配置为主模式或从模式。

在主模式下：

- SAI 使用时钟发生器在引脚 SCK\_A 或 SCK\_B（取决于具体哪个音频模块声明为 SAI 中的主模块）上产生位时钟。
- 专用引脚 SCK\_x 被视为输出引脚。

在从模式下：

- 必须在使能主模式前使能从模式。
- 从音频模块若配置为在异步模式下工作，则其 SCK 时钟 I/O 引脚被视为输入引脚。
- 如果音频模块声明为与 SAI 中的第二个音频模块同步，则其 SCK I/O 引脚将用作通用 I/O，并从内部连接到将与其同步的器件的 SCK 引脚。

每个音频子模块均可通过相应 SAI\_xCR1 寄存器中的 MODE[1] 位独立定义为发送器或接收器。I/O 引脚 SD 将分别定义为输出或输入。

可以在同一 SAI 中声明两个主音频模块，二者具有两种不同的 MCLK 和 SCK 时钟频率（但必须将两个模块声明为异步）。

SAI 中的每个音频模块均通过 SAI\_xCR1 寄存器中的 SAIxEN 位使能。在从模式下，此位一经激活，发送器或接收器便会对时钟线、数据线和同步线上的活动敏感。

在主 TX 模式下，即使 FIFO 中没有数据，使能音频模块也会立即为外部从模块产生位时钟，但 FS 信号的产生受 FIFO 中是否存在数据的控制。FIFO 接收到要发送的第一个数据后，此数据将输出到外部从模块。如果 FIFO 中没有要发送的数据，则随后将在音频帧中传送值 0，并会产生一个下溢标志。

在从模式下，使能音频模块时和检测到帧起始位时开始音频帧。

在从 TX 模式下，使能音频模块后的第一个帧上不可能出现下溢事件，因为此时的强制操作顺序如下：

1. 通过软件或 DMA 写入 SAI\_xDR。
2. 等待至 FIFO 阈值 (FLH) 标志与 000b（FIFO 为空）不同。
3. 使能音频模块为从发送模式。

## 29.5 SAI 同步模式

### 内部同步

音频模块可声明为与第二个音频模块同步。在这种情况下，将共用位时钟和帧同步信号，以减少通信时占用外部引脚的数量。声明为与另一个模块同步的音频模块将释放其 SCK\_x、FS\_x 和 MCLK\_x 引脚以用作 GPIO。声明为异步的模块将使用其 I/O 引脚 FS\_x、SCK\_x 和 MCLK\_x（如果该音频模块被视为主模块）。

通常，音频模块同步模式可用于在全双工模式下配置 SAI。两个音频模块的其中一个可配置为主模块，另一个为从模块；也可将二个均配置为从模块；一个模块声明为异步（SAI\_xCR1 中的相应位 SYNCEN[1:0] = 00），另一个声明为同步（SAI\_xCR1 中的相应位 SYNCEN[1:0] = 01）。

**注意：** 由于存在内部重新同步阶段，APB 频率 PCLK 必须大于或等于比特率时钟频率的二倍。

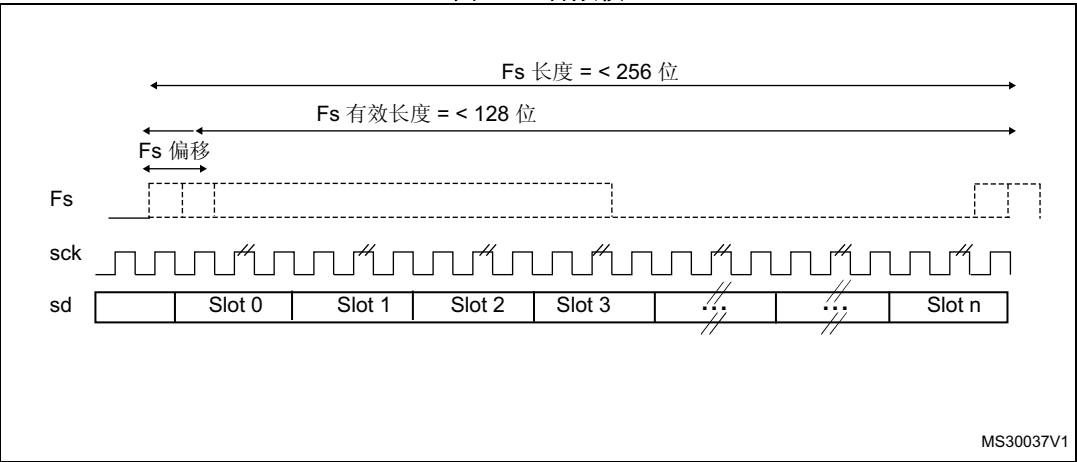
## 29.6 音频数据大小

通过配置 SAI\_xCR1 寄存器中的 DS[2:0] 位，配置音频帧的数据大小。数据大小可以是 8 位、10 位、16 位、20 位、24 位或 32 位。在传输期间，将首先发送数据的 MSB 或 LSB，具体取决于 SAI\_xCR1 寄存器中的 LSBFIRST 位的配置。

## 29.7 帧同步

FS 信号用作音频帧中的帧同步信号 (SOF)。此信号的波形完全可配置，以在帧同步时，支持各种具有特殊规格的音频协议。这一可配置性通过寄存器 SAI\_xFRCR 来实现。图 284 部分描述这种灵活性。

图 284. 音频帧



在 AC'97 模式下（SAI\_xCR1 寄存器中的位 PRTCFG[1:0] = 10），帧同步信号的波形被强制配置为支持这些协议。SAI\_xFRCR 寄存器值被忽略。

每个音频模块相互独立，因此均需要特定的配置。



### 29.7.1 帧长度

- 主模式：将 SAI\_xFRCR 寄存器中的位 FRL[7:0] 置 1，可将音频帧的长度配置为最长 256 个位时钟。如果帧长度大于为该帧声明的 Slot 数，则要发送的剩余位将用 0 填充，或者 SD 线将释放为高阻态，具体取决于 SAI\_xCR2 寄存器中的位 TRIS 的状态（见第 29.12.4 节）。在接收模式下，剩余位被忽略。
- 从模式：音频帧的长度主要用于指定由外部主模块向从模块发送的每个音频帧的位时钟数量。它主要用于从主模块中检测音频帧传输期间出现的提前或滞后帧同步信号。在这种情况下会产生错误。更多详细信息，请参见第 29.13 节。

帧中的位数等于  $FRL[7:0] + 1$ 。

音频帧中要传输的最小位数为 8。此时数据大小为 8 位且在 SAI\_xSLOTR 寄存器的 NBSLOT[3:0] 中只定义了一个 Slot（对于 Slot 0，NBSLOT[3:0] = 0000）。

在主模式下：

- 如果 SAI\_xCR 寄存器中的 NODIV 位清零，则帧长度应为 8 到 256 之间的一个等于 2 的 n 次幂的数。这是为了确保音频帧的每个位时钟包含整数个 MCLK 脉冲，这样可确保解码器内的外部 DAC/ADC 正确工作。如果 FRL[7:0] 中设置的值不遵循此规则，则会在音频模块使能时将 WCKCFG 标志置 1，并且会在 SAI\_xIM 寄存器中的 WCKCFGIE 位置 1 时产生中断。SAI 自动禁止。
- 如果 SAI\_xCR1 寄存器中的 NODIV 位置 1，则由于音频模块的输入时钟应等于位时钟，FRL[7:0] 位可能为任何值，而不受约束。不存在可输出的 MCLK\_x 时钟。MCLK\_x 输出自动禁止。

在从模式下，SAI\_xFRCR 寄存器中的 FRL[7:0] 位的配置不受任何限制。

### 29.7.2 帧同步极性

SAI\_xFRCR 寄存器中的 FSPOL 位用于设置 FS 引脚的有效极性，通过该极性来启动帧。SOF 信号对边沿敏感。

在从模式下，音频模块等待一个有效帧来启动发送或接收。SOF 信号与此信号同步。只有通信期间未检测到 SOF 信号并且 SOF 信号与预期 SOF 信号相同时，帧同步极性才有效（见第 29.13 节）。

在主模式下，每次音频帧完成时均会发送帧同步信号，直至 SAI\_xCR1 寄存器中的 SAIxEN 位清零。如果前一个帧结束时 FIFO 中不存在数据，则将按照第 29.13 节所述管理下溢条件，但音频通信流中不会出现中断。

### 29.7.3 帧同步有效电平长度

SAI\_xFRCR 寄存器中的 FSALL[6:0] 位用于配置帧同步信号的有效电平的长度。该长度可设置为 1 到 128 个位时钟 SCK。

有效长度在 I2S、LSB 或 MSB 对齐模式下时为帧长的一半，在 PCM/DSP 或 TDM 模式下时为 1 位，而在 AC'97 模式下时甚至为 16 位。

### 29.7.4 帧同步偏移

基于应用中支持的音频协议（例如 I2S 标准协议和 MSB 对齐协议），可以在发送音频帧的最后一位或第一位时将帧同步信号置为有效。通过 SAI\_xFRCR 寄存器中的 FSOFF 位进行配置。

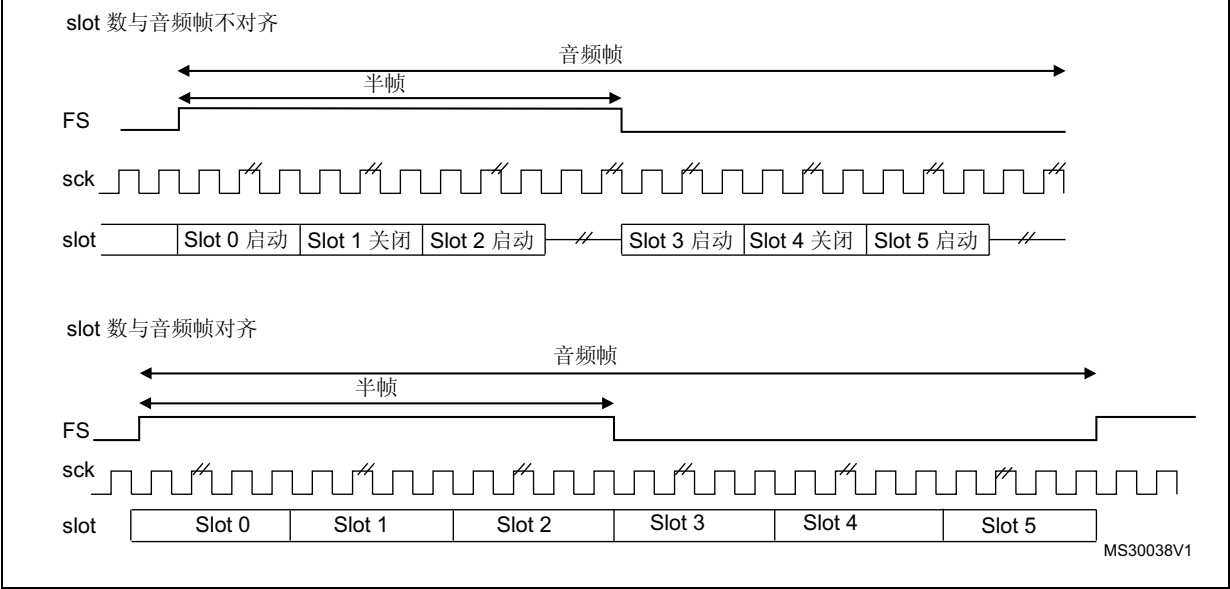
### 29.7.5 FS 信号的作用

FS 信号可以有不同的含义，具体取决于 FS 的功能。SAI\_xFRCR 寄存器中的 FSDEF 位用于选择 FS 信号的含义。该位可以为以下值：

- 0: SOF 信号，例如 PCM/DSP、TDM、AC'97 和音频协议，
- 1: 音频帧内的 SOF 信号和通道识别信号，例如 I2S、MSB 或 LSB 对齐协议。

当 FS 信号被视为帧内的 SOF 信号和通道识别信号时，声明的 Slot 数必须是一半用于左通道，一半用于右通道。如果半个音频帧上的位时钟数大于某个通道的专用 Slot 数，若 TRIS = 0，则 SAI\_xCR2 寄存器中的剩余位时钟将发送 0，否则若 TRIS = 1，SD 线将释放为高阻态。接收时，直到通道发生变化，才会考虑剩余位时钟。

图 285. FS 的作用是 SOF 信号 + 通道识别信号 (FSDEF = TRIS = 1)

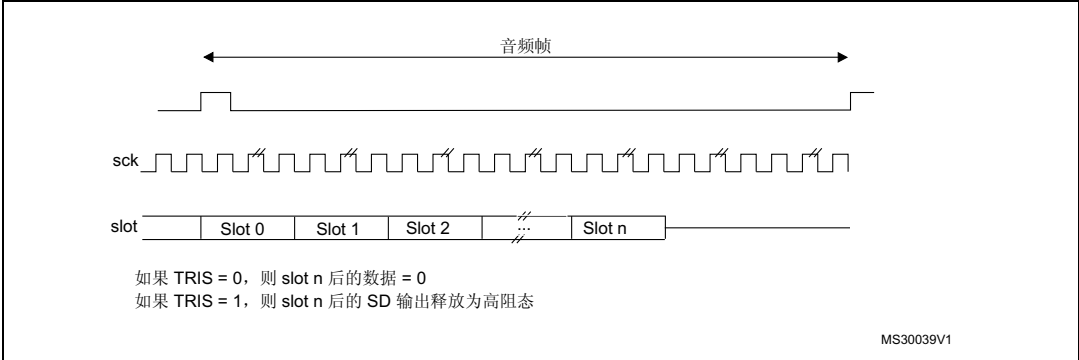


1. 帧长度应为偶数。

如果 SAI\_xFRCR 中的 FSDEF 位保持清零状态，则 FS 信号等效于 SOF 信号，如果 SAI\_xSLOTR 中的 NBSLOT[3:0] 位定义的 Slot 数乘以 SAI\_xSLOTR 中的 SLOTSZ[1:0] 位配置的 Slot 位数所得的结果小于帧大小 (SAI\_xFRCR 寄存器中的 FRL[7:0] 位)，则：

- 如果 SAI\_xCR2 寄存器中的 TRIS = 0，则最后一个 Slot 后的剩余位将强制为 0，直至帧传输结束；
- 如果 TRIS = 1，则传输这些剩余位时，数据线将释放为高阻态。在接收模式下，这些位被丢弃。

图 286. FS 的作用是帧起始信号 (FSDEF = 0)



29.8 Slot 配置

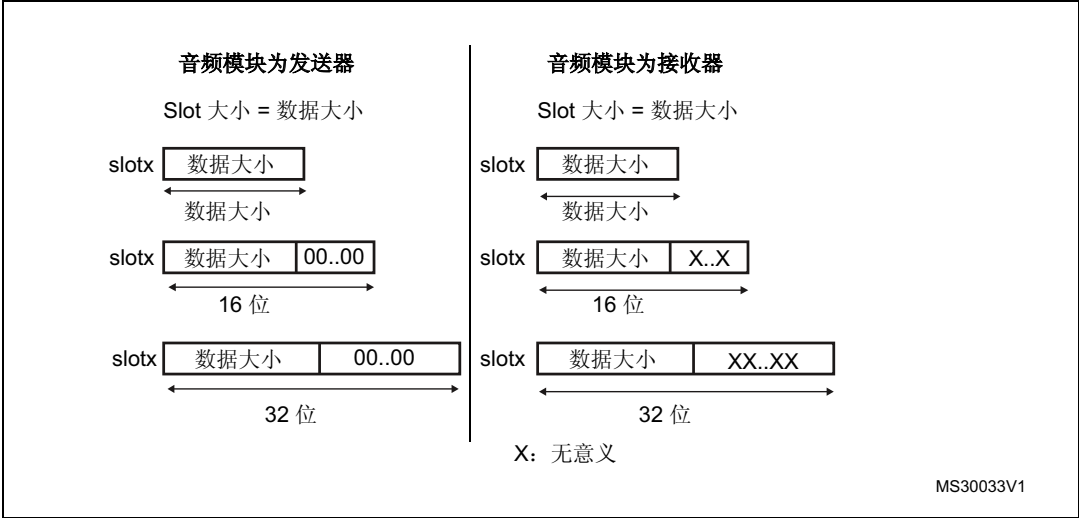
Slot 是音频帧中的基本元素。音频帧中的 Slot 数等于为 SAI\_xSLOTR 寄存器中的 NBSLOT[3:0] 位配置的设置 + 1。  
每个音频帧的最大 Slot 数固定为 16。

对于 AC'97 协议（位 PRTCFG[1:0] = 10 时），Slot 数自动按照协议规范设置，NBSLOT[3:0] 的值被忽略。

通过设置 SAI\_xSLOTR 寄存器中的 SLOTEN[15:0] 位，可将各个 Slot 定义为有效 Slot 或无效 Slot。在音频帧中，传输一个无效 Slot 时，如果音频模块为发送器，数据线上将强制 0 值或 SD 数据线将释放为高阻态（见第 29.12.4 节），或者从此 Slot 结束后接收到的数据被忽略。结果，不会有 FIFO 访问，也不会有与此无效 Slot 状态相关的 FIFO 读/写请求。

Slot 大小也可配置，如图 287 所示。通过将 SAI\_xSLOTR 寄存器中的 SLOTSZ[1:0] 位置 1 来选择 Slot 大小。该大小适用于音频帧中的每个 Slot。

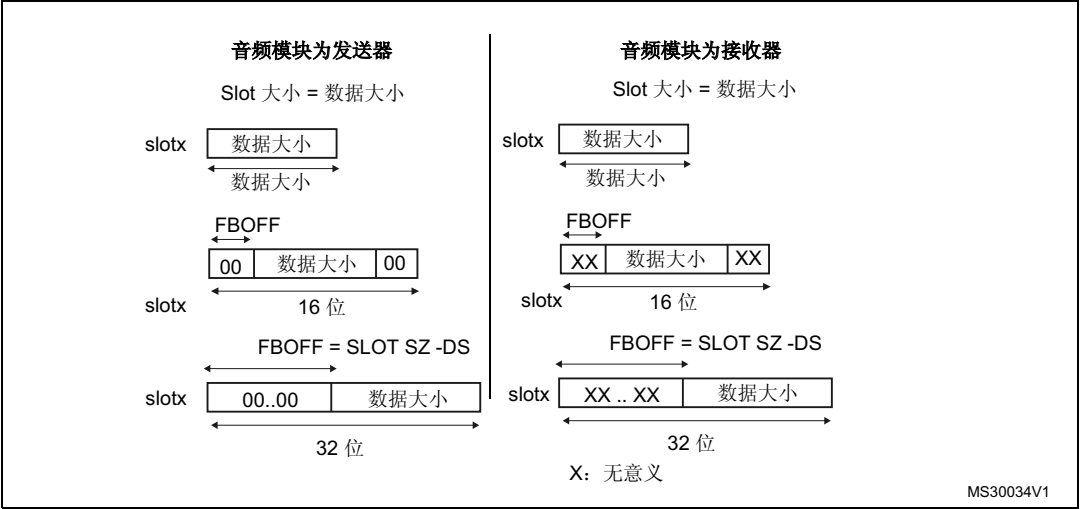
图 287. SAI\_xSLOTR 中的 FBOFF = 0 时的 Slot 大小配置



可以选择 Slot 内要传输的第一个数据位的位置，此偏移通过 SAI\_xSLOTR 寄存器中的 FBOFF[5:0] 位进行配置。在发送模式下，将从 Slot 开始时注入 0 值，直至到达此偏移位置。接收时，偏移阶段中的位被忽略。此特性适用于 LSB 对齐协议（如果偏移等于 Slot 大小减去数据大小）。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 288. 第一位偏移



为了避免出现故障 SAI 行为，必须遵循以下条件：

- $FBOFF \leq (SLOTSZ - DS)$ ,
- $DS \leq SLOTSZ$ ,
- $NBSLOT \times SLOTSZ \leq FRL$  (帧长度) ,

SAI\_xFRCR 寄存器中的 FSDEF 位置 1 时，Slot 数应为偶数。

在 AC'97 (位 PRTCFG[1:0] = 10) 中，Slot 大小按照第 29.11 节中的定义自动设置。

## 29.9 SAI 时钟发生器

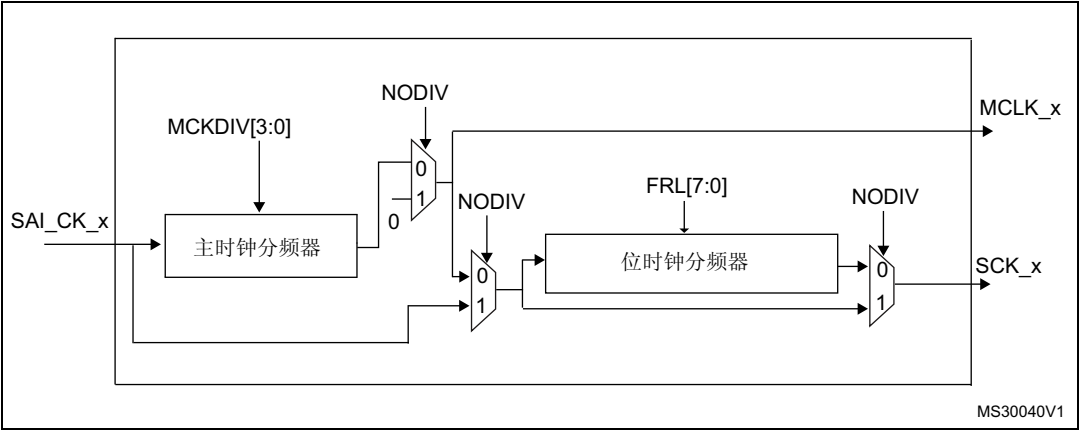
每个音频模块都有自己的时钟发生器，旨在使这两个模块完全独立。这两个时钟发生器的功能没有任何区别。它们完全一样。

当音频模块定义为主模块时，时钟发生器将产生通信时钟（位时钟）以及用于外部解码器的主时钟。

当音频模块定义为从模块时，时钟发生器将关闭。

图 289 给出了音频模块时钟发生器的架构。

图 289. 音频模块时钟发生器概览



注意：当 NoDiv 置 1 时，如果 MCLK\_x 引脚配置为 GPIO 外设中的 SAI 引脚，则其信号电平将置 0。

时钟发生器的时钟源来自乘积时钟控制器。SAI\_CK\_x 时钟等效于主时钟，可通过 MCKDIV[3:0] 位为外部解码器分频：

- 如果 MCKDIV[3:0] 不等于 0000，则  $MCLK_x = SAI\_CK\_x / (MCKDIV[3:0] * 2)$
- 如果 MCKDIV[3:0] 等于 0000，则  $MCLK_x = SAI\_CK_x$
- MCLK\_x 信号仅在 TDM 中使用。

分频必须均匀，使 MCLK 输出上和 SCK\_x 时钟上都保持 50% 的占空比。如果位 MCKDIV[3:0] = 0000，采用一分频可使  $MCLK_x = SAI\_CK_x$ 。

在 SAI 中，使用单一比率  $MCLK/FS = 256$ 。大多数情况下，将遇到三个频率范围，如表 129 所示。

表 129. 可能的音频采样范围示例

输入 SAI_CK_x 时钟频率	可获得的常见音频采样频率	MCKDIV[3:0]
192 kHz x 256	192 kHz	MCKDIV[3:0] = 0000
	96 kHz	MCKDIV[3:0] = 0001
	48 kHz	MCKDIV[3:0] = 0010
	16 kHz	MCKDIV[3:0] = 0100
	8 kHz	MCKDIV[3:0] = 1000
44.1 kHz x 256	44.1 kHz	MCKDIV[3:0] = 0000
	22.05 kHz	MCKDIV[3:0] = 0001
	11.025 kHz	MCKDIV[3:0] = 0010
SAI_CK_x = MCLK <sup>(1)</sup>	MCLK	MCKDIV[3:0] = 0000

1. 当乘积时钟控制器选择一个外部时钟源而非 PLL 时钟时，会出现这种情况。

如果相应音频模块声明为主模块且 SAI\_xCR1 寄存器中的位 NODIV = 0，可通过 I/O 口为外部解码器生成主时钟。在从模式下，由于时钟发生器关闭，将忽略这最后一位中设置的值，且 MCLK\_x I/O 引脚留作通用 I/O 使用。

位时钟通过主时钟导出。位时钟分频器按照以下公式设置位时钟 SCK\_x 和主时钟 MCLK\_x 间的分频系数：

$$SCK_x = MCLK \times (FRL[7:0] + 1) / 256$$

其中：

- 256 是 MCLK 和音频采样频率之间的固定比率。
- FRL[7:0] 是音频帧中的位时钟 - 1，在 SAI\_xFRCR 寄存器中配置。

主模式下，(FRL[7:0] + 1) 必须等于 2 个 n 次幂（见第 29.7 节），以使位时钟产生偶数个完整的 MCLK\_x 脉冲。位时钟 SCK\_x 上将保证 50% 的占空比。

SAI\_CK\_x 时钟还可等于位时钟频率。在这种情况下，SAI\_xCR1 寄存器中的 NODIV 位应置 1，MCKDIV 分频器内的值以及位时钟分频器内的值将被忽略。此时，每个帧的位数完全可配置，而无需等于 2 的几次幂。

SCK 上的位时钟选通边沿可通过 SAI\_xCR1 寄存器中的 CKSTR 位配置。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

## 29.10 内部 FIFO

SAI 中的每个音频模块都有自己的 FIFO。根据模块是定义为发送器还是接收器，将相应的读取或写入其 FIFO。因此只存在一个 FIFO 请求与 SAI\_xSR 寄存器中的 FREQ 位相关。

如果 SAI\_xIM 寄存器中的 FREQIE 位使能，将产生中断。这取决于：

- FIFO 阈值设置 (SAI\_CR2 中的 FLTH 位)
- 通信方向为发送器还是接收器 (见 [在发送模式下产生中断](#) 一节和 [在接收模式下产生中断](#) 一节)

### 在发送模式下产生中断

根据发送模式下的 FIFO 配置产生中断：

- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 为空时 (FTH[2:0] 置为 000b)，如果寄存器中没有数据 (SAI\_xSR 中的 FLTH[2:0] 位小于 001b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当 FIFO 变为非空时 (SAI\_xSR 中的 FLTH[2:0] 位不是 000b)，即 FIFO 中存储一个或多个数据时，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 四分之一满时 (FTH[2:0] 置为 001b)，如果不到四分之一的 FIFO 包含数据 (SAI\_xSR 中的 FLTH[2:0] 位小于 010b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当至少四分之一的 FIFO 包含数据时 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 010b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 半满时 (FTH[2:0] 置为 010b)，如果不到一半的 FIFO 包含数据 (SAI\_xSR 中的 FLTH[2:0] 位小于 011b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当至少一半的 FIFO 包含数据时 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 011b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 四分之三满时 (FTH[2:0] 置为 011b)，如果不到四分之三的 FIFO 包含数据 (SAI\_xSR 中的 FLTH[2:0] 位小于 100b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当至少四分之三的 FIFO 包含数据时 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 100b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 为满时 (FTH[2:0] 置为 100b)，如果 FIFO 不满 (SAI\_xSR 中的 FLTH[2:0] 位小于 101b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当 FIFO 已满时 (SAI\_xSR 中的 FLTH[2:0] 位等于值 101b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。

### 在接收模式下产生中断

根据接收模式下的 FIFO 配置产生中断：

- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 为空时 (FTH[2:0] 置为 000b)，如果 SAI\_xDR 寄存器中至少有一个数据 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 001b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当 FIFO 变为空时 (SAI\_xSR 中的 FLTH[2:0] 位等于 000b)，即 FIFO 中未存储数据时，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 四分之一满时 (FTH[2:0] 置为 001b)，如果至少有四分之一的 FIFO 数据单元可用 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 010b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当不到四分之一的 FIFO 数据单元可用时 (SAI\_xSR 中的 FLTH[2:0] 位小于 010b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。





- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 半满时 (FTH[2:0] 置为 010b)，如果至少有一半的 FIFO 数据单元可用 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 011b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当不到一半的 FIFO 数据单元可用时 (SAI\_xSR 中的 FLTH[2:0] 位小于 011b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 四分之三满时 (FTH[2:0] 置为 011b)，如果至少有四分之三的 FIFO 数据单元可用 (SAI\_xSR 中的 FLTH[2:0] 位大于或等于 100b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当不到四分之三的 FIFO 数据单元可用时 (SAI\_xSR 中的 FLTH[2:0] 位小于 100b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。
- 当 SAI\_XCR2 寄存器中的 FIFO 阈值位配置为 FIFO 满时 (FTH[2:0] 置为 100b)，如果 FIFO 已满 (SAI\_xSR 中的 FLTH[2:0] 位等于 101b)，将产生中断 (SAI\_XSR 寄存器中的 FREQ 位由硬件置 1)。当 FIFO 不满时 (SAI\_xSR 中的 FLTH[2:0] 位小于 101b)，此中断 (SAI\_XSR 寄存器中的 FREQ 位) 由硬件清零。

与中断的产生类似，如果 SAI\_xCR1 寄存器中的 DMAEN 位置 1，则 SAI 可使用 DMA。FREQ 位的有效机制与上述 FREQIE 的中断产生机制相同。

每个 FIFO 均是一个 8 字 FIFO。无论访问大小为何，每次对 FIFO 进行读写时，均针对 1 个字的 FIFO 单元进行操作。每个 FIFO 字包含一个音频帧。每次访问 SAI\_xDR 寄存器后，FIFO 指针递增一个字。

数据应以右对齐方式写入 SAI\_xDR。

接收到的数据将以右对齐方式存储到 SAI\_xDR。

将 SAI\_xCR2 寄存器中的 FFLUSH 位置 1 禁止 SAI 后，可重新初始化 FIFO 指针。如果 FFLUSH 在 SAI 使能情况下置 1，则 FIFO 中的数据将自动丢失。

# 29.11 AC'97 链路控制器

SAI 可用作 AC'97 链路控制器。在此协议中：

- Slot 数和 Slot 大小固定。
- 帧同步信号定义完善并且波形固定。

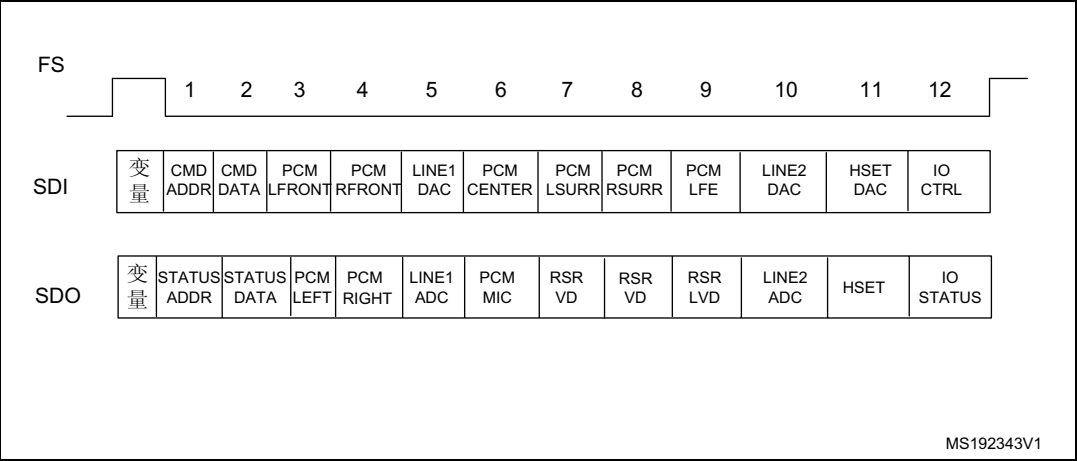
要选择此协议，可将 SAI\_xCR1 寄存器中的 PRTCFCFG[1:0] 位置为 10。选择 AC'97 模式时，只能使用 16 位或 20 位的数据大小，否则将无法保证 SAI 运行正常。

- 因此，位 NBSLOT[3:0] 和 SLOTSZ[1:0] 将被忽略。
- Slot 数固定为 13。第一个 Slot 16 位宽，所有其它 Slot 均 20 位宽（数据 Slot）。
- SAI\_xSLOTR 寄存器中的位 FBOFF[5:0] 被忽略。
- SAI\_xFRCR 寄存器被忽略。

无论采用主配置还是从配置，由于 AC'97 链路控制器驱动 FS 信号，异步模块发出的 FS 信号将自动配置为输出。

图 290 给出了 AC'97 音频帧的结构。

图 290. AC'97 音频帧



**注意：**在 AC'97 协议中，TAG 的位 2 将保留（始终为 0），因此无论 SAI FIFO 中写入何值，TAG 的位 2 均强制为 0。

有关 TAG 表示的详细信息，请参见 AC'97 协议标准。

可将一个 SAI 用于 AC'97 点对点通信。

在接收模式下，用作 AC'97 链路控制器的 SAI 无需 FIFO 请求，因此当 Slot 0 中的编码解码器就绪位解码为低电平时，FIFO 中不存储任何数据。如果 SAI\_xIM 寄存器中的 CNRDYIE 位使能，则 SAI\_xSR 寄存器中的标志 CNRDY 将置 1 并会产生一个中断。此标志专用于 AC'97 协议。



## 29.12 特性

根据所选的音频协议，SAI 可提供特定的一些实用功能。这些功能可通过 SAI\_xCR2 寄存器中的特定位来访问。

### 29.12.1 静音模式

当音频模块用作发送器或接收器时，可使用静音模式。

#### 发送器

在发送模式下，可随时选择静音模式。静音模式对于全部音频帧均有效。SAI\_xCR2 寄存器中的 MUTE 位若在帧传输期间置 1，将请求静音模式。

该静音模式位仅在帧结束时选通。如果帧结束时置 1，静音模式将在新的音频帧开始时激活，并持续整个帧长度，直至下次帧结束；然后将选通该位，以确定下一帧是否仍为静音帧。

如果在 SAI\_xSLOTR 寄存器的 NBSLOT[3:0] 位中设置的 Slot 数小于或等于 2，可指定静音模式下发送的值是否为 0 或该值是否为每个 Slot 的最后一个值。通过 SAI\_xCR2 寄存器中的 MUTEVAL 位进行选择。

如果在 SAI\_xSLOTR 寄存器的 NBSLOT[3:0] 位中设置的 Slot 数大于 2，由于在各 Slot 的每位上都发送值 0，因此 SAI\_xCR2 中的 MUTEVAL 位没有意义。

在静音模式下，FIFO 指针仍递增，这意味着将丢弃 FIFO 中请求在静音模式下传输的数据。

#### 接收器

在接收模式下，对于给定数量的连续音频帧（SAI\_xCR2 寄存器中的位 MUTE CNT[5:0]），如果在音频帧所有声明的有效 Slot 接收到 0，则可检测到从外部发送器发来的静音模式。

检测到相应数量的静音帧时，SAI\_xSR 寄存器中的 MUTEDET 标志置 1 并会在 SAI\_xCR2 中的 MUTEDETIE 位置 1 情况下产生中断。

在音频模块禁止时或在有效 Slot 内至少接收到音频帧中的一个数据时，静音帧计数器清零。计数器达到位 MUTE CNT[5:0] 中指定的值时，仅产生一次中断。随后中断事件在计数器清零时再次生效。

### 29.12.2 MONO/STEREO 功能

在发送模式下，当 Slot 数等于 2（SAI\_xSLOTR 中的 NBSLOT[3:0] = 0001）时，可支持单声道模式，而无需在存储器中进行任何数据处理。在这种情况下，由于发送时 Slot 0 的数据被复制到 Slot 1 中，FIFO 的访问操作将减少一半。

要选择单通道特性，可将 SAI\_xCR1 寄存器中的 MONO 位置 1。

在接收模式下，位 MONO 可置 1 并且仅在 Slot 数等于 2（与发送模式相同）时有意义。当该位置 1 时，只有 Slot 0 的数据将存储到 FIFO 中。Slot 1 的数据由于被认为与前一个 Slot 的数据相同而被丢弃。如果接收时的数据流量是左声道数据和右声道数据明显不同的真立体声音频流，则位 MONO 没有意义。由软件完成从输出立体声文件到等效单声道文件的转换。

**注意：** 要使能单声道模式，NBSLOT 和 SLOTEN 必须等于 2 且 MONO 位置 1。

### 29.12.3 压扩模式

移动通信应用可能需要通过数据压扩算法处理待发送或待接收的数据。

软件可根据 SAI\_xCR2 寄存器中的 COMP[1:0] 位（仅当选择 TDM 模式时使用），选择在 SD 串行输出线（压缩）发送数据前是否处理数据，以及是否在 SD 串行输入线（扩展）接收数据后扩展数据，如图 291 所示。所支持的两个压扩模式是  $\mu$ -Law 和 A-Law，二者是 CCITT G.711 推荐标准的一部分。

美国和日本采用的压扩标准是  $\mu$ -Law，该标准允许 14 位动态范围（SAI\_xCR2 寄存器中的 COMP[1:0] = 10）。

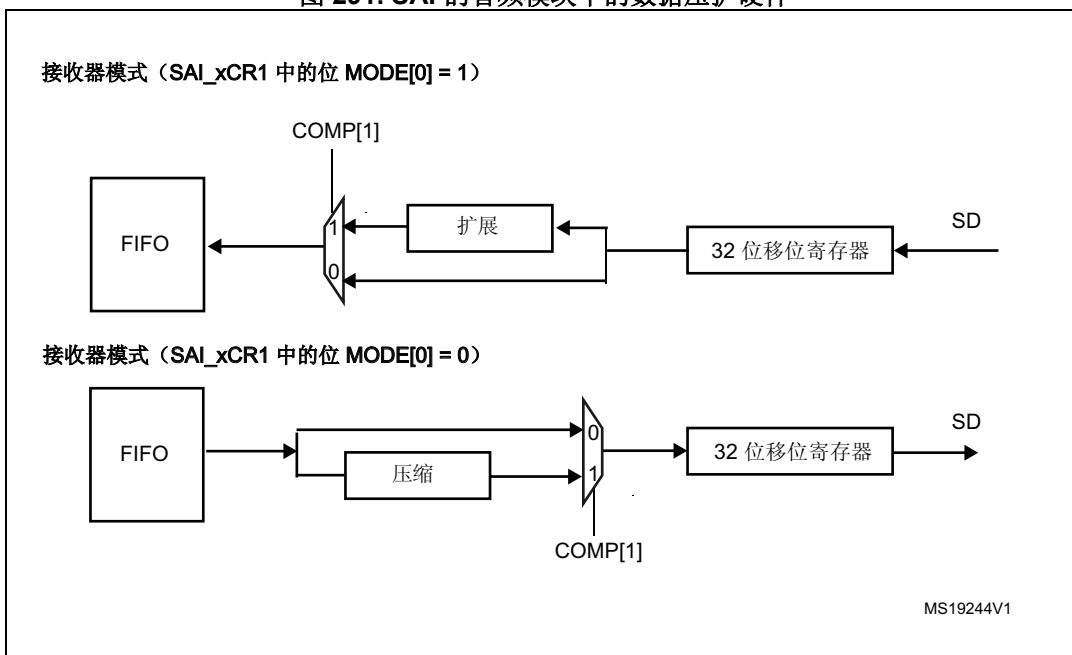
欧洲压扩标准是 A-Law，该标准允许 13 位动态范围（SAI\_xCR2 寄存器中的 COMP[1:0] = 11）。

可根据 1 的补码或 2 的补码表示来计算压扩标准（ $\mu$ -Law 或 A-Law），具体取决于 SAI\_xCR2 寄存器中的 CPL 位设置。

$\mu$ -Law 和 A-Law 格式将数据解码为采用 MSB 对齐的 8 位代码元素。压扩数据始终为 8 位宽。因此，当 SAI 音频模块使能（SAI\_xCR1 寄存器中的位 SAIxEN = 1）并且 COMP[1:0] 位选择了这两个压扩模式之一时，SAI\_xCR1 寄存器中的位 DS[2:0] 强制为 010。

如果无需压扩处理，则 SAI\_xCR2 寄存器中的 COMP[1:0] 位应保持清零。

图 291. SAI 的音频模块中的数据压扩硬件



注意：选择 AC'97 时不适用。

通过 SAI 配置自动选择扩展模式或压缩模式。

- 如果 SAI 音频模块配置为发送器，且 SAI\_xCR2 寄存器中的 COMP[1] 位置 1，将采用压缩模式。
- 如果 SAI 音频模块声明为接收器，将采用扩展算法。

#### 29.12.4 无效 Slot 上的输出数据线管理

在发送模式下，在数据线上发送无效 Slot 时，可选择 SD 线的输出行为（当 SAI 禁止时通过 SAI\_xCR2 寄存器中的 TRIS 位实现）。

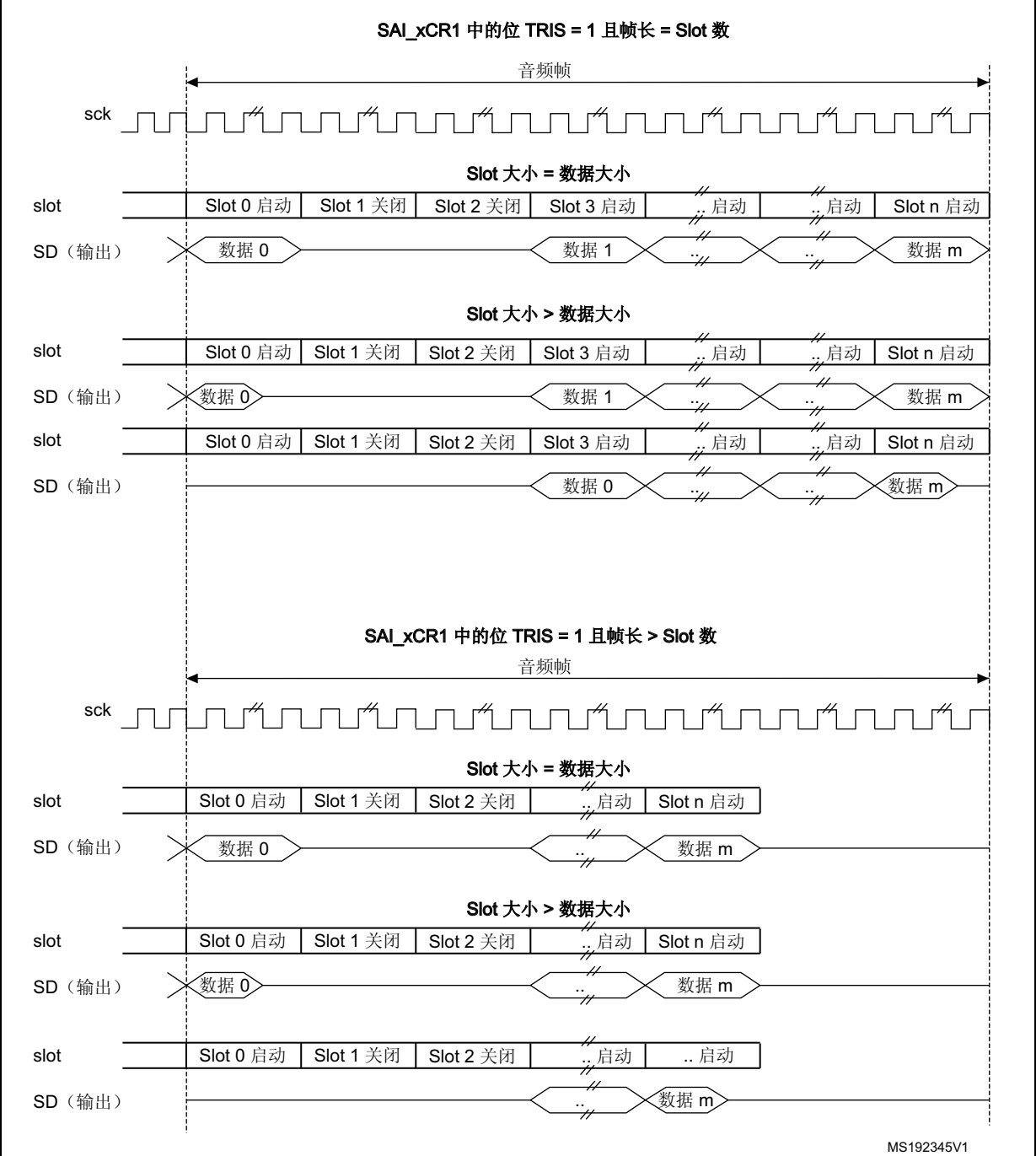
- 发送无效 Slot 时，SAI 将 SD 输出线强制为 0
- 该输出线在最有一个数据位传输结束时释放为高阻态，为另一个连接此节点的发送器释放该数据线。

切记不要让两个发送器同时驱动同一个 SD 输出引脚，否则会导致短路。为了确保存在发送间隙，如果数据低于 32 位，可通过在 SAI\_xSLOTR 寄存器中设置 SLOTSZ[1:0] = 10 将数据扩展到 32 位。随后，如果下一 Slot 声明为无效，则 SD 输出引脚将在有效 Slot 的 LSD 结束时（将数据扩展到 32 位的填 0 阶段）置为三态。

此外，如果 Slot 数乘以 Slot 大小所得结果小于帧长度，则在通过填 0 来补充音频帧结束时，SD 输出线置为三态。

[图 292](#) 说明了这些行为。

图 292. 发送无效 Slot 时 SD 输出线上的三态策略

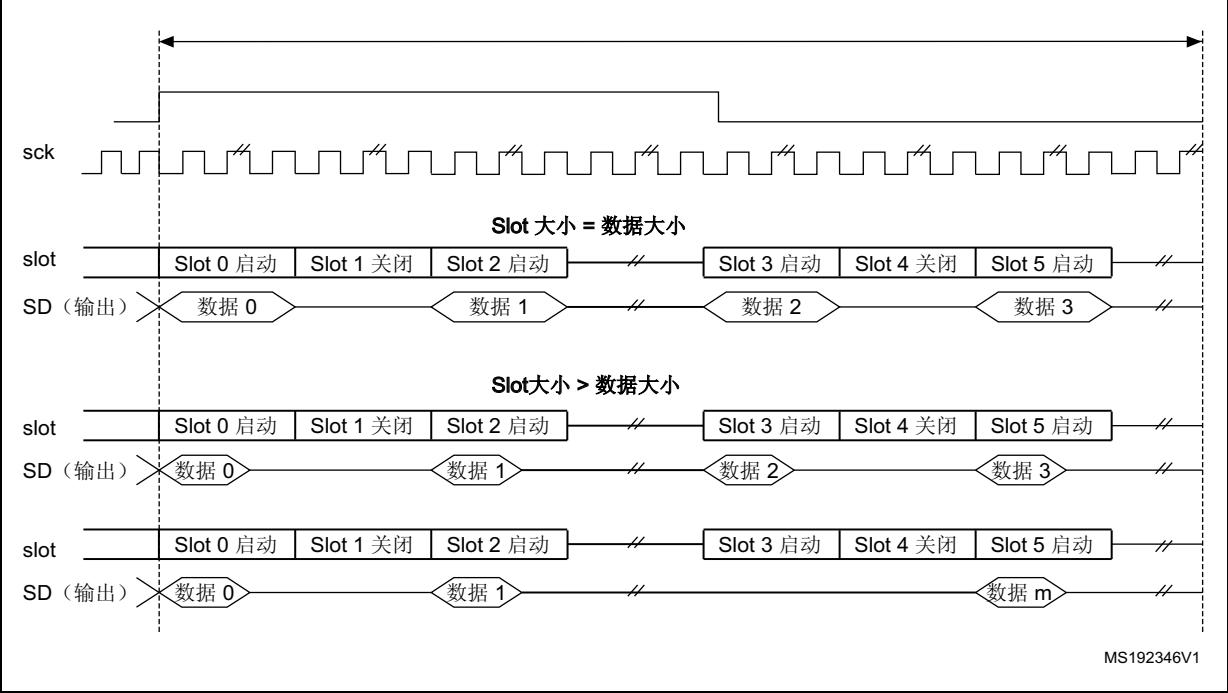


当所选音频协议使用 FS 信号作为 SOF 信号或通道识别信号 (SAI\_xFRCCR 寄存器中的位 FSDEF = 1) 时, 将按照图 293 管理三态模式 (其中, SAI\_xCR1 寄存器中的位 TRIS = 1, FSDEF = 1, 半帧长 > Slot 数/2 且 NBSLOT = 6)。



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

图 293. 采用 I2S 等协议时输出数据线上的三态策略



如果 SAI\_xCR2 寄存器中的 TRIS 位清零，图 292 和图 293 上的 SD 输出线上的所有高阻态将替换为使用值 0 驱动。

29.13 错误标志

SAI 内嵌有一些错误标志：

- FIFO 上溢/下溢，
- 帧同步提前检测，
- 帧同步滞后检测，
- 编解码器未就绪（仅限 AC'97），
- 主模式时钟配置错误。

29.13.1 FIFO 上溢/下溢 (OVRUDR)

FIFO 上溢/下溢位是 SAI\_xSR 寄存器中的 OVRUDR 位。

由于音频模块既可作为接收器，又可作为发送器，并且 SAI 中的每个音频模块都具有自己的 SAI\_xSR 寄存器，因此上溢或下溢错误占用同一位。

上溢

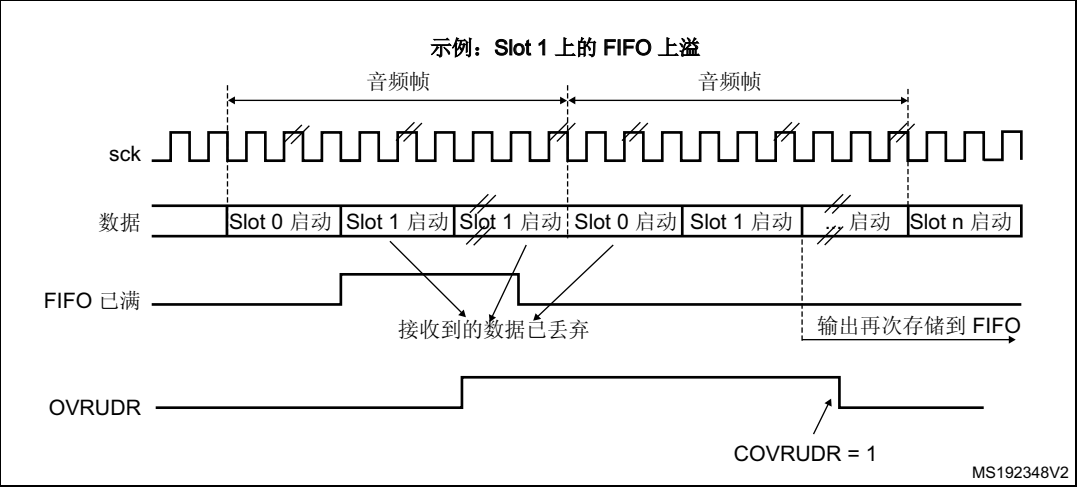
若音频模块配置为接收器，则在 FIFO 已满且无法再存储接收数据的情况下又收到音频帧数据时，将出现上溢情况。这种情况下，接收数据将丢失，SAI\_xSR 寄存器中的 OVRUDR 标志置 1；如果 SAI\_xIM 寄存器中的 OVRUDRIE 位置 1，还将生成中断。内部将存储发生上溢时的 Slot 编号。FIFO 无法再存储更多数据，直至释放出空间存储新数据为止。在 FIFO 释放了至少一个数据的空间时，SAI 音频模块接收器将从检测到上溢后内部存储的 Slot 编号开始存储来自新音频帧的新数据，这样可避免目标存储器中出现数据 Slot 不对齐的情况（请参见图 294）。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

SAI\_xCLRFR 寄存器中的 COVRUDR 位置 1 时将清除 OVRUDR 标志。

图 294. 上溢错误检测



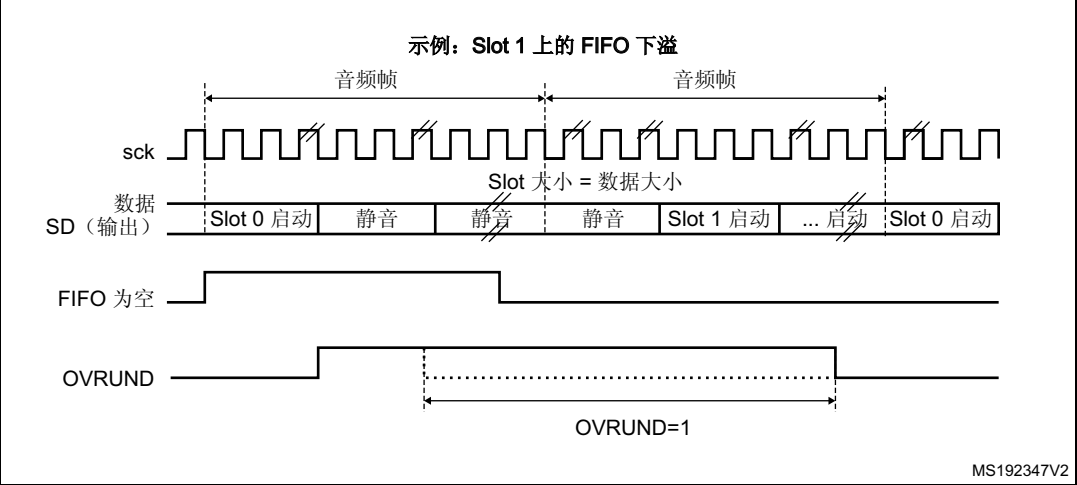
下溢

当 SAI 中的音频模块用作发送器时，如果需要发送数据时 FIFO 为空，则可能出现下溢（与音频模块配置为主模式还是从模式无关）。如果检测到下溢，则软件必须重新同步数据和 Slot。请按如下步骤操作：

1. 通过复位 SAI\_xCR1 寄存器的 SAIEN 位禁止 SAI 外设。通过回读 SAIEN 位（SAIEN 应等于 0）检查是否已禁止 SAI。
2. 通过 SAI\_xCR2 寄存器的 FFLUS 位刷新 Tx FIFO。
3. 在新帧的第一个有效 Slot 上重新分配要发送的正确数据。
4. 重新使能 SAI 外设（SAIEN 位置 1）。

下溢事件会使 SAI\_xSR 寄存器中的 OVRUDR 标志置 1，如果 SAI\_xIM 寄存器中的 OVRUDRIE 位置 1，还将生成中断。要清除该标志，可将 SAI\_xCLRFR 寄存器中的 COVRUDR 位置 1。

图 295. FIFO 下溢事件



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 29.13.2 帧同步提前检测 (AFSDET)

该 AFSDET 标志仅在从模式下使用。主模式下不会使能该标志。由于帧长度、帧极性和帧偏移已定义且已知，该标志用于告知是否比预期更早检测到帧同步 (FS) 信号。

出现提前检测时，SAI\_xSR 寄存器中的 AFSDET 标志将置 1。

对 FS 提前不敏感的当前音频帧不受该检测影响。也就是说 FS 信号的“寄生”事件将被标记但不干扰当前音频帧。

如果 SAI\_xIM 寄存器的 AFSDETIE 位置 1，将产生中断。要清除 AFSDET 标志，必须将 SAI\_xCLRFR 寄存器中的 CAFSDET 位置 1。

为了在出现帧检测提前错误之后重新与主时钟同步，应确保执行以下四个步骤：

1. 复位 SAI\_xCR1 寄存器中的 SAIEN 位，禁止 SAI 模块，SAIEN 位等于 0（通过回读此位确定）可确保 SAI 已禁止。
2. 通过 SAI\_xCR2 寄存器中的 FFLUS 位刷新 FIFO。
3. 重新使能 SAI 外设（SAIEN 位置 1），然后使能 SAI。
4. SAI 模块将等待 FS 使能以重新开始与主模块同步。

**注意：** AC'97 中不使能该标志，原因是 SAI 音频模块作为链路控制器，即使在声明为从模块时也会生成 FS 信号。

### 29.13.3 帧同步滞后检测

只有当 SAI 音频模块定义为从模块时，SAI\_xSR 寄存器中的 LFSDET 位才可置 1。SAI\_xFRCR 寄存器中，帧长度、帧极性和帧偏移配置均已知。

如果外部主模块未在预定时间发送 FS 信号（该信号生成过晚），SAI\_xSR 寄存器中的 LFSDET 标志将置 1，如果 SAI\_xIM 寄存器中的 LFSDETIE 位置 1，还将生成中断。

SAI\_xCLRFR 寄存器中的 CLFSDET 位置 1 时该标志清零。

在检测到错误时帧同步滞后检测标志置 1，SAI 需要重新与主模块同步（应确保按上述四个步骤操作）。

该检测和标志使能可检测到噪声环境中对 SCK 时钟的干扰，将由音频模块的状态机实现此检测。存在这种干扰时，SAI 音频模块的状态机将出现移位错误，从而忽略当前音频帧。

如果外部主模块不是在连续模式下管理音频数据帧发送，则不会对帧造成破坏，大多数应用都不会出现这种情况。这种情况下 LFSDET 标志将置 1。

**注意：** AC'97 中不使能该标志，原因是 SAI 音频模块作为链路控制器，即使在声明为从模块时也会生成 FS 信号。

### 29.13.4 编解码器未就绪 (CNRDY AC'97)

仅当 SAI 音频模块配置为在 AC'97 模式下工作时（SAI\_xCR1 寄存器中的位 PRTCFG[1:0] = 10），SAI\_xSR 寄存器中的 CNRDY 标志才有意义。如果 SAI\_xIM 寄存器中的 CNRDYIE 置 1，则在 CNRDY 标志置 1 时将生成中断。

在接收 AC'97 音频帧的 TAG 0 (slot0) 期间，当编解码器未准备好进行通信时，将使能该标志。这种情况下，在 TAG 0 指示编解码器就绪之前，数据都不会自动存储到 FIFO，原因是编解码器未就绪。编解码器就绪后将捕获 SAI\_xSLOTR 寄存器中定义的所有有效 Slot。

要清除该标志，必须将 SAI\_xCLRFR 寄存器中的 CCNRDY 位置 1。



### 29.13.5 主模式时钟配置错误 (NODIV = 0)

音频模块以主模式工作时 (SAI\_xCR1 寄存器中 MODE[1] = 0)，如果 SAI\_xCR1 中的 NODIV 位清零，在 SAI\_xCR1 寄存器中的 SAIxEN 位置 1 时，若 SAI\_xFRCR 中的 FRL[7:0] 位未置为合适值以遵循下列规则，则 WCKCFG 标志将置 1：

$$(FRL[7,0]) + 1 = 2^n$$

其中 n 的取值范围是 3 到 8。

如果 WCKCFGIE 位置 1，则当 SAI\_xSR 寄存器中的 WCKCFG 标志置 1 时将生成中断。要清除该标志，可将 SAI\_xCLRFR 寄存器中的 CWCKCFG 位置 1。

WCKCFG 位置 1 时，将自动禁止音频模块，并通过硬件将 SAI\_xCR1 寄存器中的 SAIxEN 位清零。

以上公式用于保证音频帧的位时钟产生偶数个 MCLK 脉冲，并且位时钟生成的占空比为 50% 以保证良好的音响或音频采集质量。

## 29.14 中断源

SAI 有 7 个可能的中断源，如表 130 所示。

表 130. 中断源

中断源	中断组	音频模块模式	中断使能	中断清零
FREQ	FREQ	主或从接收器或发送器	SAI_xIM 寄存器中的 FREQIE	取决于： - FIFO 阈值设置 (SAI_CR2 中的 FLTH 位) - 通信方向为发送器还是接收器 更多详细信息，请参见内部 FIFO 部分
OVRUDR	ERROR	主或从接收器或发送器	SAI_xIM 寄存器中的 OVRUDRIE	COVRUDR = 1， 在 SAI_xCLRFR 寄存器中
AFSDDET	ERROR	从 (不适用于 AC'97 模式)	SAI_xIM 寄存器中的 AFSDETIE	CAFSDET = 1， 在 SAI_xCLRFR 寄存器中
LFSDET	ERROR	从 (不适用于 AC'97 模式)	SAI_xIM 寄存器中的 LFSDETIE	CLFSDET = 1， 在 SAI_xCLRFR 寄存器中
CNRDY	ERROR	从 (仅限 AC'97 模式)	SAI_xIM 寄存器中的 CNRDYIE	CCNRDY = 1， 在 SAI_xCLRFR 寄存器中
MUTEDET	MUTE	主或从仅限接收模式	SAI_xIM 寄存器中的 MUTEDETIE	CMUTEDET = 1， 在 SAI_xCLRFR 寄存器中
WCKCFG	ERROR	主模式且 SAI_xCR1 寄存器中的 NODIV = 0	SAI_xIM 寄存器中的 WCKCFGIE	CWCKCFG = 1， 在 SAI_xCLRFR 寄存器中





以下是出现中断时要遵守的 SAI 配置步骤：

1. 禁止 SAI 中断。
2. 配置 SAI。
3. 配置 SAI 中断源。
4. 使能 SAI。

## 29.15 禁止 SAI

可随时通过清零 SAI\_xCR1 寄存器中的 SAIxEN 位禁止 SAI 中的音频模块。所有已开始的帧将在 SAI 完全关闭之前自动完成。SAI\_xCR1 寄存器中的 SAIxEN 位将保持高电平，直到当前音频帧传输结束时 SAI 完全关闭。

如果 SAI 中有与另一个音频模块同步的音频模块，则必须先禁止以主模式工作的音频模块。

## 29.16 SAI DMA 接口

为了减轻 CPU 负担和优化总线带宽，每个 SAI 音频模块都具有独立的 DMA 接口以便对 SAI\_xDR 寄存器进行读/写操作（访问内部 FIFO）。每个音频通道都有一个遵循简单 DMA 请求/应答协议的 DMA 通道。

要配置音频模块以通过 DMA 接口传输数据，可将 SAI\_xCR1 寄存器中的 DMAEN 位置 1。DMA 请求直接由 FIFO 控制器管理，具体取决于 FIFO 阈值（更多详细信息，请参见内部 FIFO 部分）。DMA 方向与 SAI 音频模块配置相关：

- 如果音频模块用作发送器，则音频模块的 FIFO 控制器将输出 DMA 请求以向 FIFO 加载 SAI\_xDR 寄存器中写入的数据。
- 如果音频模块用作接收器，则 DMA 请求与来自 SAI\_xDR 寄存器的读取操作相关。

以下是使用 DMA 时要遵守的 SAI 配置步骤：

1. 配置 SAI 和 FIFO 阈值（以指定何时启动 DMA 请求）
2. 配置 SAI DMA 通道
3. 使能 DMA
4. 使能 SAI

**注意：** 配置 SAI 模块前，必须禁止 SAI DMA 通道。

# 29.17 SAI 寄存器

## 29.17.1 SAI x 配置寄存器 1 (SAI\_xCR1)，其中 x 为 A 或 B

SAI xConfiguration register 1

偏移地址：模块 A 为 0x004

偏移地址：模块 B 为 0x024

复位值：0x0000 0040

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved								MCKDIV[3:0]				NODIV	Res.	DMAEN	SAIxEN
								rw	rw	rw	rw	rw		rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		OutDri v	MONO	SYNCEN[1:0]		CKSTR	LSBFIR ST	DS[2:0]			Res.	PRTCFG[1:0]		MODE[1:0]	
		rw	rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw

位 31:24 保留，始终读为 0。

位 23:20 MCKDIV[3:0]：主时钟分频器 (Master clock divider)。这些位由软件置 1 和清零。

0000：主时钟输入 1 分频。  
否则，主时钟频率将根据以下公式计算：  
 $MCLK\_x = SAI\_CK\_x / (MCKDIV[3:0] * 2)$   
音频模块为从模块时，这些位没有意义。  
必须在音频模块禁止的情况下配置这些位。

位 19 NODIV：无分频器 (No divider)。此位由软件置 1 和清零。

0：使能主时钟分频器  
1：在时钟发生器中不使用分频器（此时主时钟分频器位不起作用）

位 18 保留，始终读为 0。

位 17 DMAEN：DMA 使能 (DMA enable)。此位由软件置 1 和清零。

0：禁止 DMA  
1：使能 DMA

注意：在接收模式下，必须在 DMAEN 位置 1 前配置 MODE 位，以避免 DMA 请求，原因是复位后音频模块将默认以发送模式工作。

位 16 SAIxEN：音频模块使能 (Audio block enable)，其中 x 为 A 或 B。该位由软件置 1。由硬件将该位清零，通过软件将其禁止（位中写入低电平）后，音频将完全禁止（等待当前帧结束）。

0：禁止音频模块  
1：使能音频模块，仅当写操作期间该位为 0 时才可将其置 1（即 SAI 在重新使能前被完全禁止）。  
该位可用以控制音频模块的状态。如果在音频帧中禁止该位，则仍将完成正在进行的传输并且该单元在相应音频帧传输结束时完全禁止。

注意：当 SAIx 模块配置为主模式时，SAI 的输入中必须有时钟，然后才能将 SAIxEN 位置 1。

位 15:14 保留，始终读为 0。

位 13 OUTDRIV：输出驱动 (Output drive)。此位由软件置 1 和清零。

0：当 SAIEN 置 1 时驱动音频模块输出  
1：在该位置 1 后立即驱动音频模块输出。

注意：该位必须在音频模块配置后的使能前置 1。



位 12 **MONO**: 单声道模式 (Mono mode)。此位由软件置 1 和清零。

0: 立体声模式

1: 单声道模式。

仅当 Slot 数为 2 时该位才有意义。

如果选择了单声道模式, 则当音频模块用作发送器时, Slot 0 的数据将复制到 Slot 1 上。在接收模式下, 将丢弃 Slot 1 并仅存储从 Slot 0 接收的数据。

更多详细信息, 请参见第 29.12.2 节。

位 11:10 **SYNCR[1:0]**: 同步使能 (Synchronization enable)。此位由软件置 1 和清零。

00: 音频模块异步。

01: 音频模块与另一个内部音频模块同步。这种情况下, 应将音频模块配置为从模式。

10: 保留。

11: 未使用

必须在音频模块禁止的情况下配置这些位。

位 9 **CKSTR**: 时钟选通边沿 (Clock strobing edge)。此位由软件置 1 和清零。

0: 数据选通边沿是 SCK 的下降沿

1: 数据选通边沿是 SCK 的上升沿

必须在音频模块禁止的情况下配置这些位。

位 8 **LSBFIRST**: 最低有效位优先 (Least significant bit first)。此位由软件置 1 和清零。

0: 传输数据时, 数据的 MSB 位优先。

1: 传输数据时, 数据的 LSB 位优先。

必须在音频模块禁止的情况下配置这些位。

AC'97 音频协议下该位没有意义, 原因是传输 AC'97 数据时, 数据的 MSB 位优先。

位 7:5 **DS[2:0]**: 数据大小 (Data size)。这些位将由软件置 1 和清零。

000: 未使用

001: 未使用

010: 8 位

011: 10 位

100: 16 位

101: 20 位

110: 24 位

111: 32 位

选择压扩模式时 (COMP[1:0] 位), 将忽略这些 DS[1:0], 原因是算法本身将数据大小固定为 8 位模式。

必须在音频模块禁止的情况下配置这些位。

*注意: 选择 AC'97 模式时, 只能使用 16 位或 20 位的数据大小, 否则将无法保证 SAI 运行正常。*

位 4 保留，始终读为 0。

位 3:2 **PRTCFG[1:0]**: 协议配置 (Protocol configuration)。这些位将由软件置 1 和清零。

- 00: 自由协议
- 01: 未使用
- 10: AC'97 协议
- 11: 未使用

自由协议选项允许用户使用音频模块这一强大的配置功能来处理特定的音频协议（如 I2S、LSB/MSB 对齐、TDM、PCM/DSP...），从而对大部分配置寄存器位以及帧配置寄存器进行设置。  
必须在音频模块禁止的情况下配置这些位。

位 1:0 **MODE[1:0]**: 音频模块模式 (Audio block mode)。这些位将由软件置 1 和清零。

- 00: 主发送器
- 01: 主接收器
- 10: 从发送器
- 11: 从接收器

必须在音频模块禁止的情况下配置这些位。

*注意：在主发送模式下，音频模块将开始生成 FS 和时钟。*

### 29.17.2 SAI x 配置寄存器 2 (SAI\_xCR2)，其中 x 为 A 或 B

SAI xConfiguration register 2

偏移地址：模块 A 为 0x008

偏移地址：模块 B 为 0x028

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COMP[1:0]		CPL	MUTECONT[5:0]						MUTE VAL	Mute	TRIS	FFLUS	FTH		
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW



**注：**本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

位 31:16 保留，始终读为 0

位 15:14 **COMP[1:0]**: 压扩模式 (Companding mode)。这些位将由软件置 1 和清零。

00: 不支持压扩算法

01: 保留。

10:  $\mu$ -Law 算法

11: A-Law 算法

$\mu$ -Law 和 A-Law 算法是 CCITT G.711 建议的一部分，要使用何种补码类型取决于 *ComPLement* 位。

数据扩展还是数据压缩由 **MODE[0]** 位的状态确定。

如果将音频模块配置为发送器，则应用数据压缩。

如果将音频模块配置为接收器，则应用数据扩展。

更多详细信息，请参见 [第 29.12.3 节](#)。

*注意：* 仅当选择了 *TDM* 协议时才能使用压扩模式。

位 13 **CPL**: 补码位 (Complement bit)。此位由软件置 1 和清零。

该位定义用于压扩模式的补码类型。

0: 1 的补码表示。

1: 2 的补码表示。

*注意：* 仅当压扩模式为  $\mu$ -Law 算法或 A-Law 算法时该位才有效。

位 12:7 **MUTEcnt[5:0]**: 静音计数器 (Mute counter)。这些位将由软件置 1 和清零。

这些位仅用于接收模式。

这些位中所设置的值将与接收模式下检测到的连续静音帧数量进行比较。当静音帧数量与该值相等时，**MUTEDET** 标志置 1，并且在 **MUTEDETIE** 位置 1 的情况下，还将生成中断。

更多详细信息，请参见 [第 29.12.1 节](#)。

位 6 **MUTEVAL**: 静音值 (Mute value)。该位由软件置 1 和清零，必须在使能音频模块 (**SAIxEN**) 前写入。

0: **MUTE** 模式期间发送位值 0。

1: **MUTE** 模式期间发送上一个值。

仅当音频模块用作发送器并且 **Slot** 数小于或等于 2，并且 **MUTE** 位已置 1 时，该位才有意义。

如果声明了 2 个以上的 **Slot**，则无论 **MUTEVAL** 位的值为何，静音模式下发送的位值都将等于 0。

如果 **Slot** 数小于或等于 2 且 **MUTEVAL** = 1，则为每个 **Slot** 发送的静音值将是上一帧期间发送的值。

更多详细信息，请参见 [第 29.12.1 节](#)。

位 5 **MUTE**: 静音 (Mute)。此位由软件置 1 和清零。

0: 禁止静音模式。

1: 使能静音模式。

仅当音频模块用作发送器时该位才有意义。**Slot** 数小于或等于 2 时，**MUTE** 值与 **MUTEVAL** 值相关，**Slot** 数大于 2 时，**MUTE** 值等于 0。

更多详细信息，请参见 [第 29.12.1 节](#)。

- 位 4 **TRIS**: 数据线的三态管理 (Tristate management on data line)。此位由软件置 1 和清零。
- 0: Slot 无效时, SD 输出线仍由 SAI 驱动。
  - 1: SD 输出线将在上一个有效 Slot (下一个 Slot 无效) 的最后一个数据位传输结束时释放 (高阻态)。
- 仅当音频模块用作发送器时该位才有意义。
- 应在 SAI 禁止时配置此位。
- 更多详细信息, 请参见 [第 29.12.4 节](#)。
- 位 3 **FFLUSH**: FIFO 刷新 (FIFO flush)。该位由软件置 1, 并始终读为低电平。
- 0: 禁止 FIFO 刷新。
  - 1: FIFO 刷新。
- 向该位写入 1 时会触发 FIFO 刷新。所有的内部 FIFO 指针 (读和写) 将清零。
- 这种情况下, 仍存留在 FIFO 中的数据将丢失 (发送或接收数据不会继续丢失)。
- 应在 SAI 禁止时配置此位。
- 刷新 SAI 前, 必须禁止 DMA 数据流/中断。
- 位 2:0 **FTH**: FIFO 阈值 (FIFO threshold)。此位由软件置 1 和清零。
- 000: FIFO 为空
  - 001:  $\frac{1}{4}$  FIFO
  - 010:  $\frac{1}{2}$  FIFO
  - 011:  $\frac{3}{4}$  FIFO
  - 100: FIFO 已满
  - 101: 保留
  - 110: 保留
  - 111: 保留

### 29.17.3 SAI x 帧配置寄存器 (SAI\_XFRCR), 其中 x 为 A 或 B

SAI xFrame configuration register

偏移地址: 模块 A 为 0x00C

偏移地址: 模块 B 为 0x02C

复位值: 0x0000 0007

注意: 该寄存器对于 AC'97 音频协议无意义。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													FSOFF	FSPOL	FSDEF
													r/w	r/w	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Res.	FSALL[6:0]							FRL[7:0]							
	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

位 31:19 保留，始终读为 0。

位 18 **FSOFF**: 帧同步偏移 (Frame synchronization offset)。此位由软件置 1 和清零。

0: 在 Slot 0 的第一位上使能 FS。

1: 在 Slot 0 第一位的前一位上使能 FS。

该位对 AC'97 音频模块配置无意义，从而也不使用。

必须在音频模块禁止的情况下配置这些位。

位 17 **FSPOL**: 帧同步极性 (Frame synchronization polarity)。此位由软件置 1 和清零

0: FS 为低电平有效 (下降沿)

1: FS 为高电平有效 (上升沿)

该位用于配置 FS 信号上的帧起始电平。

该位对 AC'97 音频模块配置无意义，从而也不使用。

必须在音频模块禁止的情况下配置这些位。

位 16 **FSDEF**: 帧同步定义 (Frame synchronization definition)。此位由软件置 1 和清零。

0: FS 信号为起始帧信号

1: FS 信号为 SOF 信号 + 通道识别信号

该位置 1 时，SAI\_ASLOTR 寄存器中定义的 Slot 数必须为偶数。这意味着有半数 Slot 将用于左通道，其它 Slot 用于右通道 (例如，对于 I2S 或 MSB/LSB 对齐等协议，该位必须置 1)。

该位对 AC'97 音频模块配置无意义，从而也不使用。

必须在音频模块禁止的情况下配置这些位。

位 15 保留，始终读为 0。

位 14:8 **FSALL[6:0]**: 帧同步有效电平长度 (Frame synchronization active level length)。这些位将由软件置 1 和清零

这些位的设置值用于指定音频帧中 FS 信号的有效电平长度，以位时钟数 (SCK) + 1 (FSALL[6:0] + 1) 计算。

这些位对 AC'97 音频模块配置无意义，从而也不使用。

必须在音频模块禁止的情况下配置这些位。

位 7:0 **FRL[7:0]**: 帧长度 (Frame length)。这些位将由软件置 1 和清零。

它们定义音频帧的长度。更确切的说这些位定义每个音频帧的 SCK 时钟数。

帧中的位数等于 FRL[7:0] + 1。

音频帧中发送的位数要大于或等于 8，否则音频模块将出现操作异常。数据大小为 8 位且在 SAI\_ASLOTR 寄存器的 NBSLOT[4:0] 中只定义了一个 Slot (NBSLOT[3:0] = 0000) 时便属于这种情况。

在主模式下，如果主时钟 MCLK\_x 引脚声明为输出引脚，则应为 8 到 256 之间的一个等于 2 的几次幂的数，以便在音频帧中确保位时钟的 MCLK 脉冲数为整数，从而保证解码器中的外部 DAC/ADC 能正常工作。

帧长度应为偶数。

这些位对 AC'97 音频模块配置无意义，从而也不使用。



### 29.17.4 SAI x Slot 寄存器 (SAI\_xSLOTR), 其中 x 为 A 或 B

SAI xSlot register

偏移地址: 模块 A 为 0x010

偏移地址: 模块 B 为 0x030

复位值: 0x0000 0000

注意: 该寄存器对于 AC'97 音频协议无意义。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
SLOTEN[15:0]															
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				NBSLOT[3:0]				SLOTSZ[1:0]		Res	FBOFF[4:0]				
				rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw

位 31:16 **SLOTEN[15:0]**: Slot 使能 (Slot enable)。这些位将由软件置 1 和清零。  
 SLOTEN 位中的每一位都标识从 0 到 15 的一个 Slot 位置 (最多 16 个 Slot)  
 0: 无效 Slot。  
 1: 有效 Slot。  
 必须在音频模块禁止的情况下配置这些位。  
 在 AC'97 模式下会忽略这些位。

位 15:12 保留, 始终读为 0。

位 11:8 **NBSLOT[3:0]**: 音频帧中的 Slot 数 (Number of slots in an audio frame)。这些位将由软件置 1 和清零。  
 这些位寄存器中设置的值表示音频帧中的 Slot 数 + 1 (包括无效 Slot 数)。Slot 数最大值为 16。  
 SAI\_AFRCR 寄存器中的 FSDEF 位置 1 时, Slot 数应为偶数。  
 如果 Slot 数大于数据大小, 则当 SAI\_xCR1 寄存器中的 TRIS 位清零时, 剩余的位将强制为 0; 否则在下一个 Slot 有效时强制为 0, 或者在下一个 Slot 无效且 TRIS = 1 时, SD 线将强制为高阻态。  
 必须在音频模块禁止的情况下配置这些位。  
 在 AC'97 模式下会忽略这些位。

位 7:6 **SLOTSZ[1:0]**: Slot 大小 (Slot size)  
 此位由软件置 1 和清零。  
 00: Slot 大小与数据大小 (在 SAI\_ACR1 寄存器的 DS[3:0] 位中指定) 相当。  
 01: 16 位  
 10: 32 位  
 11: 保留  
 Slot 大小必须大于或等于数据大小。如果不满足该条件, SAI 的行为将不确定。  
 必须在音频模块禁止的情况下配置这些位。  
 在 AC'97 模式下会忽略这些位。

位 1 保留, 始终读为 0。

位 4:0 **FBOFF[4:0]**: 第一个位偏移 (First bit offset)  
 这些位将由软件置 1 和清零。  
 这些位中设置的值表示 Slot 中第一个数据传输位的位置。它表示一个偏移值。在此偏移阶段, 在发送模式下数据线发送的值为 0。在接收模式下, 将丢弃偏移阶段接收到的位。  
 必须在音频模块禁止的情况下配置这些位。  
 在 AC'97 模式下会忽略这些位。

注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。



### 29.17.5 SAI x 中断屏蔽寄存器 2(SAI\_xIM)，其中 x 为 A 或 B

SAI xInterrupt mask register2

偏移地址：模块 A 为 0x014

偏移地址：模块 B 为 0x034

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									LFSDETI E	AFSDETI E	CNRDY IE	FREQI E	WCKC FGIE	MUT EDET IE	OVRU DRIE
									rW	rW	rW	rW	rW	rW	rW

位 31:7 保留，始终读为 0。

位 6 **LFSDETI**：帧同步滞后检测中断使能 (Late frame synchronization detection interrupt enable)。此位由软件置 1 和清零。

0：禁止中断

1：使能中断

该位置 1 时，若 SAI\_ASR 寄存器中的 LFSDET 位置 1，则生成中断。

该位对于 AC'97 模式无意义。若音频模块为主模块，该位也无意义。

位 5 **AFSDETI**：帧同步提前检测中断使能 (Anticipated frame synchronization detection interrupt enable)。此位由软件置 1 和清零。

0：禁止中断

1：使能中断

该位置 1 时，若 SAI\_ASR 寄存器中的 AFSDET 位置 1，则生成中断。

该位对于 AC'97 模式无意义。若音频模块为主模块，该位也无意义。

位 4 **CNRDYIE**：编解码器未就绪中断使能 (Codec not ready interrupt enable) (ac'97)。此位由软件置 1 和清零。

0：禁止中断

1：使能中断

若使能该中断，音频模块将在 AC'97 帧的 Slot 0 (tag0) 中检测连接到该线路的编解码器是否就绪。

如果未就绪，SAI\_ASR 寄存器中的 CNRDY 标志将置 1 并生成中断。

仅当选择了 AC97 模式（位 PRTCFG[1:0]）且音频模块用作接收器时，该位才有意义。

位 3 **FREQIE**：FIFO 请求中断使能 (FIFO request interrupt enable)。此位由软件置 1 和清零。

0：禁止中断

1：使能中断

该位置 1 时，若 SAI\_ASR 寄存器中的 FREQ 位置 1，则生成中断。

在接收模式下，必须在 FREQIE 位置 1 前配置 MODE 位，以避免寄生中断，原因是复位后音频模块将默认以发送模式工作。

- 位 2 **WCKCFGIE**: 时钟配置错误中断使能 (Wrong clock configuration interrupt enable)。此位由软件置 1 和清零。
- 0: 禁止中断
  - 1: 使能中断
- 仅当音频模块配置为主模块 (SAI\_ACR1 寄存器中 MODE[1] = 0) 且 SAI\_xCR1 寄存器中的位 NODIV = 0 时才考虑该位。
- 该位在 SAI\_ASR 寄存器中的 WCKCFG 标志置 1 时生成中断。
- 注意: 该位仅用于 TDM 模式, 其它模式下没有意义。*
- 位 1 **MUTEDETIE**: 静音检测中断使能 (Mute detection interrupt enable)。此位由软件置 1 和清零。
- 0: 禁止中断
  - 1: 使能中断
- 该位置 1 时, 若 SAI\_ASR 寄存器中的 MUTEDET 位置 1, 则生成中断。
- 仅当音频模块配置为以发送模式工作时该位才有意义。
- 位 0 **OVRUDRIE**: 上溢/下溢中断使能 (Overflow/underrun interrupt enable)。此位由软件置 1 和清零。
- 0: 禁止中断
  - 1: 使能中断
- 该位置 1 时, 若 SAI\_ASR 寄存器中的 OVRUDR 位置 1, 则生成中断。

### 29.17.6 SAI x 状态寄存器 (SAI\_xSR), 其中 x 为 A 或 B

SAI xStatus register

偏移地址: 模块 A 为 0x018

偏移地址: 模块 B 为 0x038

复位值: 0x0000 0008

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Reserved													FLTH		
													r	r	r
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved									LFSDET	AFSDDET	CNRDY	FREQ	WCKCFG	MUTED ET	OVRUDR
									r	r	r	r	r	r	r

位 31:19 保留，始终读为 0。

位 18:16 **FLTH**: FIFO 阈值 (FIFO level threshold)。该位为只读。FIFO 阈值标志只通过硬件管理，其设置取决于 SAI 模块的配置（发送器或接收模式）。

如果将 SAI 模块配置为接收器：

000: FIFO 为空

001:  $FIFO \leq \frac{1}{4}$ ，但非空

010:  $\frac{1}{4} < FIFO \leq \frac{1}{2}$

011:  $\frac{1}{2} < FIFO \leq \frac{3}{4}$

100:  $\frac{3}{4} < FIFO$ ，但未满

101: FIFO 已满

如果将 SAI 模块配置为发送器：

000: FIFO 为空

001:  $FIFO < \frac{1}{4}$ ，但非空

010:  $\frac{1}{4} \leq FIFO < \frac{1}{2}$

011:  $\frac{1}{2} \leq FIFO < \frac{3}{4}$

100:  $\frac{3}{4} \leq FIFO$ ，但未满

101: FIFO 已满

位 15:7 保留，始终读为 0。

位 6 **LFSDET**: 帧同步滞后检测 (Late frame synchronization detection)。该位为只读。

0: 无错误。

1: 帧同步信号未在正确的时刻出现。

仅当音频模块配置为以从模式工作时，此标志才能置 1。

不适用于 AC'97 模式。

该位在 SAI\_xIM 寄存器中的 LFSDETIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 CLFSDET 位置 1 时清除该标志。

位 5 **AFSDET**: 帧同步提前检测 (Anticipated frame synchronization detection)。该位为只读。

0: 无错误。

1: 提前检测到帧同步信号。

仅当音频模块配置为以从模式工作时，此标志才能置 1。

不适用于 AC'97 模式。

该位在 SAI\_xIM 寄存器中的 AFSDETIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 CAFSDET 位置 1 时清除该标志。

位 4 **CNRDY**: 编解码器未就绪 (Codec not ready)。该位为只读。

0: 外部 AC'97 编解码器已就绪

1: 外部 AC'97 编解码器未就绪

仅当在 SAI\_xCR1 寄存器中选择了 AC'97 音频模式并且音频模块配置为接收模式时，才使用该位。

该位在 SAI\_xIM 寄存器中的 CNRDYIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 CCNRDY 位置 1 时清除该标志

位 3 **FREQ**: FIFO 请求 (FIFO request)。该位为只读。

0: 无 FIFO 请求。

1: FIFO 请求读取或写入 SAI\_xDR。

请求内容取决于音频模块的配置。

如果音频模块配置为发送模式，则 FIFO 请求涉及向 SAI\_xDR 中写入。

如果音频模块配置为接收模式，则 FIFO 请求涉及从 SAI\_xDR 中读取。

该标志会在 SAI\_xIM 寄存器中的 FREQIE 位置 1 时生成中断。

位 2 **WCKCFG**: 时钟配置错误标志 (Wrong clock configuration flag)。该位为只读。

0: 时钟配置正确

1: 时钟配置不符合第 29.7 节中定义的帧长度规范 (SAI\_x FRCR 寄存器中 FRL[7:0] 位的配置)

仅当音频模块为主模块 (SAI\_xCR1 寄存器中 MODE[1] = 0) 且 SAI\_xCR1 寄存器中 NODIV = 0 时，才使用此位。

该位在 SAI\_xIM 寄存器中的 WCKCFGIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 CWCKCFG 位置 1 时清除该标志

位 1 **MUTEDET**: 静音检测 (Mute detection)。该位为只读。

0: SD 输入线上未检测到 MUTE 值

1: 在 SD 输入线上检测到指定数量的连续音频帧中的 MUTE 值 (0 值)

如果在某个音频帧的每个 Slot 或在一定数量 (在 SAI\_xCR2 寄存器中的 MUTE CNT 位中设置) 的连续音频帧中接收到连续的 0 值，则该标志置 1。

该位在 SAI\_xIM 寄存器中的 MUTEDETIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 CMUTEDET 位置 1 时清除该标志

位 0 **OVRUDR**: 上溢/下溢 (Overflow/underrun)。该位为只读。

0: 无上溢/下溢错误。

1: 检测到上溢/下溢错误。

仅当音频模块配置为接收模式时，才会出现上溢错误。

仅当音频模块配置为发送模式时，才会出现下溢错误。

该位在 SAI\_xIM 寄存器中的 OVRUDRIE 位置 1 时生成中断。

在软件将 SAI\_xCLRFR 寄存器中的 COVRUDR 位置 1 时清除该标志。

### 29.17.7 SAI x 清除标志寄存器 (SAI\_xCLRFR)，其中 X 为 A 或 B

SAI xClear flag register

偏移地址：模块 A 为 0x01C

偏移地址：模块 B 为 0x03C

复位值：0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16																
Reserved																															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																
Reserved									CLFSDET	CAFSDET	CCNRDY	Reserved	CWCKCFG	CMUTEDT	COVRUDR																
									rw	rw	rw			rw	rw	rw															

位 31:7 保留，始终读为 0。

- 位 6 **CLFSDET**：清除帧同步滞后检测标志 (Clear late frame synchronization detection flag)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 LFSDET 标志。  
不适用于 AC'97 模式。  
读取该位将始终返回值 0。
- 位 5 **CAFSDET**：清除帧同步提前检测标志 (Clear anticipated frame synchronization detection flag)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 AFSDET 标志。  
不适用于 AC'97 模式。  
读取该位将始终返回值 0。
- 位 4 **CCNRDY**：清除编解码器未就绪标志 (Clear codec not ready flag)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 CNRDY 标志。  
仅当在 SAI\_xCR1 寄存器中选择了 AC'97 音频协议时，才使用该位。  
读取该位将始终返回值 0。
- 位 3 保留，始终读为 0。
- 位 2 **CWCKCFG**：清除时钟配置错误标志 (Clear wrong clock configuration flag)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 WCKCFG 标志。  
仅当音频模块设置为主模块时 (SAI\_ACR1 寄存器中 MODE[1] = 0) 且 SAI\_xCR1 寄存器中的位 NODIV = 0 时，才使用此位。  
读取该位将始终返回值 0。
- 位 1 **CMUTEDET**：静音检测标志 (Mute detection flag)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 MUTEDET 标志。  
读取该位将始终返回值 0。
- 位 0 **COVRUDR**：清除上溢/下溢标志 (Clear overrun/underrun)。该位为只写位。  
向该位写入 1 可清除 SAI\_xSR 寄存器中的 OVRUDR 标志。  
读取该位将始终返回值 0。

# 29.17.8 SAI x 数据寄存器 (SAI\_xDR), 其中 x 为 A 或 B

SAI xData register

偏移地址: 模块 A 为 0x020

偏移地址: 模块 B 为 0x040

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DATA[31:16]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA[15:0]															
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:0 DATA[31:0]: 数据 (Data)

若 FIFO 未滿, 写入该寄存器的效果是向 FIFO 加载数据。

若 FIFO 非空, 读取该寄存器的效果是从 FIFO 取走数据。

# 29.17.9 SAI 寄存器映射

下表对 SAI 寄存器进行了汇总。

表 131. SAI 寄存器映射和复位值

偏移	寄存器和 复位值	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																										
0x0004 或 0x0024	SAI_xCR1	Reserved									MCJDIV[3:0]				NODIV	Res.	DMAEN	SAIxEN	Reserved.		OutDri	MONO	SYNCE N[1:0]	CKSTR	LSBFIRST	DS[2:0]			Res.	PRTCF G[1:0]	MODE[1:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
	Reset value																																0	0	0	0	0	0	0	0	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
0x0008 或 0x0028	SAI_xCR2	保留																	COMP [1:0]	CPL	MUTE CN[5:0]					MUTE VAL	MUTE	TRIS	FFLUS		FTH																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
	Reset value																																0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																											
0x000C 或 0x002C	SAI_xFRCR	Reserved													FSOFF	FSPOL	FSDEF	Reserved	FSALL[6:0]					FRL[7:0]																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
	Reset value																														0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

表 131. SAI 寄存器映射和复位值（续）

偏移	寄存器和 复位值	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x0018 或 0x0038	SAI_xSR	Reserved													FLVL[2:0]			Reserved							LFSDET	AFSDET	CNRDY	FREQ	WCKCFG	MUTEDET	OVRUDR		
	Reset value																								0	0	0						
0x001C 或 0x003C	SAI_xCLRFR	Reserved																								LFSDET	CAFSDET	CNRDY	Res.	WCKCFG	MUTEDET	OVRUDR	
	Reset value																									0	0	0	0	0	0		
0x0020	SAI_xDR	DATA[31:0]																															
或 0x0040	Reset value	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	

有关寄存器边界地址的信息，请参见第 52 页的表 2。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

## 37 可变存储控制器 (FMC)

可变存储控制器 (FMC) 包括以下三个存储控制器：

- NOR/PSRAM 存储控制器
- NAND/PC 卡存储控制器
- 同步 DRAM (SDRAM/Mobile LPDDR SDRAM) 控制器

本节内容仅适用于 STM32F42xxx 和 STM32F43xxx。

### 37.1 FMC 主要特性

FMC 功能块可连接同步/异步静态存储器、SDRAM 存储器和 16 位 PC 存储卡。其主要用途有：

- 将 AHB 数据通信事务转换为适当的外部器件协议
- 满足外部存储器器件的访问时间要求

所有外部存储器共享地址、数据和控制信号，但有各自的片选信号。FMC 一次只能访问一个外部器件。

FMC 控制器的主要特性如下：

- 连接静态存储器映射的器件：
  - 静态随机访问存储器 (SRAM)
  - NOR Flash/OneNAND Flash
  - PSRAM (4 个存储区域)
  - 16 位 PC 卡兼容设备
  - 两个带有硬件 ECC 的 NAND Flash 存储区域，可检查多达 8 KB 的数据
- 连接同步 DRAM (SDRAM/Mobile LPDDR SDRAM) 存储器
- 支持突发模式，能够更快速地访问同步器件（如 NOR Flash、PSRAM 和 SDRAM）
- 可编程连续时钟输出以支持异步和同步访问
- 具有 8 位、16 位或 32 位宽的数据总线
- 每个存储区域有独立的片选控制
- 每个存储区域可独立配置
- 写使能和字节通道选择输出，可配合 PSRAM、SRAM 和 SDRAM 器件使用。
- 外部异步等待控制
- 16 x 33 位深度写数据 FIFO
- 16 x 30 位深度写地址 FIFO
- SDRAM 控制器具有可缓存的 6 x 32 位深度读 FIFO（6 x 14 位地址标记）。



FMC 内嵌两个写 FIFO：一个 16x33 位深度写数据 FIFO 和一个 16x30 位深度写地址 FIFO。

- 写数据 FIFO 存储要写入存储器的 AHB 数据（最多 32 位）以及 AHB 传输的一个控制位（突发或非连续模式）
- 写地址 FIFO 存储 AHB 地址（最多 28 位）以及 AHB 数据大小（最多 2 位）。在突发模式下工作时，将仅存储起始地址，但越过页边界时除外（适用于 PSRAM 和 SDRAM）。在此情况下，AHB 突发传输将分成两个 FIFO 条目。

启动时，必须通过用户应用程序对 FMC 引脚进行配置。应用程序未使用的 FMC I/O 引脚可用于其它用途。

定义外部器件类型和其特性的 FMC 寄存器通常在启动时进行设置，并且在下次上电或复位前保持不变。但是，可随时更改设置。

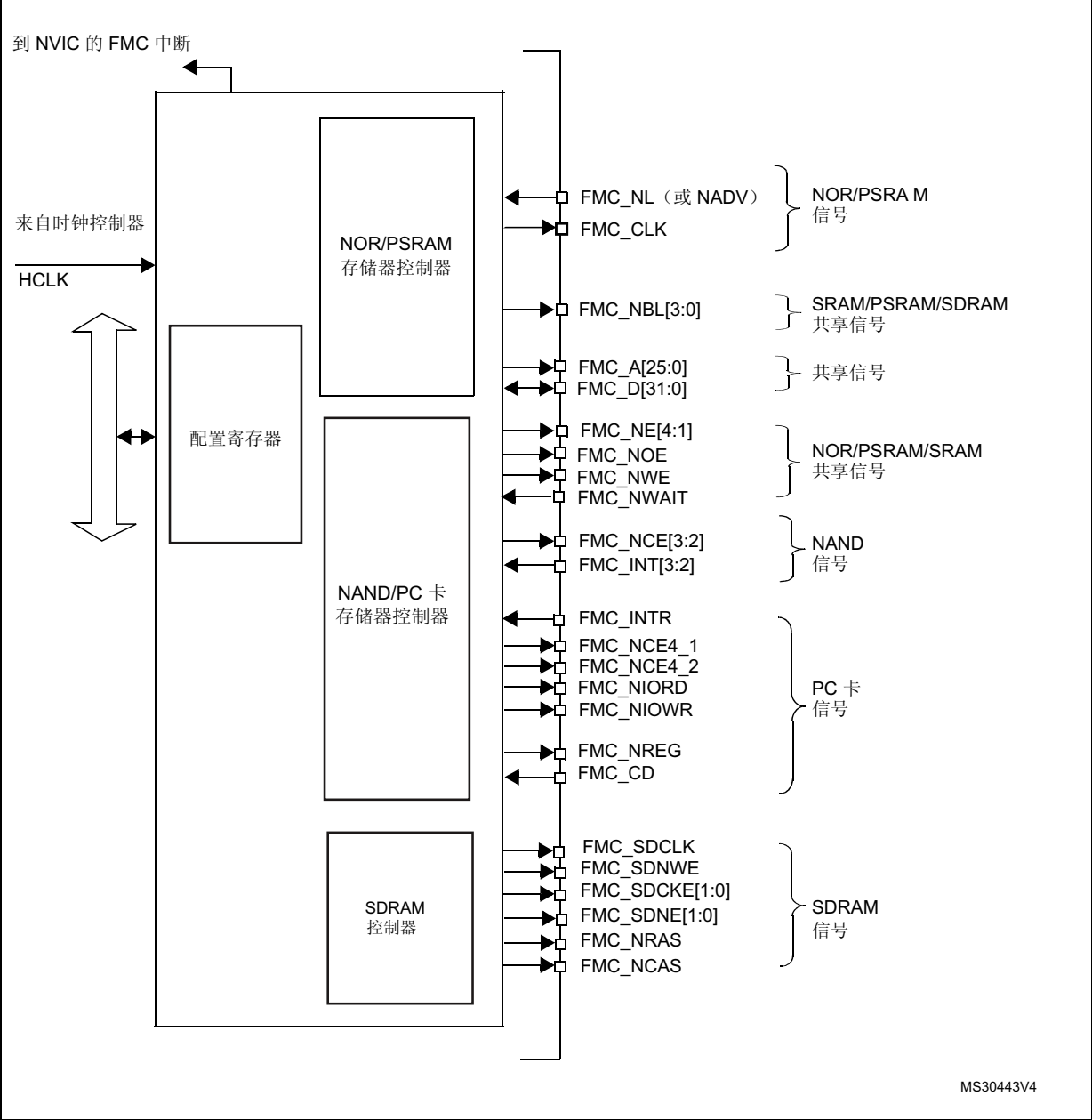
## 37.2 框图

FMC 包含五个主要模块：

- AHB 接口（包括 FMC 配置寄存器）
- NOR Flash/PSRAM/SRAM 控制器
- NAND Flash/PC 卡控制器
- SDRAM 控制器
- 外部器件接口

框图如 [图 454](#) 所示。

图 454. FMC 框图



## 37.3 AHB 接口

CPU 和其它 AHB 总线主设备可通过该 AHB 从设备接口访问外部存储器。

AHB 事务会转换为外部器件协议。尤其是当所选外部存储器的宽度为 16 位或 8 位时，AHB 中的 32 位宽事务将被划分成多个连续的 16 或 8 位访问。连续访问之间，FMC 片选 (FMC\_NEx) 不会翻转。

出现以下条件时，FMC 将产生 AHB 错误：

- 读取或写入未使能的 FMC 存储区域。
- 在 FMC\_BCRx 寄存器中的 FACCEN 位复位时读取或写入 NOR Flash 存储区域。
- 在输入引脚 FMC\_CD (Card Presence Detection) 为低电平时读取或写入 PC 卡存储区域。
- 向写保护的 SDRAM 存储区域 (SDRAM\_SDCRx 寄存器中 WP 位置 1) 写入时。
- 违反 SDRAM 地址范围 (访问保留的地址范围) 时。

此 AHB 错误的影响具体取决于尝试进行读写访问的 AHB 主设备：

- 如果为带 FPU CPU 的 Cortex®-M4，则会生成硬性故障 (Hard fault) 中断。
- 如果为 DMA 控制器，则会生成 DMA 传输错误，并会自动禁止相应的 DMA 通道。

AHB 时钟 (HCLK) 是 FMC 的参考时钟。

### 37.3.1 支持的存储器和事务

#### 通用事务规则

所请求的 AHB 事务传输数据宽度可以是 8、16 或 32 位，但访问的外部器件具有固定的数据宽度。这可能会导致不一致的数据宽度。

因此，必须遵循一些简单的事务规则：

- AHB 事务数据宽度和存储器数据宽度相等  
在此情况下没有任何问题。
- AHB 事务数据宽度大于存储器宽度：  
在此情况下，FMC 会将 AHB 事务分为多个较小的连续存储器访问，以符合外部数据宽度。连续访问之间，FMC 片选 (FMC\_NEx) 不会翻转。
- AHB 事务数据宽度小于存储器宽度：  
传送可能一致，也可能不一致，具体取决于外部器件的类型：
  - 访问具有字节选择功能的器件 (SRAM、ROM、PSRAM 和 SDRAM)  
FMC 允许读/写事务并通过其字节选择通道 BL[3:0] 访问恰当的数据。  
通过 NBL[3:0] 寻址要写入的字节。  
读取所有存储器字节 (NBL[3:0] 在读取事务期间保持为低电平)，并丢弃无用的字节。
  - 访问不具有字节选择功能的器件 (16 位 NOR 和 NAND Flash)。  
当请求对 16 位宽的 Flash 存储器进行字节访问时会发生此情形。由于无法在字节模式下访问器件 (只能向 Flash 读取或写入 16 位字)，因此允许读事务和写事务 (控制器会读取全部 16 位存储器字，但只使用所需字节)。

### 配置寄存器

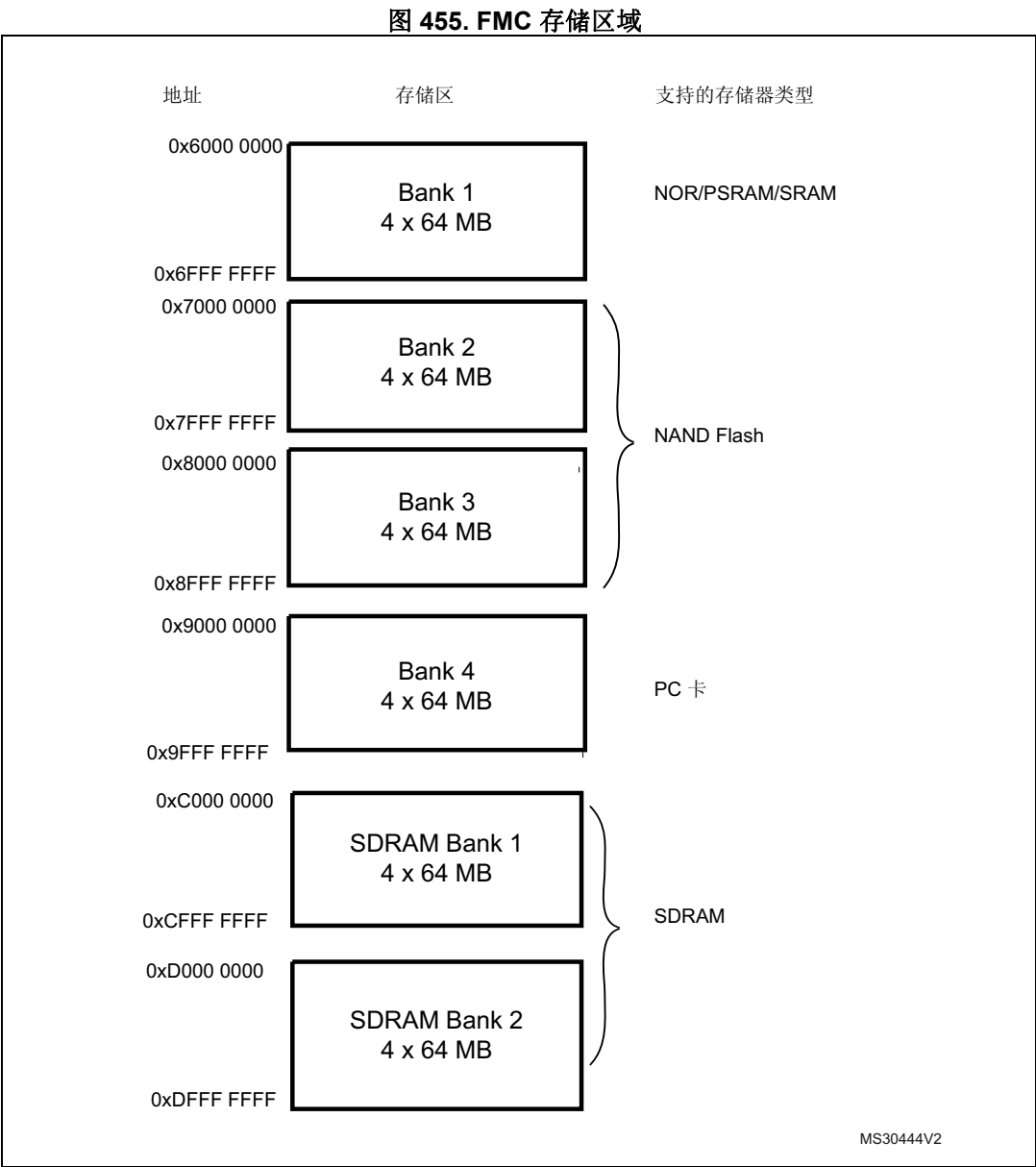
可通过一组寄存器配置 FMC。有关 NOR Flash/PSRAM 控制寄存器的详细说明，请参见[第 37.5.6 节](#)。有关 NAND Flash/PC 卡寄存器的详细说明，请参见[第 37.6.8 节](#)，有关 SDRAM 控制寄存器的详细说明，请参见[第 37.7.5 节](#)。

## 37.4 外部器件地址映射

从 FMC 的角度，外部存储器被划分为 6 个固定大小的存储区域，每个存储区域的大小为 256 MB（请参见[图 455](#)）：

- 存储区域 1 可连接多达 4 个 NOR Flash 或 PSRAM 器件。此存储区域被划分为如下 4 个 NOR/PSRAM 子区域，带 4 个专用片选信号：
  - 存储区域 1 NOR/PSRAM 1
  - 存储区域 1 NOR/PSRAM 2
  - 存储区域 1 NOR/PSRAM 3
  - 存储区域 1 NOR/PSRAM 4
- 存储区域 2 和 3 用于连接 NAND Flash 器件（每个存储区域一个器件）
- 存储区域 4 用于连接 PC 卡
- 存储区域 5 和 6 用于连接 SDRAM 器件（每个存储区域一个器件）

对于每个存储区域，所要使用的存储器类型可由用户应用程序通过配置寄存器配置。



37.4.1 NOR/PSRAM 地址映射

HADDR[27:26] 位用于从表 247 中所示的四个存储区域之中选择其中一个存储区域。

表 247. NOR/PSRAM 存储区域选择

HADDR[27:26] <sup>(1)</sup>	选择的存储区域
00	存储区域 1 NOR/PSRAM 1
01	存储区域 1 NOR/PSRAM 2
10	存储区域 1 NOR/PSRAM 3
11	存储区域 1 NOR/PSRAM 4

1. HADDR 是 AHB 内部地址线，但也会参与对外部存储器的寻址。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

HADDR[25:0] 位包含外部存储器地址。由于 HADDR 为字节地址，而存储器按字寻址，所以根据存储器数据宽度不同，实际向存储器发送的地址也将有所不同，如下表所示。

表 248. NOR/PSRAM 外部存储器地址

存储器宽度 <sup>(1)</sup>	向存储器发出的数据地址	最大存储器容量（位）
8 位	HADDR[25:0]	64 MB x 8 = 512 Mb
16 位	HADDR[25:1] >> 1	64 MB/2 x 16 = 512 Mb
32 位	HADDR[25:2] >> 2	64 MB/4 x 32 = 512 Mb

1. 如果外部存储器的宽度为 16 位，FMC 将使用内部的 HADDR[25:1] 地址来作为对外部存储器的寻址地址 FMC\_A[24:0]。如果存储器宽度为 32 位，FMC 将使用内部的 HADDR[25:2] 地址进行外部寻址。无论外部存储器的宽度是多少，FMC\_A[0] 都应连接到外部存储器地址 A[0]。

### NOR Flash/PSRAM 的回卷支持

不支持同步存储器的回绕突发模式。存储器必须按未定义长度的线性突发模式进行配置。

### 37.4.2 NAND Flash/PC 卡地址映射

在此情况下可使用三个存储区域，且每个存储区域分为几个存储器区域，如表 249 所示。

表 249. NAND/PC 卡存储映射和时序寄存器

起始地址	结束地址	FMC 存储区域	存储空间	时序寄存器
0x9C00 0000	0x9FFF FFFF	存储区域 4 - PC 卡	I/O	FMC_PIO4 (0xB0)
0x9800 0000	0x9BFF FFFF		特性区	FMC_PATT4 (0xAC)
0x9000 0000	0x93FF FFFF		通用区	FMC_PMEM4 (0xA8)
0x8800 0000	0x8BFF FFFF	存储区域 3 - NAND Flash	特性区	FMC_PATT3 (0x8C)
0x8000 0000	0x83FF FFFF		通用区	FMC_PMEM3 (0x88)
0x7800 0000	0x7BFF FFFF	存储区域 2 - NAND Flash	特性区	FMC_PATT2 (0x6C)
0x7000 0000	0x73FF FFFF		通用区	FMC_PMEM2 (0x68)

对于 NAND Flash 存储器，通用区和特性区存储空间分为三个部分，均位于低位 256 KB 中（见下面的表 250）：

- 数据区域（通用/特性存储空间中的第一个 64 KB）
- 命令区域（通用/特性存储空间中的第二个 64 KB）
- 地址区域（通用/特性存储空间中的下一个 128 KB）

表 250. NAND 存储区域选择

部分名称	HADDR[17:16]	地址范围
地址区域	1X	0x020000-0x03FFFF
命令区域	01	0x010000-0x01FFFF
数据区域	00	0x000000-0x0FFFFF

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

应用程序软件使用这 3 个区域来访问 NAND Flash 存储器：

- **向 NAND Flash 发送命令**，软件必须向命令区域中的任意存储单元写入命令值。
- **指定读取或写入的 NAND Flash 地址**，软件必须向地址区域中的任意存储单元写入地址值。由于地址的长度可以是 4 或 5 个字节（具体取决于实际存储器大小），要指定完整的地址，需要对地址区域执行多个连续写入操作。
- **读取或写入数据**，软件将从数据区域中的任意存储单元读取数据，或者向其中写入数据。

由于 NAND Flash 存储器会自动递增地址，所以在访问连续存储器位置时，无需递增数据区域的地址。

37.4.3 SDRAM 地址映射

HADDR[28] 位（内部 AHB 地址线 28）用于选择两个存储区域之一，如表 251 所示。

表 251. SDRAM 存储区域选择

HADDR[28]	选择的存储区域	控制寄存器	时序寄存器
0	SDRAM Bank1	FMC_SDCR1	FMC_SDTR1
1	SDRAM Bank2	FMC_SDCR2	FMC_SDTR2

下表显示了 13 位行和 11 位列配置的 SDRAM 映射。

表 252. SDRAM 地址映射

存储器宽度 <sup>(1)</sup>	内部存储区域	行地址	列地址 <sup>(2)</sup>	最大存储器容量 (MB)
8 位	HADDR[25:24]	HADDR[23:11]	HADDR[10:0]	64 MB: 4 x 8K x 2K
16 位	HADDR[26:25]	HADDR[24:12]	HADDR[11:1]	128 MB: 4 x 8K x 2K x 2
32 位	HADDR[27:26]	HADDR[25:13]	HADDR[12:2]	256 MB: 4 x 8K x 2K x 4

1. 连接 16 位存储器时，FMC 内部使用 HADDR[11:1] 内部 AHB 地址线进行外部寻址。连接 32 位存储器时，FMC 内部使用 HADDR[12:2] 地址线进行外部寻址。无论外部存储器的宽度是多少，FMC\_A[0] 都必须连接到外部存储器地址 A[0]。
2. 不支持 AutoPrecharge。FMC\_A[10] 必须连接到外部存储器地址 A[10]，但始终为“低电平”。

HADDR[27:0] 位将转换为外部 SDRAM 地址，具体取决于 SDRAM 控制器配置：

- 数据大小：8、16 或 32 位
- 行大小：11、12 或 13 位
- 列大小：8、9、10 或 11 位
- 内部存储区域数量：两个或四个内部存储区域

表 253 到表 255 显示了不同 SDRAM 控制器配置的 SDRAM 地址映射。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 253. 8 位数据总线宽度时的 SDRAM 地址映射<sup>(1)(2)</sup>

行大小配置	HADDR（AHB 内部地址线）																											
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11 位行大小配置	Res.							Bank [1:0]		Row[10:0]										Column[7:0]								
	Res.						Bank [1:0]		Row[10:0]										Column[8:0]									
	Res.					Bank [1:0]		Row[10:0]										Column[9:0]										
	Res.				Bank [1:0]		Row[10:0]										Column[10:0]											
12 位行大小配置	Res.						Bank [1:0]		Row[11:0]										Column[7:0]									
	Res.					Bank [1:0]		Row[11:0]										Column[8:0]										
	Res.				Bank [1:0]		Row[11:0]										Column[9:0]											
	Res.			Bank [1:0]		Row[11:0]										Column[10:0]												
13 位行大小配置	Res.					Bank [1:0]		Row[12:0]										Column[7:0]										
	Res.				Bank [1:0]		Row[12:0]										Column[8:0]											
	Res.			Bank [1:0]		Row[12:0]										Column[9:0]												
	Res.		Bank [1:0]		Row[12:0]										Column[10:0]													

1. BANK[1:0] 为存储区域地址 BA[1:0]。当仅使用 2 个内部存储区域时，BA1 必须始终设置为“0”。
2. 访问保留的 (Res.) 地址范围会生成 AHB 错误。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。



表 254. 16 位数据总线宽度时的 SDRAM 地址映射<sup>(1)(2)</sup>

行大小配置	HADDR (AHB 地址线)																											
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
11 位行大小配置	Res.						Bank [1:0]		Row[10:0]											Column[7:0]						BM0 <sup>(3)</sup>		
	Res.					Bank [1:0]		Row[10:0]											Column[8:0]					BM0				
	Res.				Bank [1:0]		Row[10:0]											Column[9:0]					BM0					
	Res.			Bank [1:0]		Row[10:0]												Column[10:0]					BM0					
12 位行大小配置	Res.					Bank [1:0]		Row[11:0]											Column[7:0]					BM0				
	Res.				Bank [1:0]		Row[11:0]											Column[8:0]					BM0					
	Res.			Bank [1:0]		Row[11:0]												Column[9:0]					BM0					
	Res.		Bank [1:0]		Row[11:0]												Column[10:0]					BM0						
13 位行大小配置	Res.					Bank [1:0]		Row[12:0]											Column[7:0]					BM0				
	Res.			Bank [1:0]		Row[12:0]												Column[8:0]					BM0					
	Res.		Bank [1:0]		Row[12:0]												Column[9:0]					BM0						
	Re s.	Bank [1:0]		Row[12:0]												Column[10:0]					BM0							

1. BANK[1:0] 为存储区域地址 BA[1:0]。当仅使用 2 个内部存储区域时，BA1 必须始终设置为“0”。
2. 访问保留的空间 (Res.) 会生成 AHB 错误。
3. BM0：是 16 位访问的字节屏蔽。

表 255. 32 位数据总线宽度时的 SDRAM 地址映射<sup>(1)(2)</sup>

行大小配置	HADDR (AHB 地址线)																										
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1
11 位行大小配置	Res.				Bank [1:0]		Row[10:0]						Column[7:0]						BM[1:0] <sup>(3)</sup>								
	Res.				Bank [1:0]		Row[10:0]						Column[8:0]						BM[1:0]								
	Res.			Bank [1:0]		Row[10:0]						Column[9:0]						BM[1:0]									
	Res.		Bank [1:0]		Row[10:0]						Column[10:0]						BM[1:0]										

表 255. 32 位数据总线宽度时的 SDRAM 地址映射<sup>(1)(2)</sup> (续)

行大小配置	HADDR (AHB 地址线)																											
	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
12 位行大小配置	Res.			Bank [1:0]		Row[11:0]												Column[7:0]							BM[1:0]			
	Res.			Bank [1:0]		Row[11:0]												Column[8:0]							BM[1:0]			
	Res.		Bank [1:0]		Row[11:0]												Column[9:0]							BM[1:0]				
	Res.	Bank [1:0]		Row[11:0]												Column[10:0]							BM[1:0]					
13 位行大小配置	Res.			Bank [1:0]		Row[12:0]												Column[7:0]							BM[1:0]			
	Res.		Bank [1:0]		Row[12:0]												Column[8:0]							BM[1:0]				
	Res.	Bank [1:0]		Row[12:0]												Column[9:0]							BM[1:0]					
	Bank [1:0]		Row[12:0]												Column[10:0]							BM[1:0]						

1. BANK[1:0] 为存储区域地址 BA[1:0]。当仅使用 2 个内部存储区域时，BA1 必须始终设置为“0”。
2. 访问保留的空间 (Res.) 会生成 AHB 错误。
3. BM[1:0]：是 32 位访问的字节屏蔽。

## 37.5 NOR Flash/PSRAM 控制器

FMC 会生成适当的信号时序，以驱动以下类型的存储器：

- 异步 SRAM 和 ROM
  - 8 位
  - 16 位
  - 32 位
- PSRAM (Cellular RAM)
  - 异步模式
  - 同步访问的突发模式
  - 复用或非复用
- NOR Flash
  - 异步模式
  - 同步访问的突发模式
  - 复用或非复用

FMC 会为每个存储区域输出唯一的片选信号 NE[4:1]。所有其它信号（地址、数据和控制）均为共享信号。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

FMC 通过可编程时序支持多种器件，其中：

- 等待周期可编程（最多 15 个时钟周期）
- 总线周转周期可编程（最多 15 个时钟周期）
- 输出使能和写入使能延迟可编程（最多 15 个时钟周期）
- 独立的读和写时序和协议，以支持各种存储器和时序
- 可编程连续时钟 (FMC\_CLK) 输出。

FMC 时钟 (FMC\_CLK) 是 HCLK 时钟的约数。该时钟可传送到选定的外部器件，根据 FMC\_BCR1 寄存器中 CCKEN 位的配置，可决定只在同步访问期间传送还是同步异步访问期间都传送：

- 如果 CCLKEN 位置 0，则 FMC 仅在同步访问（读/写事务）期间生成时钟 (CLK)。
- 如果 CCLKEN 位置 1，则 FMC 将在异步和同步访问期间生成连续时钟。要生成 FMC\_CLK 连续时钟，存储区域 1 还必须配置为支持同步模式（请参见第 37.5.6 节：NOR/PSRAM 控制寄存器）。由于所有同步存储器均使用同一个时钟，因此在生成连续输出时钟和执行同步访问时，AHB 数据大小必须与存储器数据宽度 (MWID) 相同，否则 FMC\_CLK 频率将根据 AHB 数据事务发生变化（有关 FMC\_CLK 分频比公式的信息请参见第 37.5.5 节：同步事务）。

每个存储区域的大小固定，均为 64 MB。每个存储区域都通过专用的寄存器配置（请参见第 37.5.6 节：NOR/PSRAM 控制寄存器）。

存储器的可编程参数包括访问时间（请参见表 256）和对等待管理的支持（用于在突发模式下访问 NOR Flash 和 PSRAM）。

表 256. NOR/PSRAM 的可编程访问参数

参数	功能	访问模式	单位	最小值	最大值
地址建立	地址建立阶段的持续时间	异步	AHB 时钟周期 (HCLK)	0	15
地址保持	地址保持阶段的持续时间	异步，复用 I/O	AHB 时钟周期 (HCLK)	1	15
数据建立	数据建立阶段的持续时间	异步	AHB 时钟周期 (HCLK)	1	256
总线周转	总线周转阶段的持续时间	异步和同步读取	AHB 时钟周期 (HCLK)	0	15
时钟分频比	构建一个存储器时钟周期 (CLK) 所需的 AHB 时钟周期 (HCLK) 数量	同步	AHB 时钟周期 (HCLK)	2	16
数据延迟	在发出突发的第一个数据前向存储器发出的时钟周期数量	同步	存储器时钟周期 (CLK)	2	17



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

# 37.5.1 外部存储器接口信号

表 257、表 258 和表 259 列出了通常用于连接 NOR Flash、SRAM 和 PSRAM 的信号。

注意：前缀 “N” 标识低电平有效的信号。

## NOR Flash，非复用 I/O

表 257. 非复用 I/O NOR Flash

FMC 信号名称	I/O	功能
CLK	O	时钟（用于同步访问）
A[25:0]	O	地址总线
D[31:0]	I/O	双向数据总线
NE[x]	O	片选，x = 1..4
NOE	O	输出使能
NWE	O	写入使能
NL(= NADV)	O	锁存使能（对于部分 NOR Flash 器件，此信号也称为地址有效 (NADV)）
NWAIT	I	FMC 的 NOR Flash 等待输入信号

最大容量为 512 Mb（26 个地址线）。

## NOR Flash，16 位复用 I/O

表 258. 16 位复用 I/O NOR Flash

FMC 信号名称	I/O	功能
CLK	O	时钟（用于同步访问）
A[25:16]	O	地址总线
AD[15:0]	I/O	16 位复用，双向地址/数据总线（16 位地址 A[15:0] 和数据 D[15:0] 在数据总线上复用）
NE[x]	O	片选，x = 1..4
NOE	O	输出使能
NWE	O	写入使能
NL(= NADV)	O	锁存使能（对于部分 NOR Flash 器件，此信号也称为地址有效 (NADV)）
NWAIT	I	FMC 的 NOR Flash 等待输入信号

最大容量为 512 Mb。



## PSRAM/SRAM，非复用 I/O

表 259. 非复用 I/O PSRAM/SRAM

FMC 信号名称	I/O	功能
CLK	O	时钟（仅用于 PSRAM 同步访问）
A[25:0]	O	地址总线
D[31:0]	I/O	数据双向总线
NE[x]	O	片选，x = 1..4（在 PSRAM 应用中被称作 NCE（Cellular RAM，即 CRAM））
NOE	O	输出使能
NWE	O	写入使能
NL(= NADV)	O	仅用于 PSRAM 输入的地址有效信号（存储器信号名称：NADV）
NWAIT	I	PSRAM 发送给 FMC 的等待输入信号
NBL[3]	O	Byte3 高字节使能（存储器信号名称：NUB）
NBL[2]	O	Byte2 低字节使能（存储器信号名称：NLB）
NBL[1]	O	Byte1 高字节使能（存储器信号名称：NLB）
NBL[0]	O	Byte0 低字节使能（存储器信号名称：NLB）

最大容量为 512 Mb。

## PSRAM，16 位复用 I/O

表 260. 16 位 复用 I/O PSRAM

FMC 信号名称	I/O	功能
CLK	O	时钟（用于同步访问）
A[25:16]	O	地址总线
AD[15:0]	I/O	16 位复用，双向地址/数据总线 （16 位地址 A[15:0] 和数据 D[15:0] 在数据总线上复用）
NE[x]	O	片选，x = 1..4（在 PSRAM 应用中被称作 NCE（Cellular RAM，即 CRAM））
NOE	O	输出使能
NWE	O	写入使能
NL(= NADV)	O	用于 PSRAM 输入的地址有效信号（存储器信号名称：NADV）
NWAIT	I	PSRAM 发送给 FMC 的等待输入信号
NBL[1]	O	高字节使能（存储器信号名称：NUB）
NBL[0]	O	低字节使能（存储器信号名称：NLB）

最大容量为 512 Mb（26 个地址线）。

### 37.5.2 支持的存储器和事务

下面的表 261 显示的是当 NOR Flash、PSRAM 和 SRAM 的存储器数据总线宽度为 16 位时所支持的设备、访问模式和事务的示例。本示例中 FMC 不允许（或不支持）的事务以灰色显示。

表 261. NOR Flash/PSRAM：支持的存储器和事务示例

设备	模式	R/W	AHB 数据大小	存储器数据大小	是否允许	注释
NOR Flash (复用 I/O 和非复用 I/O)	异步	R	8	16	是	
	异步	W	8	16	否	
	异步	R	16	16	是	
	异步	W	16	16	是	
	异步	R	32	16	是	分为 2 次 FMC 访问
	异步	W	32	16	是	分为 2 次 FMC 访问
	异步页	R	-	16	否	不支持该模式
	同步	R	8	16	否	
	同步	R	16	16	是	
	同步	R	32	16	是	
PSRAM (复用 I/O 和非复用 I/O)	异步	R	8	16	是	
	异步	W	8	16	是	使用字节通道 NBL[1:0]
	异步	R	16	16	是	
	异步	W	16	16	是	
	异步	R	32	16	是	分为 2 次 FMC 访问
	异步	W	32	16	是	分为 2 次 FMC 访问
	异步页	R	-	16	否	不支持该模式
	同步	R	8	16	否	
	同步	R	16	16	是	
	同步	R	32	16	是	
	同步	W	8	16	是	使用字节通道 NBL[1:0]
	同步	W	16/32	16	是	
	异步	R	8 / 16	16	是	
SRAM 和 ROM	异步	W	8 / 16	16	是	使用字节通道 NBL[1:0]
	异步	R	32	16	是	分为 2 次 FMC 访问
	异步	W	32	16	是	分为 2 次 FMC 访问， 使用字节通道 NBL[1:0]
	异步	W	32	16	是	

### 37.5.3 通用时序规则

#### 信号同步

- 所有的控制器输出信号在内部时钟 (HCLK) 的上升沿变化
- 在同步模式（读取或写入）下，所有输出信号在 HCLK 的上升沿变化。无论 CLKDIV 值为何，所有输出均会按以下方式变化：
  - NOEL/NWEL/NEL/NADV/L/NADVH/NBLL/ 地址有效输出在 FMC\_CLK 时钟的下降沿变化。
  - NOEH/NWEH/NEH/NOEH/NBLH/ 地址有效输出在 FMC\_CLK 时钟的上升沿变化。

### 37.5.4 NOR Flash/PSRAM 控制器异步事务

#### 异步静态存储器（NOR Flash、PSRAM、SRAM）

- 信号通过内部时钟 HCLK 进行同步。此时钟不会发送到存储器
- FMC 总是会先对数据进行采样，而后再禁止片选信号 NE。这样可以确保符合存储器数据保持时序的要求（片选为高到数据传输的最短时间通常为 0 ns）
- 如果使能扩展模式（FMC\_BCRx 寄存器中的 EXTMOD 位置 1），则最多可提供四种扩展模式（A、B、C 和 D）。可以混合使用 A、B、C 和 D 模式来进行读取和写入操作。例如，可以在模式 A 下执行读取操作，而在模式 B 下执行写入操作。
- 如果禁用扩展模式（FMC\_BCRx 寄存器中的 EXTMOD 位复位），则 FMC 可以在模式 1 或模式 2 下运行，如下所述：
  - 当选择 SRAM/PSRAM 存储器类型时，模式 1 为默认模式（FMC\_BCRx 寄存器中 MTYP = 0x0 或 0x01）
  - 当选择 NOR 存储器类型时，模式 2 为默认模式（FMC\_BCRx 寄存器中 MTYP = 0x10）。

模式 1 - SRAM/PSRAM (CRAM)

下图显示所支持模式的读取和写入事务以及 FMC\_BCRx 和 FMC\_BTRx/FMC\_BWTRx 寄存器的所需配置。

图 456. 模式 1 读取访问波形

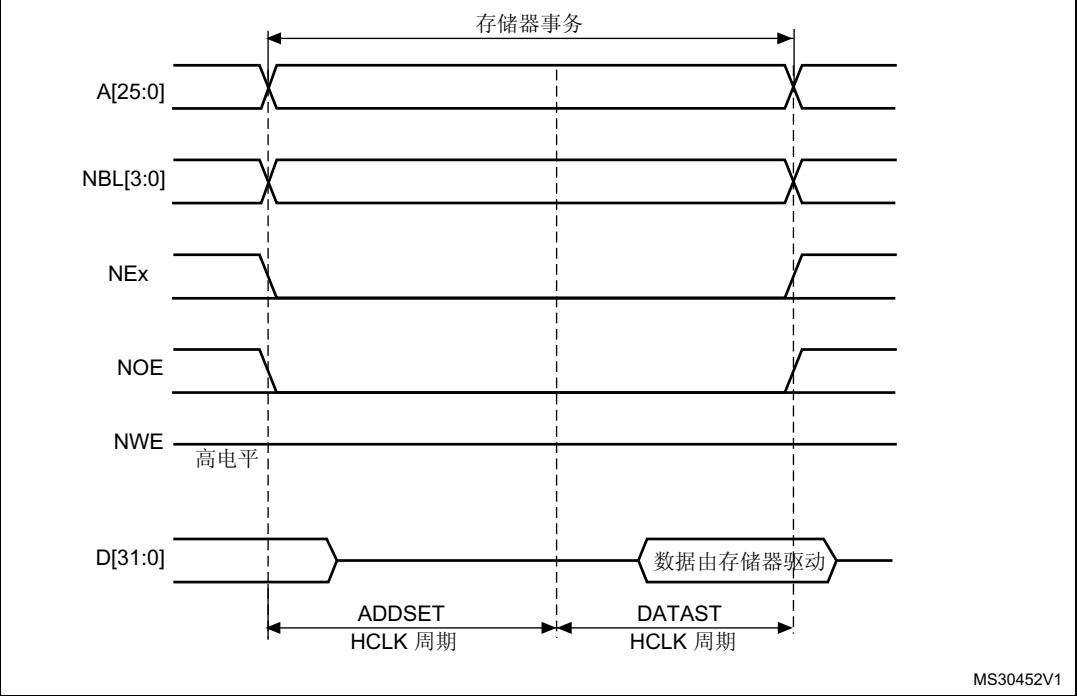
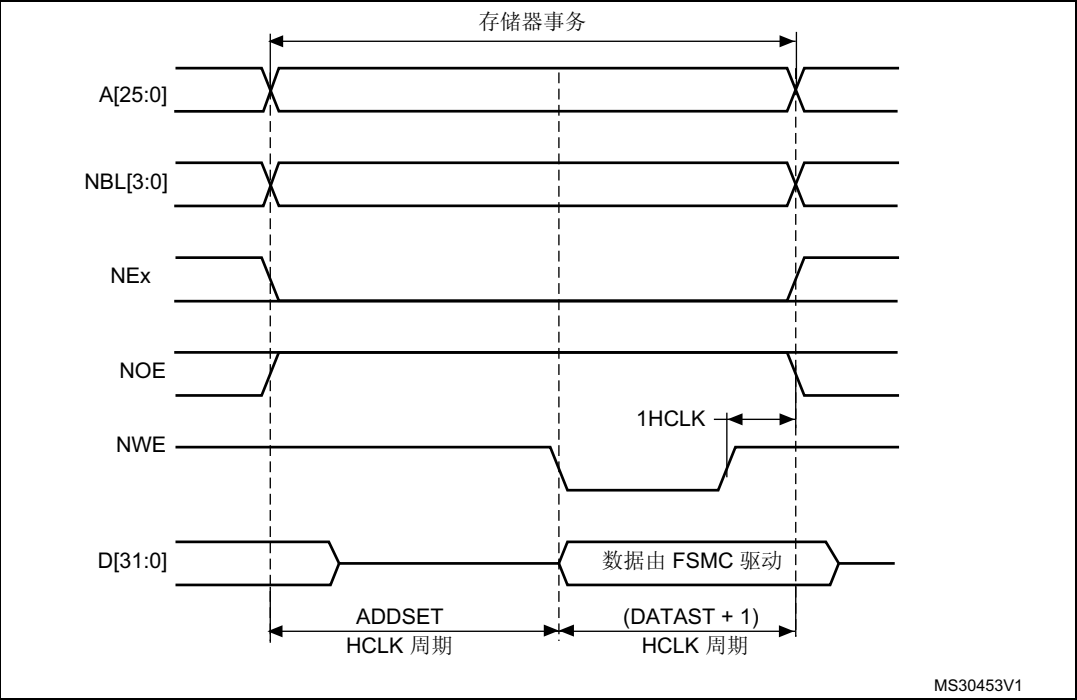


图 457. 模式 1 写入访问波形



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。



位于写入事务末尾的一个 HCLK 周期有助于确保 NWE 上升沿之后的地址和数据保持时间。由于存在此 HCLK 周期，DATAST 值必须大于零 (DATAST > 0)。

表 262. FMC\_BCRx 位字段

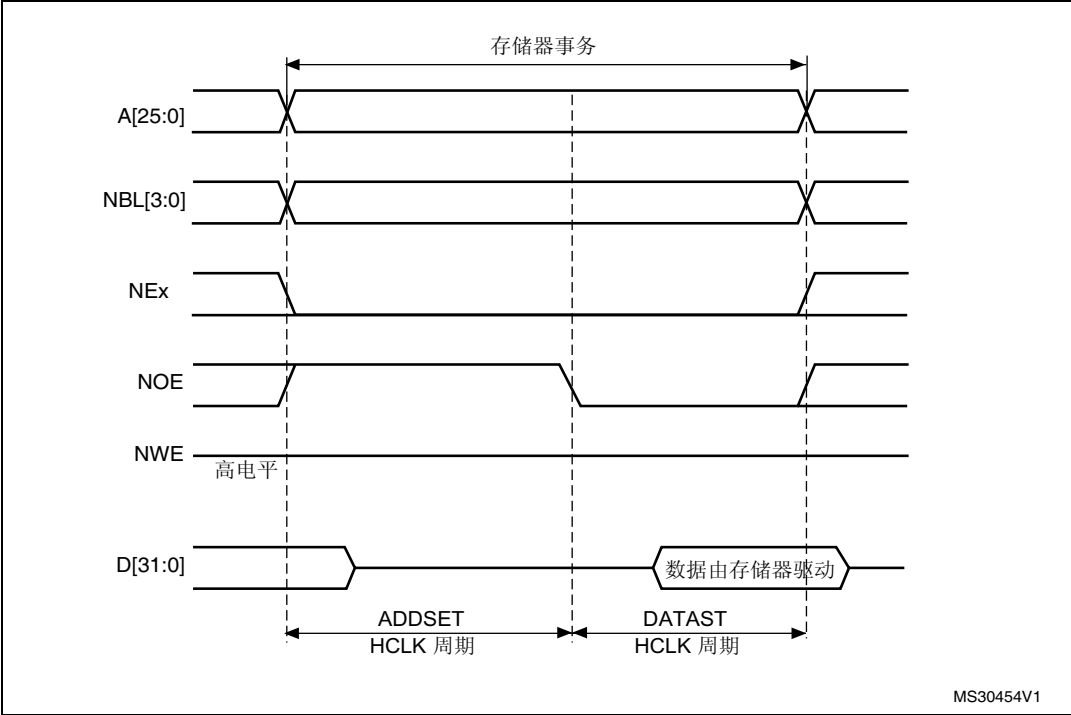
位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0 (对异步模式没有影响)
18:16	保留	0x0
15	ASYNCAWAIT	如果存储器支持该特性, 则置为 1。否则, 保持为 0。
14	EXTMOD	0x0
13	WAITEN	0x0 (对异步模式没有影响)
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	无关
5-4	MWID	根据需要进行设置
3-2	MTYP	根据需要进行设置, 0x2 除外 (NOR Flash)
1	MUXE	0x0
0	MBKEN	0x1

表 263. FMC\_BTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	无关
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	第二个访问阶段的持续时间 (写入访问为 DATAST+1 个 HCLK 周期, 读取访问为 DATAST 个 HCLK 周期)。
7-4	ADDHLD	无关
3-0	ADDSET	第一个访问阶段的持续时间 (ADDSET 个 HCLK 周期)。 ADDSET 最小值为 0。

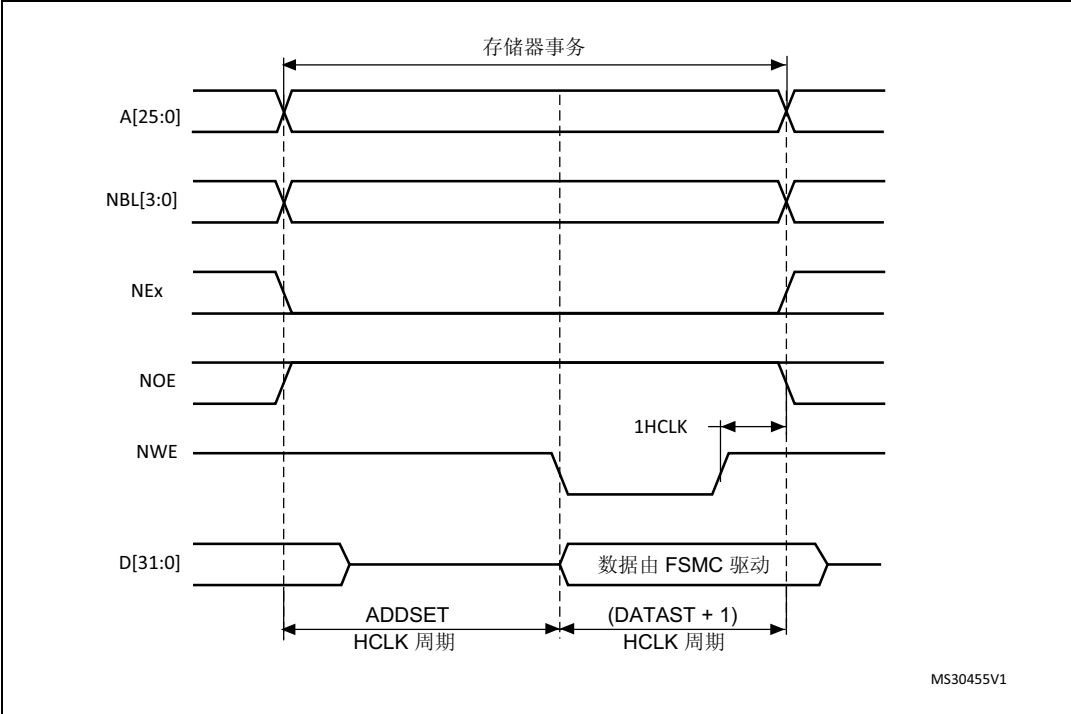
模式 A - SRAM/PSRAM (CRAM) OE 切换

图 458. 模式 A 读取访问波形



1. NBL[3:0] 在进行读取访问时为低电平

图 459. 模式 A 写入访问波形



与模式 1 的不同之处在于 NOE 的切换与独立的读取和写入时序。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 264. FMC\_BCRx 位字段

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0（对异步模式没有影响）
18:16	保留	0x0
15	ASYNCAWAIT	如果存储器支持该特性，则置为 1。否则，保持为 0。
14	EXTMOD	0x1
13	WAITEN	0x0（对异步模式没有影响）
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	无关
5-4	MWID	根据需要进行设置
3-2	MTYP	根据需要进行设置，0x2 除外 (NOR Flash)
1	MUXEN	0x0
0	MBKEN	0x1

表 265. FMC\_BTRx 位字段

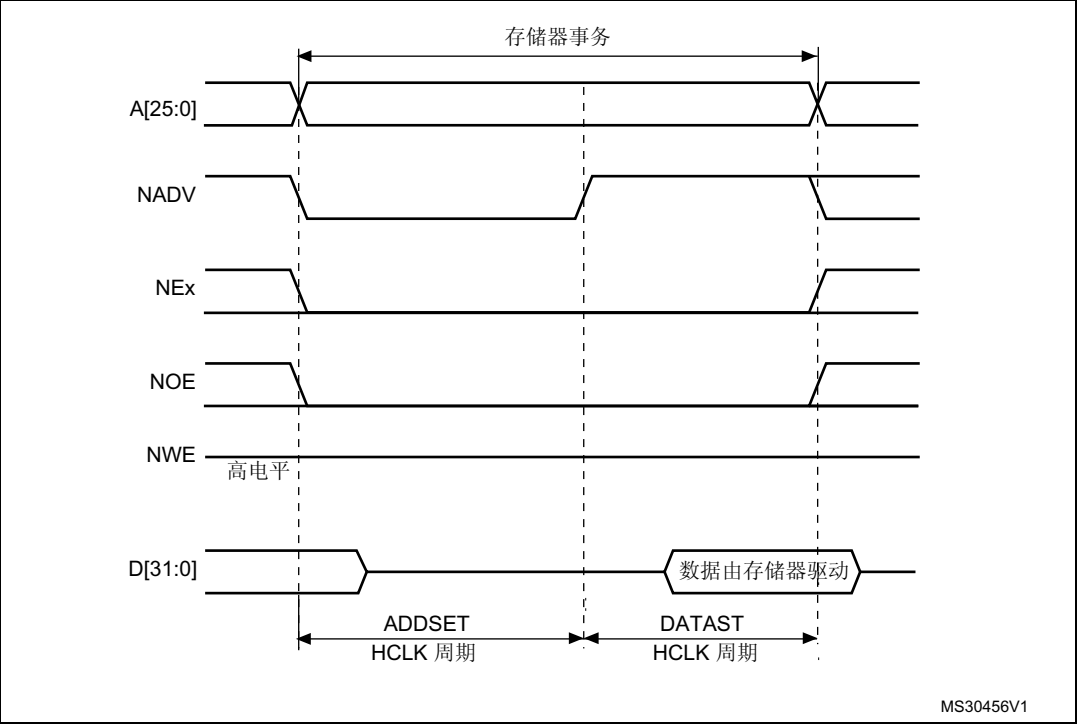
位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST+1 个 HCLK 周期)
7-4	ADDHLD	无关
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET+1 个 HCLK 周期)。 ADDSET 最小值为 0。

表 266. FMC\_BWTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST 个 HCLK 周期)。
7-4	ADDHLD	无关
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。 ADDSET 最小值为 0。

模式 2/B - NOR Flash

图 460. 模式 2 和模式 B 读取访问波形



1. NBL[3:0] 在进行读取访问时为低电平

图 461. 模式 2 写入访问波形

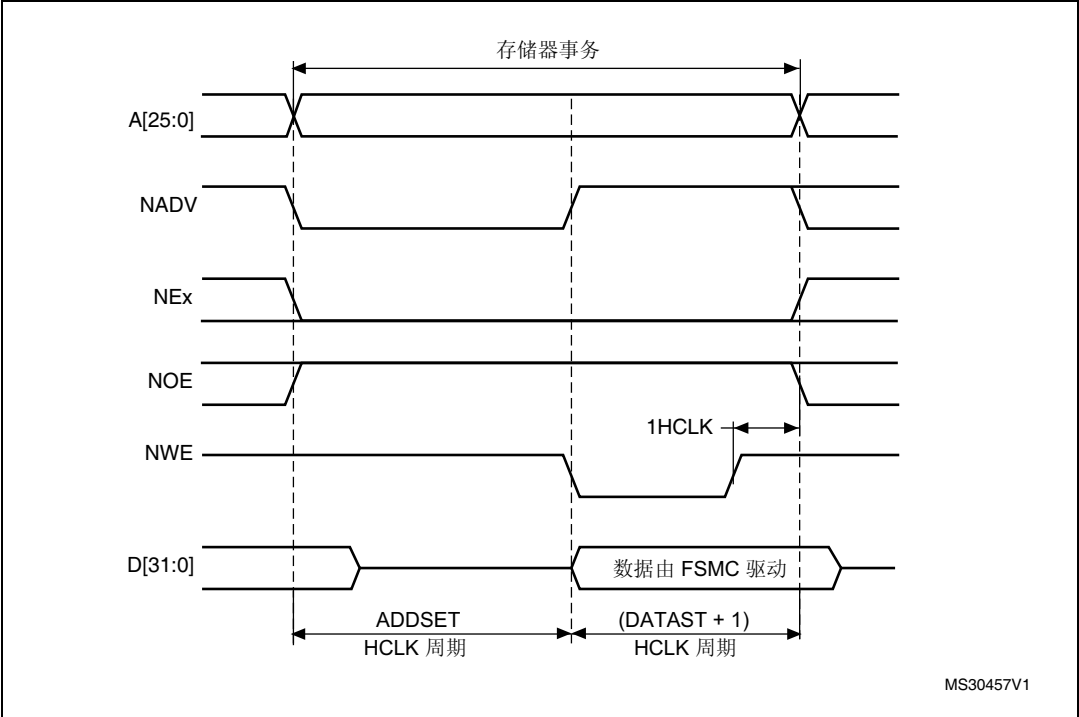
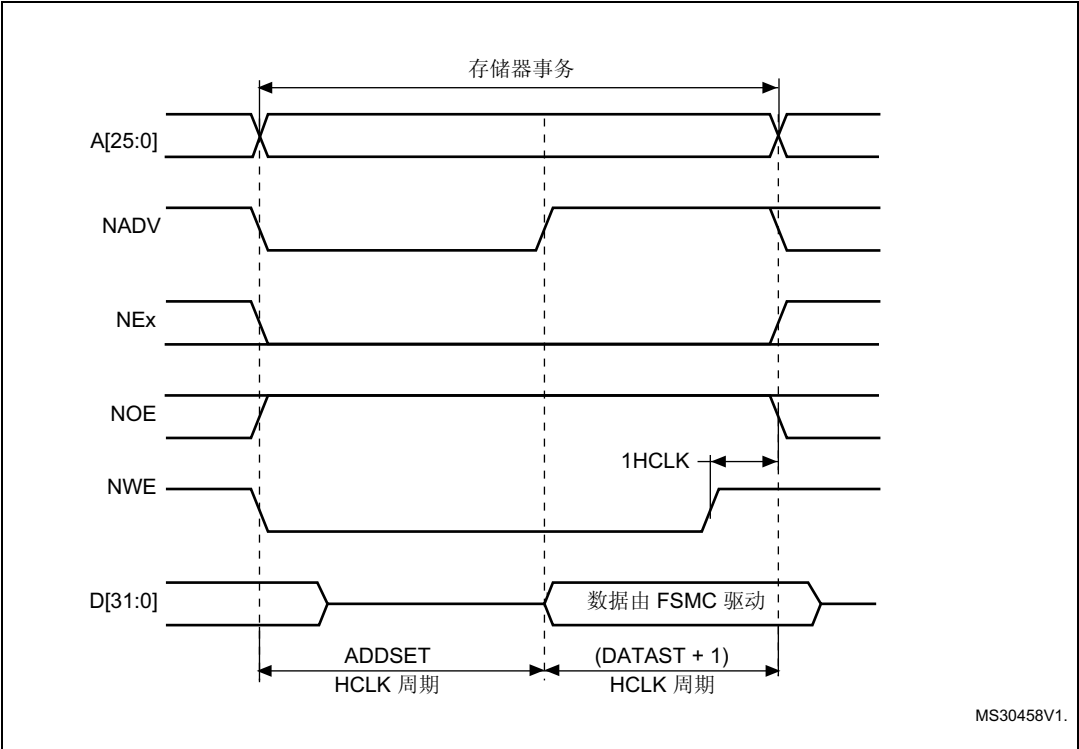


图 462. 模式 B 写入访问波形



与模式 1 的不同之处在于设置扩展模式（模式 B）时的 NWE 切换与独立的读取和写入时序。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 267. FMC\_BCRx 位字段

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0 (对异步模式没有影响)
18:16	保留	0x0
15	ASYNCAWAIT	如果存储器支持该特性, 则置为 1。否则, 保持为 0。
14	EXTMOD	模式 B 为 0x1, 模式 2 为 0x0
13	WAITEN	0x0 (对异步模式没有影响)
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	0x1
5-4	MWID	根据需要进行设置
3-2	MTYP	0x2 (NOR Flash)
1	MUXEN	0x0
0	MBKEN	0x1

表 268. FMC\_BTRx 位字段

位号	位名	要设置的值
31-30	保留	0x0
29-28	ACCMOD	0x1 如果设置了扩展模式
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NE <sub>x</sub> 变为高电平到 NE <sub>x</sub> 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	读取访问第二个阶段的持续时间 (DATAST 个 HCLK 周期)。
7-4	ADDHLD	无关
3-0	ADDSET	读取访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。 ADDSET 最小值为 0。

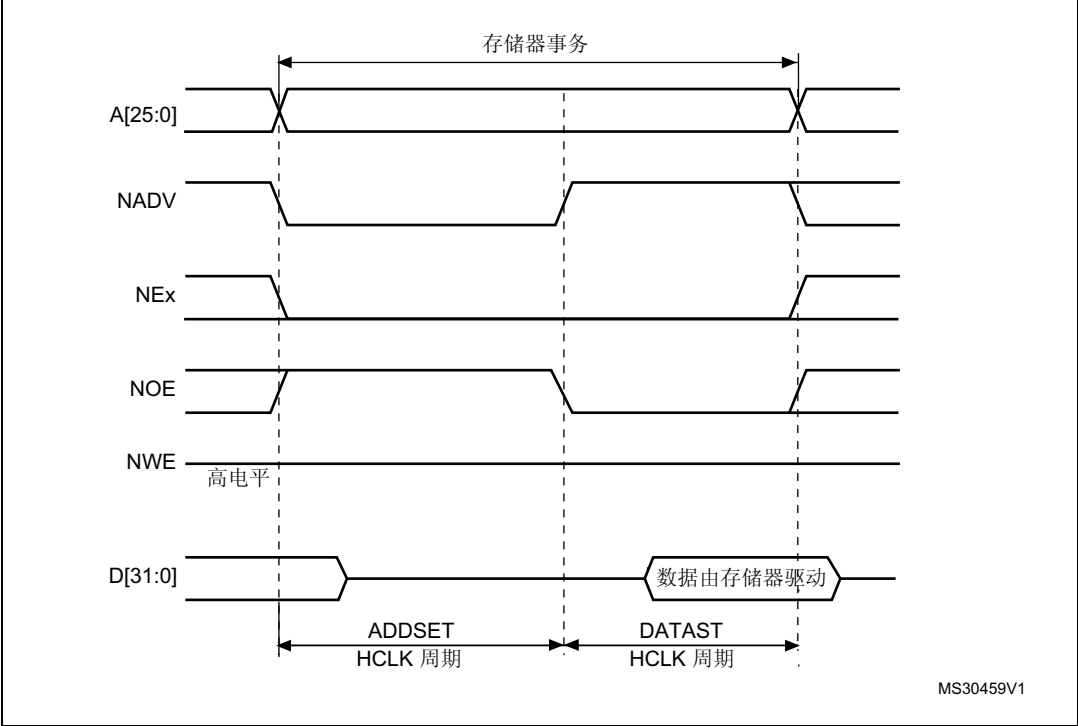
表 269. FMC\_BWTRx 位字段

位号	位名	要设置的值
31-30	保留	0x0
29-28	ACCMOD	0x1 如果设置了扩展模式
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST 个 HCLK 周期)。
7-4	ADDHLD	无关
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。ADDSET 最小值为 0。

注意： 仅当设置了扩展模式（模式 B）时，FMC\_BWTRx 寄存器才有效，否则其内容均为“无关”。

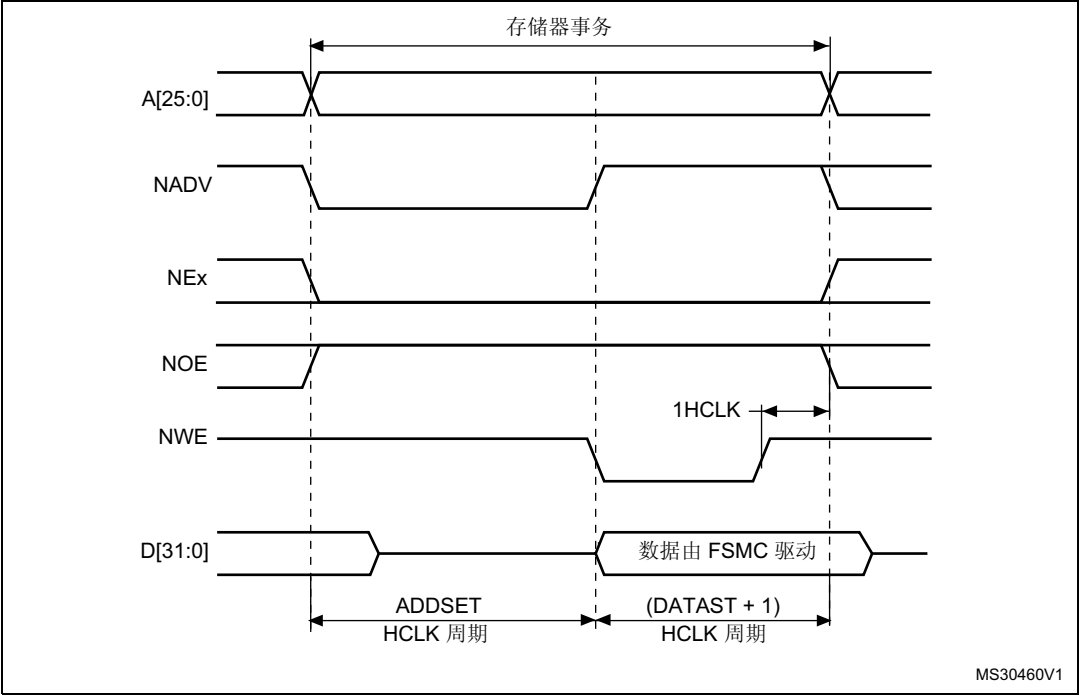
模式 C - NOR Flash - OE 切换

图 463. 模式 C 读取访问波形



注： 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 464. 模式 C 写入访问波形



与模式 1 的不同之处在于 NOE 的切换与独立的读取和写入时序。

表 270. FMC\_BCRx 位字段

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0 (对异步模式没有影响)
18:16	保留	0x0
15	ASYNCWAIT	如果存储器支持该特性，则置为 1。否则，保持为 0。
14	EXTMOD	0x1
13	WAITEN	0x0 (对异步模式没有影响)
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	0x1



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。



表 270. FMC\_BCRx 位字段 (续)

位号	位名	要设置的值
5-4	MWID	根据需要进行设置
3-2	MTYP	0x02 (NOR Flash)
1	MUXEN	0x0
0	MBKEN	0x1

表 271. FMC\_BTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	0x0
23-20	CLKDIV	0x0
19-16	BUSTURN	NE <sub>x</sub> 变为高电平到 NE <sub>x</sub> 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST 个 HCLK 周期)
7-4	ADDHLD	无关
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。ADDSET 最小值为 0。

表 272. FMC\_BWTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x2
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NE <sub>x</sub> 变为高电平到 NE <sub>x</sub> 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST 个 HCLK 周期)。
7-4	ADDHLD	无关
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。ADDSET 最小值为 0。

模式 D - 扩展地址异步访问

图 465. 模式 D 读取访问波形

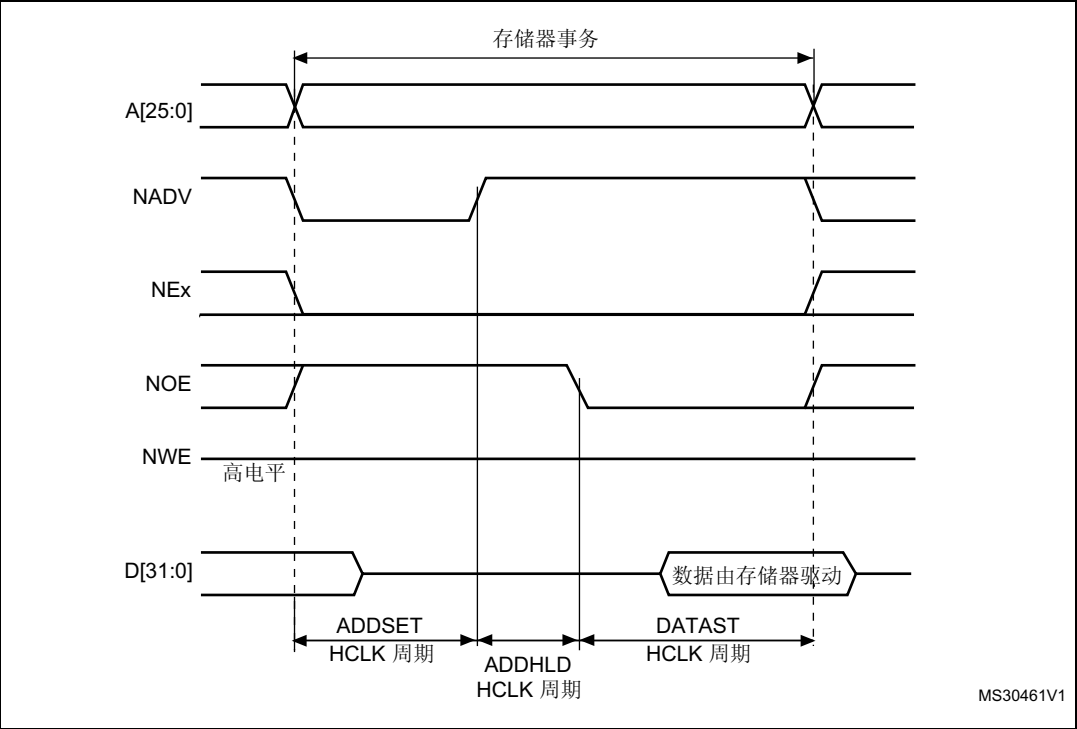
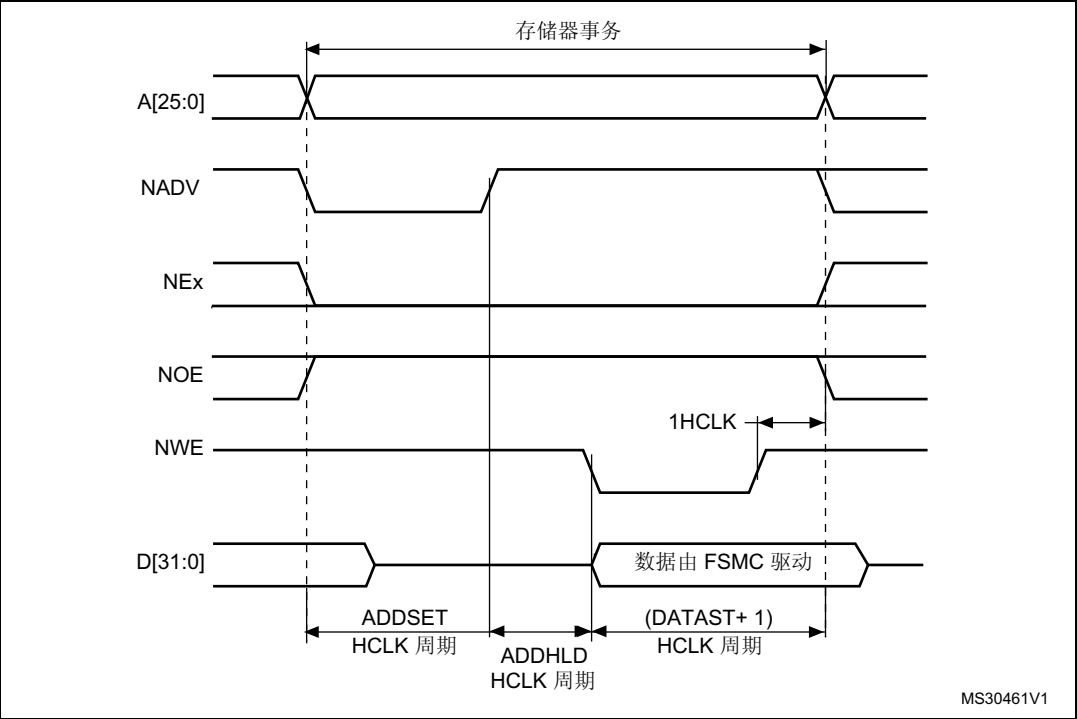


图 466. 模式 D 写入访问波形



与模式 1 的不同之处在于 NADV 变化后 NOE 的切换与独立的读取和写入时序。



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 273. FMC\_BCRx 位字段

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0（对异步模式没有影响）
18:16	保留	0x0
15	ASYNCWAIT	如果存储器支持该特性，则置为 1。否则，保持为 0。
14	EXTMOD	0x1
13	WAITEN	0x0（对异步模式没有影响）
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	根据存储器支持情况进行设置
5-4	MWID	根据需要进行设置
3-2	MTYP	根据需要进行设置
1	MUXEN	0x0
0	MBKEN	0x1

表 274. FMC\_BTRx 位字段

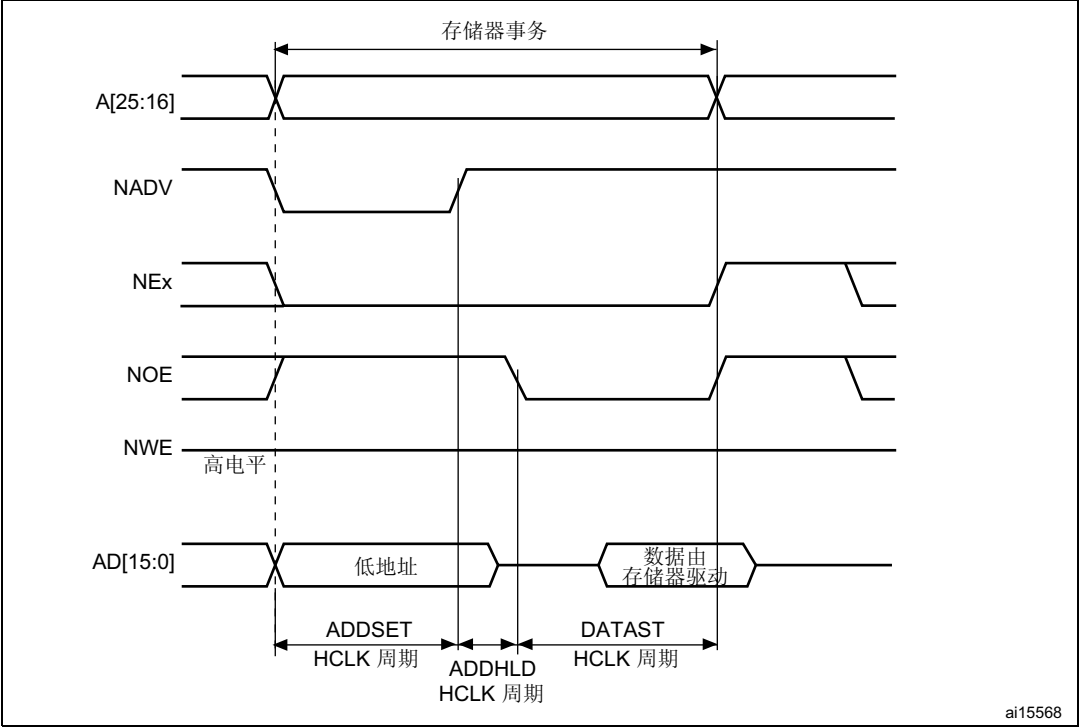
位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x3
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	写入访问第二个阶段的持续时间 (DATAST+1 个 HCLK 周期)
7-4	ADDHLD	读取访问中间阶段的持续时间 (ADDHLD 个 HCLK 周期)。
3-0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET+1 个 HCLK 周期)。ADDSET 的最小值为 1。

表 275. FMC\_BWTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29:28	ACCMOD	0x3
27:24	DATLAT	无关
23:20	CLKDIV	无关
19:16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15:8	DATAST	第二个访问阶段的持续时间 (写入访问为 DATAST+1 个 HCLK 周期)
7:4	ADDHLD	写入访问中间阶段的持续时间 (ADDHLD 个 HCLK 周期)
3:0	ADDSET	写入访问第一个阶段的持续时间 (ADDSET 个 HCLK 周期)。ADDSET 的最小值为 1。

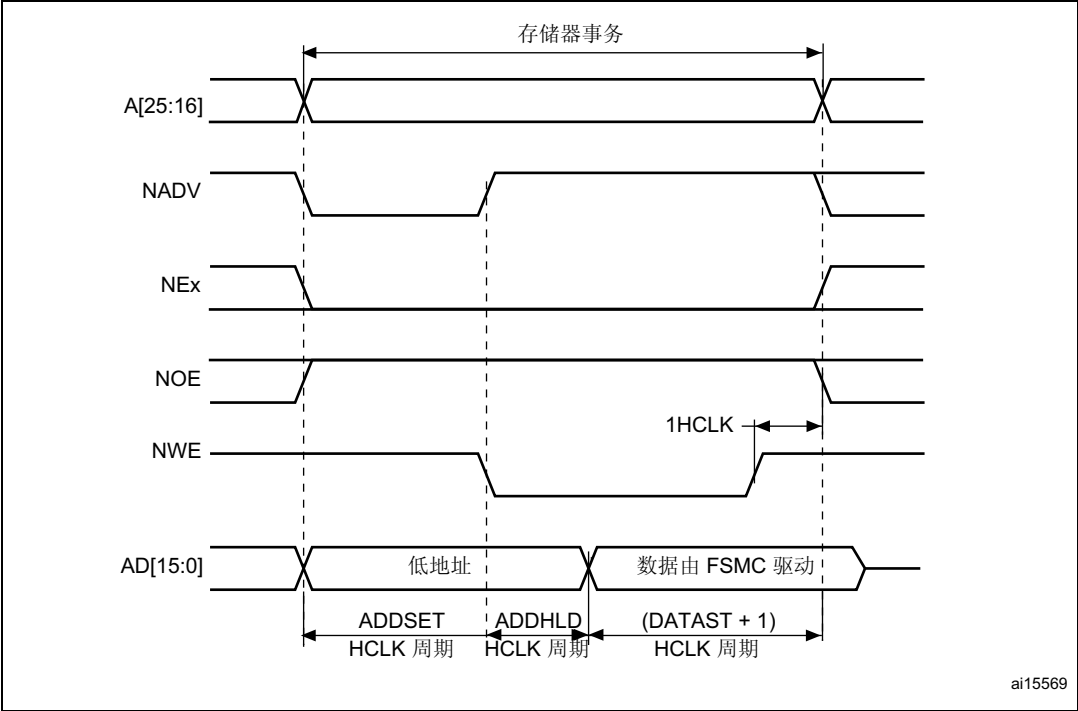
复用模式 - 复用异步访问 NOR Flash

图 467. 复用读取访问波形



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 468. 复用写入访问波形



与模式 D 的不同之处在于在数据总线上驱动低地址字节。

表 276. FMC\_BCRx 位字段

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x0（对异步模式没有影响）
18:16	保留	0x0
15	ASYNCWAIT	如果存储器支持该特性，则置为 1。否则，保持为 0。
14	EXTMOD	0x0
13	WAITEN	0x0（对异步模式没有影响）
12	WREN	根据需要进行设置
11	WAITCFG	无关
10	WRAPMOD	0x0
9	WAITPOL	仅当位 15 为 1 时才有意义
8	BURSTEN	0x0
7	保留	0x1
6	FACCEN	0x1

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 276. FMC\_BCRx 位字段 (续)

位号	位名	要设置的值
5-4	MWID	根据需要进行设置
3-2	MTYP	0x2 (NOR Flash)
1	MUXEN	0x1
0	MBKEN	0x1

表 277. FMC\_BTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29-28	ACCMOD	0x0
27-24	DATLAT	无关
23-20	CLKDIV	无关
19-16	BUSTURN	NE <sub>x</sub> 变为高电平到 NE <sub>x</sub> 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	第二个访问阶段的持续时间 (读取访问为 DATAST 个 HCLK 周期, 写入访问为 DATAST+1 个 HCLK 周期)。
7-4	ADDHLD	访问中间阶段的持续时间 (ADDHLD 个 HCLK 周期)。
3-0	ADDSET	第一个访问阶段的持续时间 (ADDSET 个 HCLK 周期)。ADDSET 的最小值为 1。

### 异步访问中的 WAIT 管理

如果异步存储器发出 WAIT 信号, 指示尚未准备好接受或提供数据, 则 FMC\_BCRx 寄存器中的 ASYNCWAIT 位必须置 1。

如果 WAIT 信号处于有效状态 (电平高低取决于 WAITPOL 位), 则由 DATAST 位控制的第二个访问阶段 (数据建立阶段) 将延长, 直到 WAIT 变为无效状态。与数据建立阶段不同, 由 ADDSET 和 ADDHLD 位控制的第一个访问阶段 (地址建立和地址保持阶段) 对 WAIT 不敏感, 因此第一个访问阶段不会延长。



注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

必须配置数据建立阶段，以便在存储器事务结束前 4 个 HCLK 周期检测到 WAIT。必须考虑以下情况：

1. 存储器发出的 WAIT 信号和 NOE/NWE 信号对齐：

$$DATAST \geq (4 \times HCLK) + \text{max\_wait\_assertion\_time}$$

2. 存储器发出的 WAIT 信号和 NEx 对齐（或者 NOE/NWE 信号不翻转）：  
如果

$$\text{max\_wait\_assertion\_time} > \text{address\_phase} + \text{hold\_phase}$$

那么：

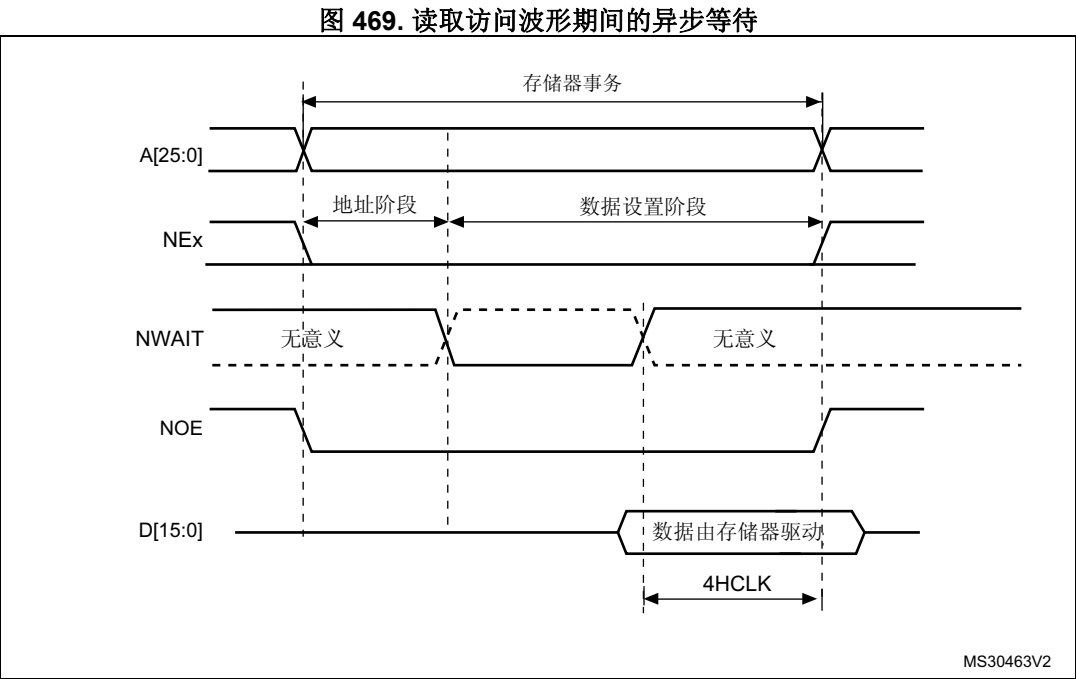
$$DATAST \geq (4 \times HCLK) + (\text{max\_wait\_assertion\_time} - \text{address\_phase} - \text{hold\_phase})$$

否则

$$DATAST \geq 4 \times HCLK$$

其中，max\_wait\_assertion\_time 是在 NEx/NOE/NWE 变为低电平后存储器使能 WAIT 信号所花费的最长时间。

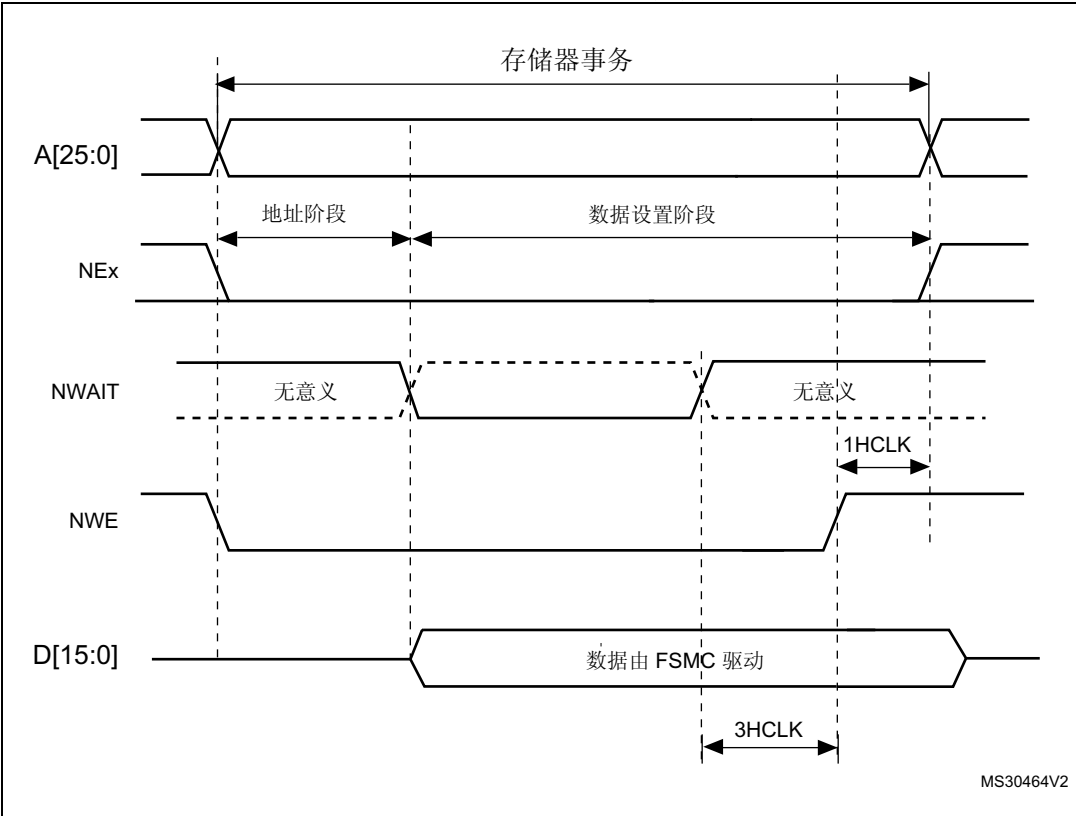
图 469 和 图 470 显示了异步存储器释放 WAIT 之后，在存储器访问阶段增加的 HCLK 时钟周期的个数（与上述情况无关）。



1. NWAIT 极性取决于 FMC\_BCRx 寄存器中的 WAITPOL 位设置。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 470. 写入访问波形期间的异步等待



1. NWAIT 极性取决于 FMC\_BCRx 寄存器中的 WAITPOL 位设置。

### 37.5.5 同步事务

存储器时钟 FMC\_CLK 是 HCLK 的约数。它取决于 CLKDIV 的值和 MWID/AHB 数据大小，如下公式所示：

$$\text{FMC\_CLK 分频比} = \max(\text{CLKDIV} + 1, \text{MWID}(\text{AHB 数据大小}))$$

MWID 为 16 位或 8 位时，FMC\_CLK 分频比始终由 CLKDIV 的设定值定义。

MWID 为 32 位时，FMC\_CLK 分频比还取决于 AHB 数据大小。

示例：

- CLKDIV = 1, MWID = 32 位, AHB 数据大小 = 8 位时, FMC\_CLK = HCLK/4。
- CLKDIV = 1, MWID = 16 位, AHB 数据大小 = 8 位时, FMC\_CLK = HCLK/2。

NOR Flash 指定了从 NADV 使能到 CLK 高电平的最短时间。为了符合这一限制，FMC 不会在同步访问的第一个内部时钟周期内（NADV 使能之前）将时钟发到存储器。这样可以确保存储器时钟的上升沿出现在 NADV 低脉冲的中间。



## 数据延迟与 NOR 延迟

数据延迟是对数据进行采样之前需要等待的周期数。DATLAT 的值必须与 NOR FLASH 配置寄存器中指定的延迟值一致。当数据延迟计数中 NADV 为低电平时，FMC 不会计入时钟周期。

**小心：** 一些 NOR Flash 将 NADV 低电平周期计入数据延迟计数，这样 NOR Flash 延迟和 FMC DATLAT 参数之间的确切关系可以是以下任一种：

- NOR Flash 延迟 = (DATLAT + 2) 个 CLK 时钟周期
- NOR Flash 延迟 = (DATLAT + 3) 个 CLK 时钟周期

近来有一些存储器会在延迟阶段使能 NWAIT。在这种情况下，可以将 DATLAT 设置为最小值。然后，FMC 会对数据进行采样，并且等待足够长的时间来评估数据是否有效。这样，FMC 就能检测到存储器存在延迟的时间，从而处理真实数据。

其他存储器不会在延迟期间使能 NWAIT。在这种情况下，必须正确设置 FMC 和存储器的延迟，否则可能会将无效数据误用为有效数据，或者在存储器访问初始阶段丢失有效数据。

## 单次突发传输

当所选存储区域配置为同步突发模式时，例如，如果向 16-bit 存储器请求了一个 AHB 单次突发事务，则 FMC 会执行长度为 1 的突发事务（如果 AHB 传输为 16 位）或者长度为 2 的突发事务（如果 AHB 传输为 32 位），然后在最后一个数据选通时禁止片选信号。

与异步读取操作相比，就周期而言这并不是最有效的传输方法。但是，随机异步读取需要先重新编程存储器访问模式，这样总时间会更长。

## 等待管理

对于同步 NOR Flash，会在配置的延迟周期（相当于 (DATLAT+2) 个 CLK 时钟周期）之后对 NWAIT 进行评估。

如果 NWAIT 有效（WAITPOL = 0 时为低电平，WAITPOL = 1 时为高电平），会插入等待状态，直到 NWAIT 无效（WAITPOL = 0 时为高电平，WAITPOL = 1 时为低电平）。

当 NWAIT 无效时，数据将立即（位 WAITCFG = 1）或在下一个时钟边沿（位 WAITCFG = 0）被视为有效。

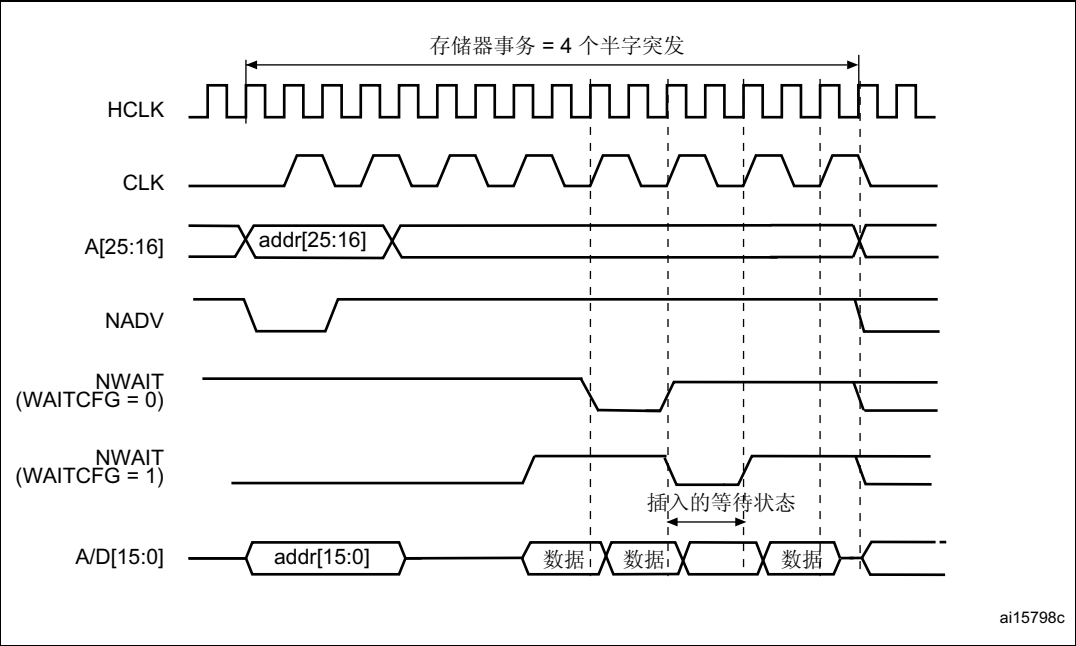
通过 NWAIT 信号插入等待周期期间，控制器会继续将时钟脉冲发送到存储器，保持片选和输出使能信号有效。但不将数据视为有效。

突发模式下，NOR Flash NWAIT 信号有两种时序配置：

- Flash 在等待周期之前一个数据周期发出 NWAIT 信号（复位后的默认值）。
- Flash 在等待周期期间发出 NWAIT 信号

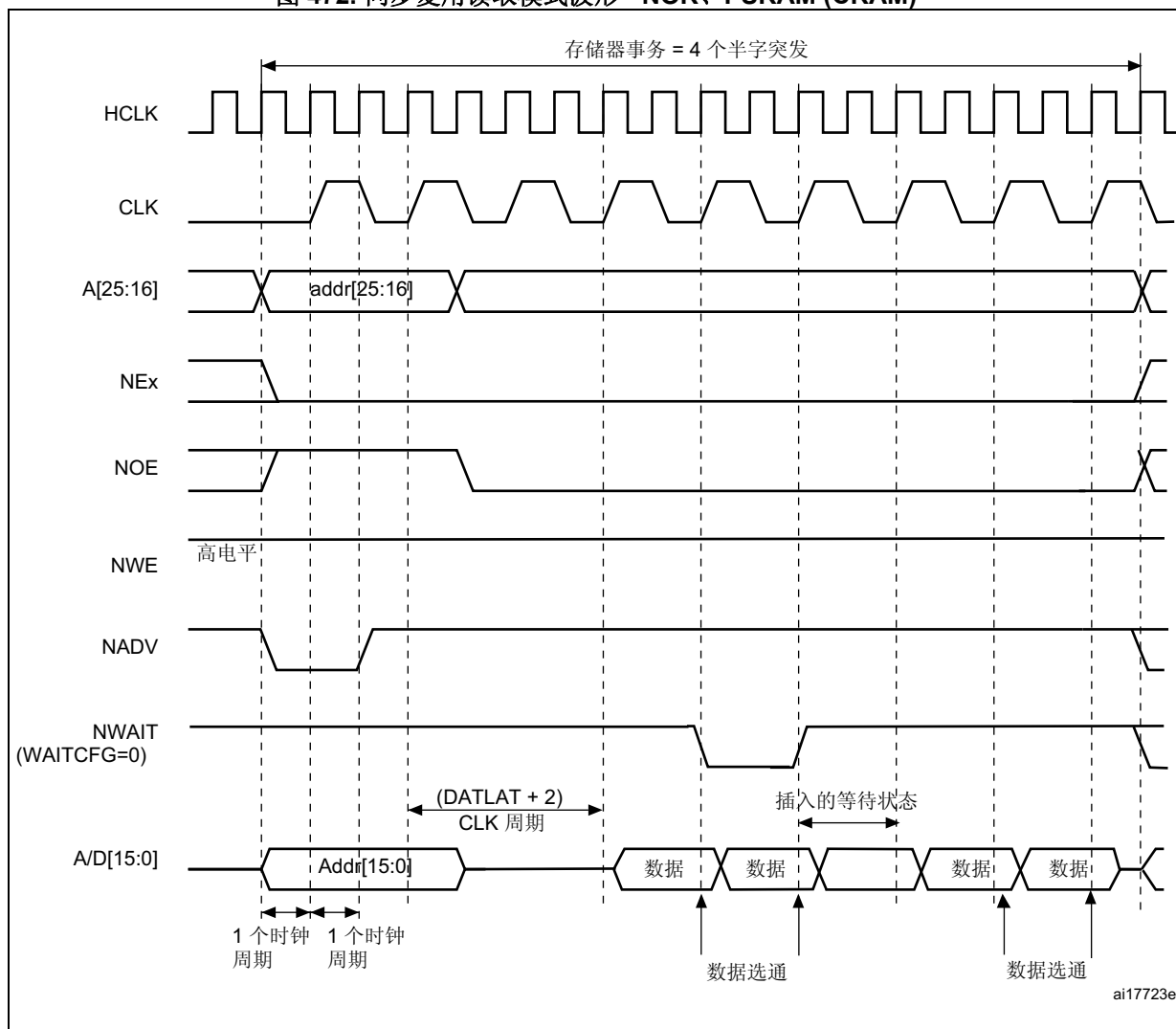
FMC 支持这两种 NOR Flash 等待周期配置，通过 FMC\_BCRx 寄存器的 WAITCFG 位 (x = 0..3) 针对每个片选进行配置。

图 471. 等待配置波形



注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

**图 472. 同步复用读取模式波形 - NOR、PSRAM (CRAM)**



1. 字节通道输出 BL 未显示，它们对于 NOR 访问保持高电平，对于 PSRAM (CRAM) 访问则保持低电平。

**表 278. FMC\_BCRx 位字段**

位号	位名	要设置的值
31-21	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	对同步读取没有影响
18-15	保留	0x0
14	EXTMOD	0x0
13	WAITEN	在存储器支持该特性的情况下置位为 1，否则保持为 0
12	WREN	对同步读取没有影响
11	WAITCFG	是否置位视存储器情况而定
10	WRAPMOD	0x0

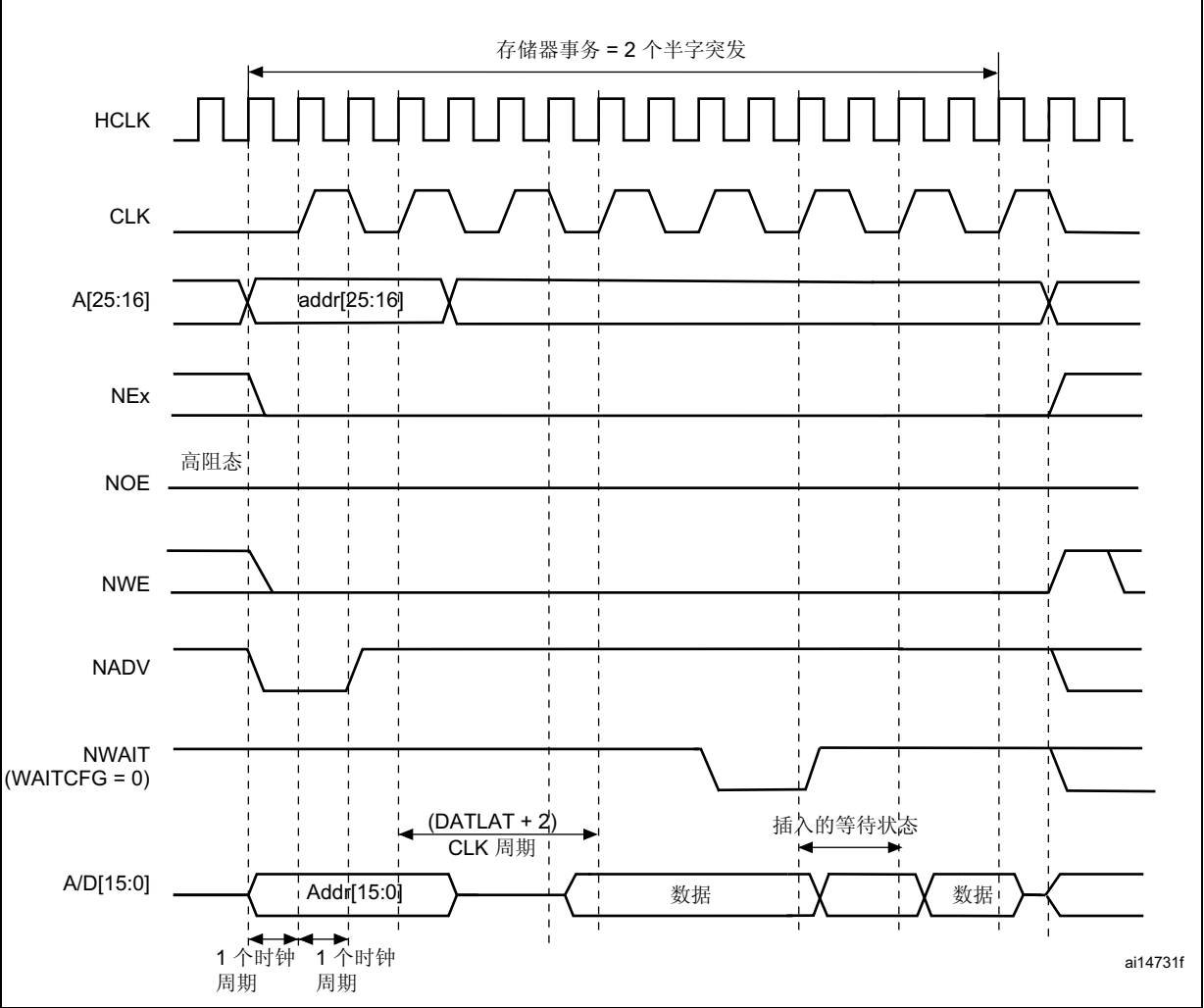
表 278. FMC\_BCRx 位字段 (续)

位号	位名	要设置的值
9	WAITPOL	是否置位视存储器情况而定
8	BURSTEN	0x1
7	保留	0x1
6	FACCEN	在存储器支持的情况下置位 (NOR Flash)
5-4	MWID	根据需要进行设置
3-2	MTYP	0x1 或 0x2
1	MUXEN	根据需要进行设置
0	MBKEN	0x1

表 279. FMC\_BTRx 位字段

位号	位名	要设置的值
31:30	保留	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	数据延迟
27-24	DATLAT	数据延迟
23-20	CLKDIV	0x0, 使 CLK = HCLK (不支持) 0x1, 使 CLK = 2 × HCLK ..
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	无关
7-4	ADDHLD	无关
3-0	ADDSET	无关

图 473. 同步复用写入模式波形 - PSRAM (CRAM)



1. 存储器必须提前一个周期发出 NWAIT 信号，相应地 WAITCFG 必须编程为 0。
2. 字节通道 (NBL) 输出未显示，当 NEx 有效时它们保持低电平。

表 280. FMC\_BCRx 位字段

位号	位名	要设置的值
31-20	保留	0x000
20	CCLKEN	根据需要进行设置
19	CBURSTRW	0x1
18-15	保留	0x0
14	EXTMOD	0x0
13	WAITEN	在存储器支持该特性的情况下置位为 1，否则保持为 0。
12	WREN	0x1
11	WAITCFG	0x0
10	WRAPMOD	0x0

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

表 280. FMC\_BCRx 位字段 (续)

位号	位名	要设置的值
9	WAITPOL	是否置位视存储器情况而定
8	BURSTEN	对同步写入没有影响
7	保留	0x1
6	FACCEN	根据存储器支持情况进行设置
5-4	MWID	根据需要进行设置
3-2	MTYP	0x1
1	MUXEN	根据需要进行设置
0	MBKEN	0x1

表 281. FMC\_BTRx 位字段

位号	位名	要设置的值
31-30	保留	0x0
29:28	ACCMOD	0x0
27-24	DATLAT	数据延迟
23-20	CLKDIV	0x0, 使 CLK = HCLK (不支持) 0x1, 使 CLK = 2 × HCLK
19-16	BUSTURN	NEx 变为高电平到 NEx 变为低电平之间的时间 (BUSTURN HCLK)
15-8	DATAST	无关
7-4	ADDHLD	无关
3-0	ADDSET	无关

## 37.5.6 NOR/PSRAM 控制寄存器

### SRAM/NOR-Flash 片选控制寄存器 1..4 (FMC\_BCR1..4)

SRAM/NOR-Flash chip-select control registers 1..4

偏移地址：8 \* (x - 1), x = 1..4

复位值：对于存储区域 1 为 0x0000 30DB，对于存储区域 2 到 4 为 0x0000 30D2

该寄存器包含每个存储区域的控制信息，用于 SRAM、PSRAM 和 NOR Flash。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved											CCLKEN	CBURSTRW	Reserved				ASYNCWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	Reserved	FACCEN	MWID		MTYP		MUXEN	MBKEN
											rw	rw					rw	rw	rw	rw	rw	rw	rw	rw		rw	rw	rw	rw	rw	rw	rw

位 31:21 保留，必须保持复位值

位 20 **CCLKEN**：连续时钟使能 (Continuous Clock Enable)。

该位可使能向外部存储器器件输出 FMC\_CLK 时钟。

0：仅在同步存储器访问（读/写事务）期间生成 FMC\_CLK。FMC\_CLK 时钟分频比由 FMC\_BCRx 寄存器中配置的 CLKDIV 值指定（复位后的默认值）。

1：异步和同步访问期间连续生成 FMC\_CLK。CCLKEN 置 1 将激活 FMC\_CLK 时钟。

注意：FMC\_BCR2..4 寄存器的 CCLKEN 位为“无关”位。只能通过 FMC\_BCR1 寄存器使能。存储区域 1 必须配置为支持同步模式才能生成 FMC\_CLK 连续时钟。

注意：如果 CCLKEN 位置 1，则 FMC\_CLK 时钟分频比将由 FMC\_BTR1 寄存器的 CLKDIV 值指定。FMC\_BWTR1 寄存器中的 CLKDIV 为无关位。

注意：如果采用同步模式且 CCLKEN 位置 1，则与存储区域 1 之外的其它存储区域相连的同步存储器将共用同一个时钟源（FMC\_BTR2..4 寄存器和 FMC\_BWTR2..4 寄存器中的 CLKDIV 值和对其它存储区域不起作用。）

位 19 **CBURSTRW**：突发写使能 (Write burst enable)。

PSRAM (CRAM) 在突发模式下工作时，该位可使能同步写访问。同步读取访问的使能位为 FMC\_BCRx 寄存器中的 BURSTEN 位。

0：始终在异步模式下写入

1：在同步模式下写入。

位 18:16 保留，必须保持复位值

位 15 **ASYNCWAIT**：异步传输期间的等待信号 (Wait signal during asynchronous transfers)

该位可使能/禁止 FMC 使用等待信号，即使在异步协议期间也有效。

0：运行异步协议时不考虑 NWAIT 信号（复位后的默认值）

1：运行异步协议时考虑 NWAIT 信号

位 14 **EXTMOD**：扩展模式使能 (Extended mode enable)。

FMC 可对 FMC\_BWTR 寄存器中异步访问的写入时序进行配置，此配置由 EXTMOD 位使能，进而使读取和写入操作采用不同时序。

0：不考虑 FMC\_BWTR 寄存器中的值（复位后的默认值）

1：考虑 FMC\_BWTR 寄存器中的值

注意：如果禁用扩展模式，FMC 可以在模式 1 或模式 2 下运行，如下所述：

- 当选择 SRAM/PSRAM 存储器类型时，模式 1 为默认模式 (MTYP = 0x0 或 0x01)
- 当选择 NOR 存储器类型时，模式 2 为默认模式 (MTYP = 0x10)。

**位 13 WAITEN:** 等待使能位 (Wait enable bit)。

该位可使能/禁止在同步模式下访问存储器时通过 NWAIT 信号插入等待周期。

0: 禁止 NWAIT 信号 (不考虑其电平, 不在配置过的 Flash 延迟周期后插入等待周期)

1: 使能 NWAIT 信号 (考虑其电平, 如果使能, 在配置过的延迟周期后插入等待周期) (复位后的默认值)

**位 12 WREN:** 写入使能位 (Write enable bit)。

该位指示 FMC 是否使能/禁止在存储区域内写入:

0: FMC 禁止在存储区域内写入, 如果进行写操作将报告 AHB 错误,

1: FMC 使能在存储区域内写入 (复位后的默认值)。

**位 11 WAITCFG:** 等待时序配置 (Wait timing configuration)。

NWAIT 信号指示存储器中的数据是否有效, 或者在同步模式下访问存储器时是否必须插入等待周期。该配置位决定存储器是在等待周期之前的一个时钟周期还是等待周期期间使能 NWAIT:

0: NWAIT 信号在等待周期之前的一个数据周期有效 (复位后的默认值),

1: NWAIT 信号在等待周期期间有效 (不适用于 PSRAM)。

**位 10 WRAPMOD:** 环回突发模式支持 (Wrapped burst mode support)。

定义控制器是否会将一个 AHB 突发环回访问分割成为两个线性访问。仅在突发模式下访问存储器时有效

0: 不使能直接环回突发 (复位后的默认值),

1: 使能直接环回突发。

*注意: 由于 CPU 和 DMA 无法生成环回突发传输, 因此该位无效。*

**位 9 WAITPOL:** 等待信号极性位 (Wait signal polarity bit)。

定义同步或异步模式下使用的存储器的等待信号极性:

0: NWAIT 低电平有效 (复位后的默认值),

1: NWAIT 高电平有效。

**位 8 BURSTEN:** 突发使能位 (Burst enable bit)。

该位可使能/禁止同步读取访问。该位仅对突发模式下工作的同步存储器有效:

0: 禁止突发模式 (复位后的默认值)。在异步模式下进行读取访问。

1: 使能突发模式。在同步模式下进行读取访问。

**位 7** 保留, 必须保持复位值**位 6 FACCEN:** Flash 访问使能 (Flash access enable)

使能 NOR Flash 访问操作。

0: 禁止相应的 NOR Flash 访问

1: 使能相应的 NOR Flash 访问 (复位后的默认值)

**位 5:4 MWID:** 存储器数据总线宽度 (Memory data bus width)。

定义外部存储器器件宽度, 对所有类型的存储器均有效。

00: 8 位,

01: 16 位 (复位后的默认值),

10: 32 位,

11: 保留, 不使用。



位 3:2 **MTYP**: 存储器类型 (Memory type)。

定义与相应存储区域相连的外部存储器类型:

00: SRAM (对于存储区域 2...4, 复位后的默认值)

01: PSRAM (CRAM)

10: NOR Flash/OneNAND Flash (对于存储区域 1, 复位后的默认值)

11: 保留

位 1 **MUXEN**: 地址/数据复用使能位 (Address/data multiplexing enable bit)。

该位置 1 时, 地址和数据值在数据总线上复用, 仅对 NOR 和 PSRAM 存储器有效:

0: 地址/数据非复用

1: 地址/数据在数据总线上复用 (复位后的默认值)

位 0 **MBKEN**: 存储区域使能位 (Memory bank enable bit)。

使能存储区域。复位后使能存储区域 1, 其它存储区域均禁止。访问禁止的存储区域会引起 AHB 总线上的错误。

0: 禁止相应的存储区域

1: 使能相应的存储区域

### SRAM/NOR-Flash 片选时序寄存器 1..4 (FMC\_BTR1..4)

SRAM/NOR-Flash chip-select timing registers 1..4

偏移地址:  $0x04 + 8 * (x - 1)$ ,  $x = 1..4$

复位值: 0x0FFF FFFF

复位值: 0x0FFF FFFF

该寄存器包含每个存储区域的控制信息, 用于 SRAM、PSRAM 和 NOR Flash。如果 FMC\_BCRx 寄存器中的 EXTMOD 位置 1, 该寄存器将和另外一个寄存器配合来配置写入和读取访问, 也就是说有 2 个寄存器可用: 一个用于配置读取访问 (此寄存器), 另一个用于配置写入访问 (FMC\_BWTRx 寄存器)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		ACCMOD		DATLAT				CLKDIV				BUSTURN				DATAST								ADDHLD				ADDSET			
		r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

位 31:30 保留，必须保持复位值

位 29:28 **ACCMOD**：访问模式 (Access mode)

指定异步访问模式，如时序图所示。仅当 FMC\_BCRx 寄存器中的 EXTMOD 位置 1 时，这些位才有效。

00：访问模式 A

01：访问模式 B

10：访问模式 C

11：访问模式 D

位 27:24 **DATLAT**：同步存储器的数据延迟 (Data latency for synchronous memory) (参见位说明下方的注释)

对于使能了读/写突发模式 (BURSTEN/CBURSTRW 位置 1) 的同步访问，该字段定义读写首个数据前要发送给存储器的存储器时钟周期数 (+2)。该时序参数以 FMC\_CLK 周期而非 HCLK 周期表示。该值与异步访问模式无关。

0000：首次突发访问时，2 个 CLK 时钟周期的数据延迟

1111：首次突发访问时，17 个 CLK 时钟周期的数据延迟 (复位后的默认值)

位 23:20 **CLKDIV**：FMC\_CLK 信号的时钟分频比 (Clock divide ratio (for FMC\_CLK signal))

定义 FMC\_CLK 时钟输出信号的周期，以 HCLK 周期数表示：

0000：保留

0001：FMC\_CLK 周期 = 2 × HCLK 周期

0010：FMC\_CLK 周期 = 3 × HCLK 周期

1111：FMC\_CLK 周期 = 16 × HCLK 周期 (复位后的默认值)

在异步 NOR Flash、SRAM 或 PSRAM 访问模式下，该值为无关值。

注意：有关 FMC\_CLK 分频比公式的信息请参见第 37.5.5 节：同步事务

位 19:16 **BUSTURN**：总线周转阶段的持续时间 (Bus turnaround phase duration)

通过软件写入这些位可在写入/读取事务的结尾添加延迟。该延迟可以匹配连续事务之间的最短时间 ( $t_{EHEL}$  由 NEx 高电平变为 NEx 低电平) 以及存储器在读取访问后释放数据总线所需的最长时间 ( $t_{EHQZ}$ )：

$(BUSTURN + 1)HCLK \text{ 周期} \geq t_{EHELmin}$  和  $(BUSTURN + 2)HCLK \text{ 周期} \geq t_{EHQZmax}$  (如果 EXTMOD = “0”)

$(BUSTURN + 2)HCLK \text{ 周期} \geq \max(t_{EHELmin}, t_{EHQZmax})$  (如果 EXTMOD = “1”)。

0000：BUSTURN 阶段的持续时间 = 增加 0 个 HCLK 时钟周期

...

1111：BUSTURN 阶段的持续时间 = 15 × HCLK 时钟周期 (复位后的默认值)

**位 15:8 DATAST: 数据阶段的持续时间 (Data-phase duration)**

通过软件写入这些位可定义数据阶段的持续时间（请参见图 456 到图 468），适用于异步访问模式：

0000 0000: 保留

0000 0001: DATAST 阶段的持续时间 =  $1 \times \text{HCLK}$  时钟周期

0000 0010: DATAST 阶段的持续时间 =  $2 \times \text{HCLK}$  时钟周期

...

1111 1111: DATAST 阶段的持续时间 =  $255 \times \text{HCLK}$  时钟周期（复位后的默认值）

有关每种存储器类型和访问模式数据阶段持续时间的信息，请参见相应图片（图 456 到图 468）。

例如：在模式 1、写入访问以及 DATAST=1 条件下，数据阶段的持续时间 = DATAST+1 = 2 个 HCLK 时钟周期。

*注意：在同步访问模式下，该值为无关值。*

**位 7:4 ADDHLD: 地址保持阶段的持续时间 (Address-hold phase duration)**

通过软件写入这些位可定义地址保持阶段的持续时间（请参见图 465 到图 468），适用于模式 D 或复用访问：

0000: 保留

0001: ADDHLD 阶段的持续时间 =  $1 \times \text{HCLK}$  时钟周期

0010: ADDHLD 阶段的持续时间 =  $2 \times \text{HCLK}$  时钟周期

...

1111: ADDHLD 阶段的持续时间 =  $15 \times \text{HCLK}$  时钟周期（复位后的默认值）

有关每种访问模式地址保持阶段持续时间的信息，请参见相应图片（图 465 到图 468）。

*注意：在同步访问模式下，该值不使用，因为地址保持阶段的持续时间始终是 1 个存储器时钟周期。*

**位 3:0 ADDSET: 地址设置阶段的持续时间 (Address setup phase duration)**

通过软件写入这些位可定义地址设置阶段的持续时间（请参见图 456 到图 468），适用于 SRAM、ROM 和异步 NOR Flash 访问模式：

0000: ADDSET 阶段的持续时间 =  $0 \times \text{HCLK}$  时钟周期

...

1111: ADDSET 阶段的持续时间 =  $15 \times \text{HCLK}$  时钟周期（复位后的默认值）

有关每种访问模式地址设置阶段持续时间的信息，请参见相应图片（请参见图 456 到图 468）。

*注意：在同步访问模式下，该值为无关值。*

*复用模式或模式 D 下，ADDSET 的最小值为 1。*

**注意：** **PSRAM (CRAM)** 由于内部刷新而导致数据延时时间长度不确定。因此，这些存储器会在整个延迟阶段发送 NWAIT 信号，以便按照需要延长延迟。

对于 **PSRAM (CRAM)**，字段 DATLAT 必须设置为 0，这样 FMC 会立即退出延迟阶段，开始对存储器中的 NWAIT 采样，然后在存储器准备就绪后开始读取或写入。

此方法也适用于最新一代的同步 Flash，同早期 Flash 不同的是，此类 Flash 会发送 NWAIT 信号（检查所用的具体 Flash 数据表）。

**SRAM/NOR-Flash 写入时序寄存器 1..4 (FMC\_BWTR1..4)**

SRAM/NOR-Flash write timing registers 1..4

偏移地址:  $0x104 + 8 * (x - 1)$ ,  $x = 1...4$ 

复位值: 0x0FFF FFFF

此寄存器包含每个存储区域的控制信息，用于 SRAM、PSRAM 和 NOR Flash。当 FMC\_BCRx 寄存器中的 EXTMOD 位置 1 时，该寄存器将处于有效状态，可以进行写入访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved		ACCMOD		Reserved								BUSTURN				DATAST								ADDHLD				ADDSET			
		r/w	r/w									r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

位 31:30 保留，必须保持复位值

位 29:28 **ACCMOD**: 访问模式 (Access mode)。

指定异步访问模式，如下一个时序图所示。仅当 FMC\_BCRx 寄存器中的 EXTMOD 位置 1 时，这些位才有效。

00: 访问模式 A

01: 访问模式 B

10: 访问模式 C

11: 访问模式 D

位 27:20 保留，必须保持复位值

位 19:16 **BUSTURN**: 总线周转阶段的持续时间 (Bus turnaround phase duration)

通过软件写入这些位可在写入事务结束时增加一个延迟，进而匹配两个连续事务之间的最小时间 ( $t_{EHEL}$  由 ENx 高电平变为 ENx 低电平)：

(BUSTURN + 1) HCLK 周期  $\geq t_{EHELmin}$ 。

0000: BUSTURN 阶段的持续时间 = 增加 0 个 HCLK 时钟周期

...

1111: BUSTURN 阶段的持续时间 = 增加 15 个 HCLK 时钟周期 (复位后的默认值)

位 15:8 **DATAST**: 数据阶段的持续时间 (Data-phase duration)。

通过软件写入这些位可定义数据阶段的持续时间 (请参见图 456 到图 468)，适用于异步 SRAM、PSRAM 和 NOR Flash 访问模式：

0000 0000: 保留

0000 0001: DATAST 阶段的持续时间 = 1 × HCLK 时钟周期

0000 0010: DATAST 阶段的持续时间 = 2 × HCLK 时钟周期

...

1111 1111: DATAST 阶段的持续时间 = 255 × HCLK 时钟周期 (复位后的默认值)

位 7:4 **ADDHLD**: 地址保持阶段的持续时间 (Address-hold phase duration)。

通过软件写入这些位可定义地址保持阶段的持续时间 (请参见图 465 到图 468)，适用于异步复用访问：

0000: 保留

0001: ADDHLD 阶段的持续时间 = 1 × HCLK 时钟周期

0010: ADDHLD 阶段的持续时间 = 2 × HCLK 时钟周期

...

1111: ADDHLD 阶段的持续时间 = 15 × HCLK 时钟周期 (复位后的默认值)

注意：在同步 NOR Flash 访问模式下，该值不使用，因为地址保持阶段的持续时间始终是 1 个 Flash 时钟周期。



位 3:0 **ADDSET**: 地址建立阶段的持续时间 (Address setup phase duration)。

通过软件写入这些位可定义以 HCLK 周期表示的地址建立阶段持续时间 (请参见图 465 到图 468), 适用于异步访问模式:

0000: ADDSET 阶段的持续时间 = 0 × HCLK 时钟周期

...

1111: ADDSET 阶段的持续时间 = 15 × HCLK 时钟周期 (复位后的默认值)

注意: 在同步访问模式下, 该值不使用, 因为地址建立阶段的持续时间始终是 1 个 Flash 时钟周期。复用模式下, ADDSET 的最小值为 1。

37.6 NAND Flash/PC 卡控制器

- FMC 会生成相应的信号时序, 用于驱动以下类型的设备:
- 8 位和 16 位 NAND Flash
  - 16 位 PC 卡兼容设备

NAND Flash/PC 卡控制器可以控制三个外部存储区域, 即存储区域 2、3 和 4:

- 存储区域 2 和存储区域 3 支持 NAND Flash 设备
- 存储区域 4 支持 PC 卡设备。

每个存储区域都通过专用的寄存器配置 (第 37.6.8 节)。可编程的存储器参数包括访问时序 (如表 282 所示) 和 ECC 配置。

表 282. 可编程的 NAND/PC 卡访问参数

参数	功能	访问模式	单位	最小值	最大值
存储器建立时间	命令使能前地址建立所需时钟周期 (HCLK) 数	读/写	AHB 时钟周期 (HCLK)	1	256
存储器等待	命令使能的最小持续时间 (按 HCLK 时钟周期计)	读/写	AHB 时钟周期 (HCLK)	2	256
存储器保持	命令禁止后, 必须保持地址 (如果进行了写访问还需保持数据) 的时钟周期 (HCLK) 数	读/写	AHB 时钟周期 (HCLK)	1	255
存储器数据总线高阻态	开始进行写访问后, 数据总线保持高阻状态期间的时钟周期 (HCLK) 数	写	AHB 时钟周期 (HCLK)	0	255

注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

### 37.6.1 外部存储器接口信号

下表列出了通常用于连接 NAND Flash 和 PC 卡的信号。

注意：前缀“N”标识低电平有效的信号。

#### 8 位 NAND Flash

表 283. 8 位 NAND Flash

FMC 信号名称	I/O	功能
A[17]	O	NAND Flash 地址锁存使能 (ALE) 信号
A[16]	O	NAND Flash 命令锁存使能 (CLE) 信号
D[7:0]	I/O	8 位复用双向地址/数据总线
NCE[x]	O	片选, x = 2、3
NOE(= NRE)	O	输出使能 (存储器信号名称: 读取使能, NRE)
NWE	O	写入使能
NWAIT/INT[3:2]	I	输入 FMC 的 NAND Flash 就绪/繁忙信号

由于 FMC 能够管理足够多的地址周期, 因此理论上不存在容量限制。

#### 16 位 NAND Flash

表 284. 16 位 NAND Flash

FMC 信号名称	I/O	功能
A[17]	O	NAND Flash 地址锁存使能 (ALE) 信号
A[16]	O	NAND Flash 命令锁存使能 (CLE) 信号
D[15:0]	I/O	16 位复用双向地址/数据总线
NCE[x]	O	片选, x = 2、3
NOE(= NRE)	O	输出使能 (存储器信号名称: 读取使能, NRE)
NWE	O	写入使能
NWAIT/INT[3:2]	I	输入 FMC 的 NAND Flash 就绪/繁忙信号

由于 FMC 能够管理足够多的地址周期, 因此理论上不存在容量限制。

表 285. 16 位 PC 卡

FMC 信号名称	I/O	功能
A[10:0]	O	地址总线
NIORD	O	I/O 空间的输出使能
NIOWR	O	I/O 空间的写入使能
NREG	O	指示在通用空间还是特性空间进行访问的寄存器信号
D[15:0]	I/O	双向数据总线
NCE4_1	O	片选 1



表 285. 16 位 PC 卡 (续)

FMC 信号名称	I/O	功能
NCE4_2	O	片选 2 (指示访问为 16 位还是 8 位)
NOE	O	通用空间和特性空间的输出使能
NWE	O	通用空间和特性空间的写入使能
NWAIT	I	输入 FMC 的 PC 卡等待信号 (存储器信号名称为 IORDY)
INTR	I	输入 FMC 的 PC 卡中断信号 (仅适用于能够生成中断的 PC 卡)
CD	I	PC 卡存在检测。高电平有效。如果 CD 处于低电平时对 PC 卡存储区域执行访问, 会生成 AHB 错误。请参见第 37.3 节: AHB 接口。

### 37.6.2 NAND Flash/PC 卡支持的存储器和事务

表 286 介绍了所支持的设备、访问模式和事务。NAND Flash/PC 卡控制器不允许 (或不支持) 的事务以灰色显示。

表 286. 支持的存储器和事务

设备	模式	RW	AHB 数据大小	存储器数据大小	是否允许	注释
8 位 NAND	异步	R	8	8	是	
	异步	W	8	8	是	
	异步	R	16	8	是	分为 2 次 FMC 访问
	异步	W	16	8	是	分为 2 次 FMC 访问
	异步	R	32	8	是	分为 4 次 FMC 访问
	异步	W	32	8	是	分为 4 次 FMC 访问
16 位 NAND	异步	R	8	16	是	
	异步	W	8	16	否	
	异步	R	16	16	是	
	异步	W	16	16	是	
	异步	R	32	16	是	分为 2 次 FMC 访问
	异步	W	32	16	是	分为 2 次 FMC 访问

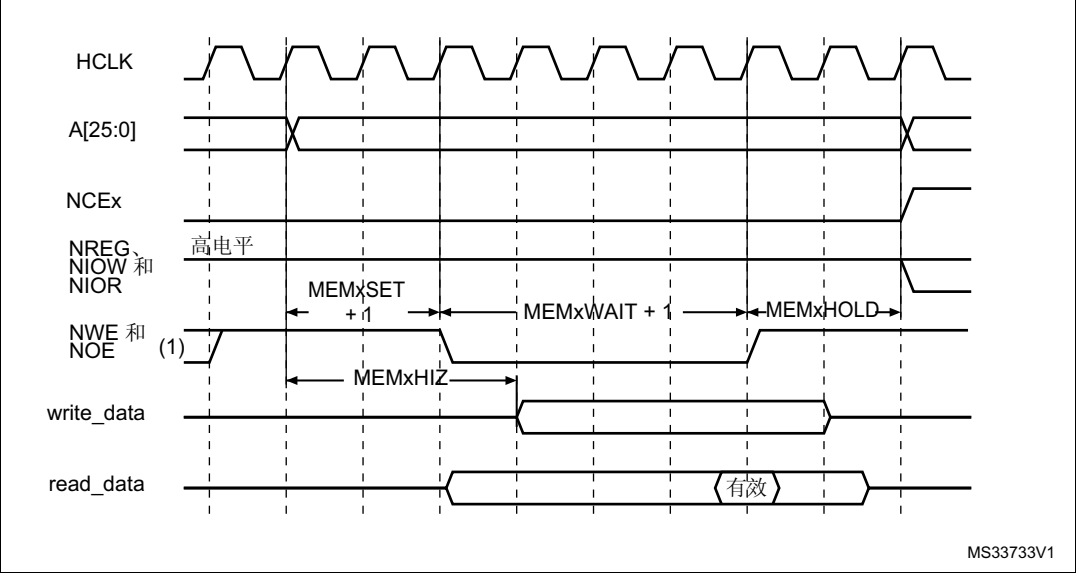
37.6.3 NAND Flash 和 PC 卡的时序图

每个 PC 卡/CF 卡和 NAND Flash 存储区域均通过以下一组寄存器进行管理：

- 控制寄存器：FMC\_PCRx
- 中断状态寄存器：FMC\_SRx
- ECC 寄存器：FMC\_ECCRx
- 通用存储器空间的时序寄存器：FMC\_PMEMx
- 特性存储器空间的时序寄存器：FMC\_PATTx
- I/O 空间的时序寄存器：FMC\_PIOx

每个时序配置寄存器包含四个参数，其中三个参数用于定义 PC 卡/CF 卡或 NAND Flash 的三个访问阶段的 HCLK 周期数，另一个参数用于定义进行写访问时开始驱动数据总线的时序。[图 474](#) 介绍了通用存储器访问的时序参数定义，特性存储器空间和 I/O（仅适用于 PC 卡）存储器空间的访问时序与此类似。

图 474. NAND Flash/PC 卡控制器的通用存储器访问波形



1. 进行写访问期间 NOE 保持高电平（无效）。进行读访问期间 NWE 保持高电平（无效）。



### 37.6.4 NAND Flash 操作

NAND Flash 设备的命令锁存使能 (CLE) 信号和地址锁存使能 (ALE) 信号由 FMC 控制器的地址信号驱动。这意味着要向 NAND Flash 发送命令或地址，CPU 必须对其存储器空间中的特定地址执行写操作。

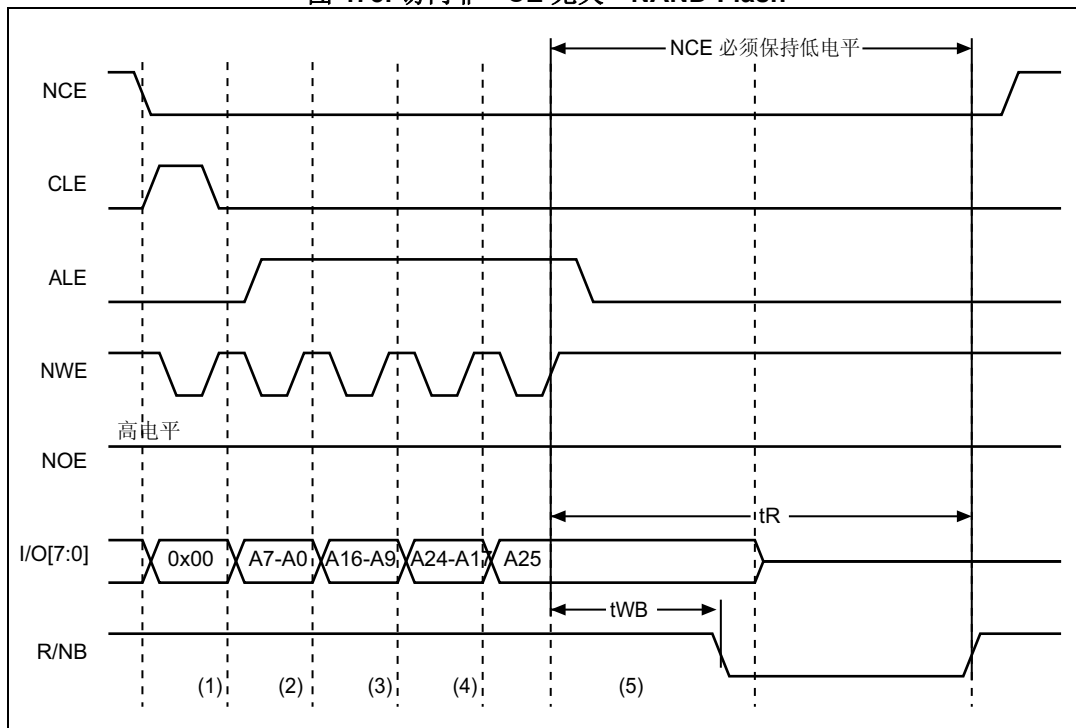
从 NAND Flash 设备进行的典型页读取操作需要执行以下步骤：

3. 根据 NAND Flash 的特性（PWID 位指示 NAND Flash 数据总线宽度，PTYP = 1，根据需要 PWAITEN = 0 或 1；有关时序配置，请参见 [第 37.4.2 节：NAND Flash/PC 卡地址映射](#)），配置 FMC\_PCRx 和 FMC\_PMEMx（对于某些设备，配置 FMC\_PATTx，请参见 [第 37.6.5 节：NAND Flash 预等待功能](#)）寄存器，进而配置和使能相应的存储区域。
4. CPU 向通用存储器空间执行字节写操作，此时数据字节等于一个 Flash 命令字节（例如 Samsung NAND Flash 设备的字节为 0x00）。在写入选通期间（NWE 上为低电平脉冲），NAND Flash 的 LE 输入有效，因此将已写入的字节视为 NAND Flash 的一个命令。该命令由存储器设备锁存后，随后进行页读取操作时，不需要再次写入该命令。
5. 通过在通用存储器空间或特性空间写入 STARTAD[7:0]、STARTAD[16:9]、STARTAD[24:17] 以及 STARTAD[25]（针对 64 Mb x 8 位的 NAND Flash）这 4 个字节（对于容量较小的设备写入 3 个字节），CPU 能够发送读操作的起始地址 (STARTAD)。在写入选通期间（NWE 上为低电平脉冲），NAND Flash 设备的 ALE 输入有效，因此将已写入的字节视为读操作的起始地址。借助特性存储器空间，可使用 FMC 的另一种不同时序配置，实现某些 NAND Flash 所需的预等待功能（有关详细信息，请参见 [第 37.6.5 节：NAND Flash 预等待功能](#)）。
6. 控制器在对同一个或另一个存储区域进行新访问之前，等待 NAND Flash 准备好（R/NB 信号处于高电平）。等待期间，控制器保持 NCE 信号有效（低电平）。
7. 然后 CPU 能够从通用存储器空间执行字节读操作，进而按字节读取 NAND Flash 页（数据字段 + 备用字段）。
8. 可读取下一个 NAND Flash 页，而无需任何 CPU 命令或地址写操作。可采用以下三种不同的方式实现：
  - 执行步骤 5 中介绍的操作
  - 通过重新开始步骤 3 中的操作随机访问一个新地址
  - 通过重新开始步骤 2 向 NAND Flash 设备发送新命令

### 37.6.5 NAND Flash 预等待功能

一些 NAND Flash 设备需要在写入地址的最后一部分后，控制器等待 R/NB 信号变为低电平。（见 [图 455](#)）。

图 475. 访问非“CE 无关” NAND-Flash



1. CPU 在地址 0x7001 0000 处写入字节 0x00。
2. CPU 在地址 0x7002 0000 处写入字节 A7~A0。
3. CPU 在地址 0x7002 0000 处写入字节 A16~A9。
4. CPU 在地址 0x7002 0000 处写入字节 A24~A17。
5. CPU 在地址 0x7802 0000 处写入字节 A25: FMC 通过 FMC\_PATT2 时序定义执行写访问，其中  $ATTHOLD \geq 7$ （假设  $(7+1) \times HCLK = 112 \text{ ns} > t_{WB} \text{ 最大值}$ ）。这可确保 NCE 保持低电平，直到 R/NB 再次变为低电平后变为高电平（只有 NCE 信号对之有作用的 NAND Flash 才需要此功能）。

当需要此功能时，可通过编程 MEMHOLD 值确保满足  $t_{WB}$  时序。然而 CPU 对 NAND Flash 进行的所有读或写访问均会经过  $(MEMHOLD + 1)$  个 HCLK 周期的保持延迟（该延迟插入在 NWE 信号的上升沿与下一访问之间）。

要克服该时序限制，可使用特性存储器空间，将其时序寄存器编程为满足  $t_{WB}$  时序的 ATTHOLD 值并将 MEMHOLD 保持为其最小值。然后，CPU 必须使用通用存储器空间进行所有的 NAND Flash 读和写访问，向 NAND Flash 设备写入最后一个地址字节时除外，此时 CPU 必须对特性存储器空间执行写操作。

### 37.6.6 纠错码 (ECC) 计算 (NAND Flash)

FMC PC 卡控制器包括两个纠错码计算硬件模块，每个存储区域各有一个。这些模块可在软件处理 ECC 时减少主机 CPU 工作负载。

这两个 ECC 模块相同，分别与存储区域 2 和存储区域 3 相关联。因此，硬件 ECC 计算均不适用于与存储区域 4 相连的存储器。

对 NAND Flash 执行读取或写入操作时，相应每 256、512、1 024、2 048、4 096 或 8 192 个字节，FMC 中使用的 ECC 算法可修正 1 位错误并且检测出 2 位错误。该操作基于 Hamming 编码算法，并且包括计算行和列奇偶校验。

每当 NAND Flash 存储区域处于激活状态时，ECC 模块均会监视 NAND Flash 数据总线 and 读/写信号（NCE 和 NWE）。

ECC 按如下说明操作：

- 当访问 NAND Flash 存储区域 2 或存储区域 3 时，将锁存 D[15:0] 总线上出现的数据并将其用于 ECC 计算。
- 当访问 NAND Flash 中的任何其它地址时，ECC 逻辑会进入空闲状态，不执行任何操作。因此，进行 ECC 计算时，用于定义 NAND Flash 命令或地址的写操作无效。

主机 CPU 对 NAND Flash 完成所需字节数的读取/写入操作后，必须读取 FMC\_ECCR2/3 寄存器，才能检索计算出的值。读取后，应通过将 ECCEN 位复位为零来将这些寄存器清零。要计算新的数据块，必须将 FMC\_PCR2/3 寄存器中的 ECCEN 位置 1。

要进行 ECC 计算：

1. 使能 FMC\_PCR2/3 寄存器中的 ECCEN 位。
2. 将数据写入 NAND Flash 页。在写入 NAND 页期间，ECC 模块将计算 ECC 值。
3. 读取 FMC\_ECCR2/3 寄存器中所提供的 ECC 值，并将其存储到变量。
4. 将 FMC\_PCR2/3 寄存器中的 ECCEN 位清零后使能，然后从 NAND 页回读写入的数据。在读取 NAND 页期间，ECC 模块将计算 ECC 值。
5. 读取 FMC\_ECCR2/3 寄存器中所提供的新 ECC 值。
6. 如果两次读取的 ECC 值相同，则无需校正，否则说明存在 ECC 错误，并且软件校正例程将返回有关该错误是否能够得到校正的信息。

### 37.6.7 PC 卡/CF 卡操作

#### 地址空间和存储器访问

FMC 支持存储器模式和 I/O 模式下的 CF 卡设备和 PC 卡（不支持真正的 IDE 模式）。

CF 卡和 PC 卡由以下 3 个存储器空间组成：

- 通用存储器空间
- 特性空间
- I/O 存储器空间

nCE2 和 nCE1 引脚（分别是 FMC\_NCE4\_2 和 FMC\_NCE4\_1）用于选卡，指示正在执行字节操作还是字操作：nCE2 访问 D15-8 上的奇数字节；nCE1 访问 D7-0 上的偶数字节（A0=0 时）或 D7-0 上的奇数字节（A0=1 时）。如果 nCE2 和 nCE1 均处于低电平，则访问 D15-0 上的全字。

在读访问时将 nOE 置为低电平或写访问时将 nWE 置为低电平（同时将 nCE2/nCE1 和 nREG 置为低电平），可选择存储器空间。

- 如果存储器访问期间引脚 nREG=1，则选择通用存储器空间
- 如果存储器访问期间引脚 nREG=0，则选择特性存储器空间

在读访问时使能 nIORD 空间或写访问时使能 nIOWR [而非选择存储器空间时的 nOE/nWE]，同时使能 nCE2/nCE1，可选择 I/O 空间。请注意，访问 I/O 空间时，还必须使能 nREG。

对于 16 位 PC 卡，允许三种类型的访问。

- 对通用存储器空间的访问（以进行数据存储）可以是偶地址上的 8 位访问，也可以是 AHB 地址上的 16 位访问。  
请注意，不支持在奇地址上进行 8 位访问，该访问也不会将 nCE2 置为低电平。32 位 AHB 请求会转换为 2 个 16 位存储器访问。
- 对特性存储空间进行的访问（此时 PC 卡存储配置信息）必须是偶地址上的 8 位 AHB 访问。  
请注意，16 位 AHB 访问将转换为一个 8 位存储器传输：nCE1 将置为低电平，NCE2 将置为高电平，并且仅 D7-D0 上的偶数字节有效。32 位 AHB 访问将转换为偶地址上的两个 8 位存储器传输：nCE1 将置为低电平，NCE2 将置为高电平，并且仅偶数字节有效。
- 可通过 8 位或 16 位 AHB 访问对 I/O 空间进行访问。

表 287. 16 位 PC 卡信号和访问类型

nCE2	nCE1	nREG	nOE/nWE	nIORD/nIOWR	A10	A9	A7-1	A0	空间	访问类型	是否允许
1	0	1	0	1	X	X	X-X	X	通用存储器空间	读/写 D7-D0 上的字节	是
0	1	1	0	1	X	X	X-X	X		读/写 D15-D8 上的字节	否
0	0	1	0	1	X	X	X-X	0		读/写 D15-D0 上的字节	是
X	0	0	0	1	0	1	X-X	0	特性空间	读取或写入配置寄存器	是
X	0	0	0	1	0	0	X-X	0		读取或写入 CIS（卡信息结构）	是
1	0	0	0	1	X	X	X-X	1	特性空间	无效读取或写入（奇地址）	是
0	1	0	0	1	X	X	X-X	x		无效读取或写入（奇地址）	是
1	0	0	1	0	X	X	X-X	0	I/O 空间	读取 D7-0 上的偶数字节	是
1	0	0	1	0	X	X	X-X	1		读取 D7-0 上的奇数字节	是
1	0	0	1	0	X	X	X-X	0		写入 D7-0 上的偶数字节	是
1	0	0	1	0	X	X	X-X	1		写入 D7-0 上的奇数字节	是
0	0	0	1	0	X	X	X-X	0		读取 D15-0 上的字	是
0	0	0	1	0	X	X	X-X	0		写入 D15-0 上的字	是
0	1	0	1	0	X	X	X-X	X		读取 D15-8 上的奇数字节	否
0	1	0	1	0	X	X	X-X	X		写入 D15-8 上的奇数字节	否

如第 37.4.2 节：NAND Flash/PC 卡地址映射和表 249：NAND/PC 卡存储映射和时序寄存器所述，通过 FMC 存储区域 4 可访问相关的 3 个存储空间。

### 等待特性

如果通过 FMC\_PCRx 寄存器中的 PWAITEN 位使能了等待特性，则 CF 卡或 PC 卡可能会请求 FMC 延长通过 MEMWAITx/ATTWAITx/IOWAITx 位配置的访问阶段的长度，并在激活 nOE/nWE 或 nIORD/nIOWR 后使能 nWAIT 信号。为正确检测 nWAIT 使能情况，必须按如下方式编程 MEMWAITx/ATTWAITx/IOWAITx 位：

$$xxWAITx \geq 4 + \frac{\text{max\_wait\_assertion\_time}}{\text{HCLK}}$$

其中 max\_wait\_assertion\_time 是在 nOE/nWE 或 nIORD/nIOWR 变为低电平后 nWAIT 变为低电平所花费的最长时间。

禁止 nWAIT 后，FMC 会延长等待阶段 4 个 HCLK 时钟周期。

# 37.6.8 NAND Flash/PC 卡控制寄存器

## PC 卡/NAND Flash 控制寄存器 2..4 (FMC\_PCR2..4)

PC Card/NAND Flash control registers 2..4

偏移地址:  $0x40 + 0x20 * (x - 1)$ ,  $x = 2..4$

复位值: 0x0000 0018

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved												ECCPS				TAR				TCLR				Res.	ECCEN	PWID		PTYP	PBKEN	PWAITEN	Reserved
												r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w		r/w	r/w	r/w	r/w	r/w	r/w	

位 31:20 保留, 必须保持复位值

位 19:17 **ECCPS**: ECC 页大小 (ECC page size)。

定义扩展 ECC 的页大小:

000: 256 字节

001: 512 字节

010: 1024 字节

011: 2048 字节

100: 4096 字节

101: 8192 字节

位 16:13 **TAR**: ALE 到 RE 的延迟 (ALE to RE delay)。

以 AHB 时钟周期数 (HCLK) 设置从 ALE 低电平到 RE 低电平的时间。

时间是  $t_{ar} = (TAR + SET + 2) \times THCLK$ , 其中 THCLK 是 HCLK 时钟周期

0000: 1 个 HCLK 周期 (默认)

1111: 16 个 HCLK 周期

注意: 根据寻址空间, SET 为 MEMSET 或 ATTSET。

位 12:9 **TCLR**: CLE 到 RE 的延迟 (CLE to RE delay)。

以 AHB 时钟周期数 (HCLK) 设置从 CLE 低电平到 RE 低电平的时间。

时间是  $t_{clr} = (TCLR + SET + 2) \times THCLK$ , 其中 THCLK 是 HCLK 时钟周期

0000: 1 个 HCLK 周期 (默认)

1111: 16 个 HCLK 周期

注意: 根据寻址空间, SET 为 MEMSET 或 ATTSET。

位 8:7 保留, 必须保持复位值

位 6 **ECCEN**: ECC 计算逻辑使能位 (ECC computation logic enable bit)

0: 禁止和复位 ECC 逻辑 (复位后为默认值),

1: 使能 ECC 逻辑。

位 5:4 **PWID**: 数据总线宽度 (Data bus width)。

定义外部存储器设备宽度。

00: 8 位

01: 16 位 (复位后的默认值)。必须为 PC 卡定义该值。

10: 保留, 不使用

11: 保留, 不使用



位 3 **PTYP**: 存储器类型 (Memory type)。

定义附加到相应存储区域的设备的类型:

0: PC 卡、CF 卡、CF+ 或 PCMCIA

1: NAND Flash (复位后为默认值)

位 2 **PBKEN**: PC 卡/NAND Flash 存储区域使能位 (PC Card/NAND Flash memory bank enable bit)。

使能存储区域。访问禁止的存储区域会引起 AHB 总线上的错误

0: 禁止相应的存储区域 (复位后为默认值)

1: 使能相应的存储区域

位 1 **PWAITEN**: 等待特性使能位 (Wait feature enable bit)。

使能 PC 卡/NAND Flash 存储区域的等待特性:

0: 禁用

1: 使能

*注意: 对于 PC 卡, 使能等待特性时, 必须按如下方式对 MEMWAITx/ATTWAITx/IOWAITx 位进行配置:*

$$xxWAITx \geq 4 + \max\_wait\_assertion\_time/HCLK$$

*其中 max\_wait\_assertion\_time 是在 nOE/nWE 或 nIORD/nIOWR 变为低电平后 NWAIT 变为低电平所花费的最长时间。*

位 0 保留。

## FIFO 状态和中断寄存器 2..4 (FMC\_SR2..4)

### FIFO status and interrupt register 2..4

偏移地址:  $0x44 + 0x20 * (x-1)$ ,  $x = 2..4$

复位值: 0x0000 0040

该寄存器包含有关 FIFO 状态和中断的信息。FMC 具有一个 FIFO, 当向存储器执行写入操作以传输来自 AHB 的多达 16 字的数据时, 使用该 FIFO。

当 FMC 将其 FIFO 的内容移入存储器时, 此寄存器用于快速写入 FIFO, 然后释放 AHB 供 FMC 以外的外设的事务使用。这些寄存器位中有一位用来指示 FIFO 的状态, 供 ECC 使用。

在将数据写入存储器时计算 ECC。因此, 为了读取正确的 ECC, 软件必须等到 FIFO 为空。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS	
																								r	rw	rw	rw	rw	rw	rw	

位 31:7 保留, 必须保持复位值

位 6 **FEMPT**: FIFO 为空 (FIFO empty)。

该位是提供 FIFO 状态的只读位

0: FIFO 非空

1: FIFO 为空

位 5 **IFEN**: 中断下降沿检测使能位 (Interrupt falling edge detection enable bit)

0: 中断下降沿检测请求禁止

1: 中断下降沿检测请求使能

位 4 **ILEN**: 中断高电平检测使能位 (Interrupt high-level detection enable bit)

0: 中断高电平检测请求禁止

1: 中断高电平检测请求使能



位 3 **IREN**: 中断上升沿检测使能位 (Interrupt rising edge detection enable bit)

- 0: 中断上升沿检测请求禁止
- 1: 中断上升沿检测请求使能

位 2 **IFS**: 中断下降沿状态 (Interrupt falling edge status)

- 此标志由硬件置 1, 由软件复位。
- 0: 未出现中断下降沿
- 1: 出现中断下降沿

位 1 **ILS**: 中断高电平状态 (Interrupt high-level status)

- 此标志由硬件置 1, 由软件复位。
- 0: 未出现中断高电平
- 1: 出现中断高电平

位 0 **IRS**: 中断上升沿状态 (Interrupt rising edge status)

- 此标志由硬件置 1, 由软件复位。
- 0: 未出现中断上升沿
- 1: 出现中断上升沿

## 通用存储器空间时序寄存器 2..4 (FMC\_PMEM2..4)

Common memory space timing register 2..4

偏移地址: 地址:  $0x48 + 0x20 * (x - 1)$ ,  $x = 2..4$

复位值: 0xFCFC FCFC

每个 FMC\_PMEMx ( $x = 2..4$ ) 读/写寄存器都包含 PC 卡或 NAND Flash 存储区域 x 的时序信息。该信息用于访问 16 位 PC 卡/CF 卡的通用存储空间, 或者访问 NAND Flash 来实现命令、地址写访问和数据读/写访问。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEMHIZx								MEMHOLDx								MEMWAITx								MEMSETx							
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

位 31-24 **MEMHIZx**: 通用存储器 x 数据总线高阻态时间 (Common memory x databus Hi-Z time)

定义在存储区 x 上对 PC 卡/NAND Flash 的通用存储空间开始执行写访问之后, 数据总线保持高阻态所持续的 HCLK 时钟周期数。仅对写入事务有效:

0000 0000: (0x00) 0 个 HCLK 周期 (对于 PC 卡) / 1 个 HCLK 周期 (对于 NAND Flash)

1111 1111: (0xFF) 255 个 HCLK 周期 (对于 PC 卡) / 256 个 HCLK 周期 (对于 NAND Flash)

位 23:16 **MEMHOLDx**: 通用存储器 x 保持时间 (Common memory x hold time)

针对在存储区 x 上对 PC 卡/NAND Flash 的通用存储空间执行的读或写访问, 定义禁止命令 (NWE、NOE) 之后保持地址 (和写访问数据) 的 HCLK 时钟周期数:

0000 0000: 保留

0000 0001: 1 个 HCLK 周期

1111 1111: 255 个 HCLK 周期



**位 15:8 MEMWAITx: 通用存储器 x 等待时间 (Common memory x wait time)**

针对在存储区 x 上对 PC 卡/NAND Flash 的通用存储空间执行的读或写访问，定义使能命令 (NWE、NOE) 所需的 HCLK (+1) 时钟周期数最小值。如果等待信号 (NWAIT) 在编程的 HCLK 值末尾处有效 (低电平)，则命令使能的持续时间将延长。

0000 0000: 保留

0000 0001: 2 个 HCLK 周期 (+ 禁止 NWAIT 时引入的等待周期)

1111 1111: 256 个 HCLK 周期 (+ 卡禁止 NWAIT 时引入的等待周期)

**位 7:0 MEMSETx: 通用存储器 x 建立时间 (Common memory x setup time)**

针对在存储区 x 上对 PC 卡/NAND Flash 的通用存储空间执行的读或写访问，定义使能命令 (NWE、NOE) 前建立地址所需的 HCLK (+1) 时钟周期数：

0000 0000: 1 个 HCLK 周期 (对于 PC 卡) /HCLK 周期 (对于 NAND Flash)

1111 1111: 256 个 HCLK 周期 (对于 PC 卡) /257 个 HCLK 周期 (对于 NAND Flash)

**特性存储器空间时序寄存器 2..4 (FMC\_PATT2..4)**

Attribute memory space timing registers 2..4

偏移地址:  $0x4C + 0x20 * (x - 1)$ ,  $x = 2..4$

复位值: 0xFCFC FCFC

每个 FMC\_PATTx ( $x = 2..4$ ) 读/写寄存器都包含 PC 卡/CF 卡或 NAND Flash 存储区域 x 的时序信息。该寄存器用于对 PC 卡/CF 卡的特性存储空间的 8 位访问，或在最后一次地址写访问必须与先前访问的时序不同的情况下，访问 NAND Flash 来实现最后一次地址写访问 (有关就绪/繁忙管理的信息，请参见第 37.6.5 节: *NAND Flash 预等待功能*)。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ATTTHIZx								ATTTHOLDx								ATTWAITx								ATTSETx							
rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

**位 31:24 ATTTHIZx: 特性存储器 x 数据总线高阻态时间 (Attribute memory x databus Hi-Z time)**

定义在存储区 x 上对 PC 卡/NAND Flash 的特性存储空间开始执行写访问之后，数据总线保持高阻态所持续的 HCLK 时钟周期数。仅对写入事务有效：

0000 0000: 0 个 HCLK 周期

1111 1111: 255 个 HCLK 周期

**位 23:16 ATTTHOLDx: 特性存储器 x 保持时间 (Attribute memory x hold time)**

针对在存储区 x 上对 PC 卡/NAND Flash 的特性存储空间执行的读或写访问，定义禁止命令 (NWE、NOE) 之后保持地址 (和写访问数据) 的 HCLK 时钟周期数

0000 0000: 保留

0000 0001: 1 个 HCLK 周期

1111 1111: 255 个 HCLK 周期

**位 15:8 ATTWAITx: 特性存储器 x 等待时间 (Attribute memory x wait time)**

针对在存储区 x 上对 PC 卡/NAND Flash 的特性存储空间执行的读或写访问，定义使能命令（NWE、NOE）所需的 HCLK (+1) 时钟周期数最小值。如果等待信号 (NWAIT) 在编程的 HCLK 值末尾处有效（低电平），则命令使能的持续时间将延长。

0000 0000: 保留

0000 0001: 2 个 HCLK 周期 (+ 禁止 NWAIT 时引入的等待周期)

1111 1111: 256 个 HCLK 周期 (+ 卡禁止 NWAIT 时引入的等待周期)

**位 7:0 ATTSETx: 特性存储器 x 建立时间 (Attribute memory x setup time)**

针对在存储区 x 上对 PC 卡/NAND Flash 的特性存储空间执行的读或写访问，定义使能命令（NWE、NOE）前建立地址所需的 HCLK (+1) 时钟周期数：

0000 0000: 1 个 HCLK 周期

1111 1111: 256 个 HCLK 周期

**I/O 空间时序寄存器 4 (FMC\_PIO4)**

I/O space timing register 4

偏移地址: 0xB0

复位值: 0xFCFCFCFC

FMC\_PIO4 读/写寄存器中包含访问 16 位 PC 卡/CF 卡所需的时序信息。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IOHIZx								IOHOLDx								IOWAITx								IOSETx							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

**位 31:24 IOHIZx: I/O x 数据总线高阻态时间 (I/O x data bus Hi-Z time)**

定义在存储区 x 上对 PC 卡的 I/O 空间开始执行写访问之后，数据总线保持高阻态所持续的 HCLK 时钟周期数。仅对写入事务有效：

0000 0000: 0 个 HCLK 周期

1111 1111: 255 个 HCLK 周期

**位 23:16 IOHOLDx: I/O x 保持时间 (I/O x hold time)**

针对在存储区 x 上对 PC 卡的 I/O 空间执行的读或写访问，定义禁止命令（NWE、NOE）之后保持地址（和写访问数据）的 HCLK 时钟周期数。

0000 0000: 保留

0000 0001: 1 个 HCLK 周期

1111 1111: 255 个 HCLK 周期

**位 15:8 IOWAITx: I/O x 等待时间 (I/O x wait time)**

针对在存储区 x 上对 PC 卡的 I/O 空间执行的读或写访问，定义使能命令（SMNWE、SMNOE）所需的 HCLK (+1) 时钟周期数最小值。如果等待信号 (NWAIT) 在编程的 HCLK 值末尾处有效（低电平），则命令使能的持续时间将延长。

0000 0000: 保留，不使用此值

0000 0001: 2 个 HCLK 周期 (+ 禁止 NWAIT 时引入的等待周期)

1111 1111: 256 个 HCLK 周期 (+ 卡禁止 NWAIT 时引入的等待周期)

**位 7:0 IOSETx: I/O x 建立时间 (I/O x setup time)**

针对在存储区 x 上对 PC 卡的 I/O 空间执行的读或写访问，定义使能命令（NWE、NOE）前建立地址所需的 HCLK (+1) 时钟周期数：

0000 0000: 1 个 HCLK 周期

1111 1111: 256 个 HCLK 周期



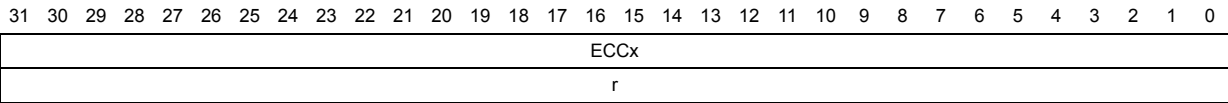
ECC 结果寄存器 2/3 (FMC\_ECCR2/3)

ECC result registers 2/3

偏移地址: 0x54 + 0x20 \* (x - 1), x = 2 或 3

复位值: 0x0000 0000

这些寄存器中包含由 FMC 控制器的 ECC 计算模块（每个 NAND Flash 存储区域一个模块）计算所得的当前错误校正代码值。当 CPU 从 NAND Flash 页的正确地址读取数据时（请参见第 37.6.6 节: 纠错码 (ECC) 计算 (NAND Flash)），ECC 计算模块会自动处理读取自/写入 NAND Flash 的数据。读取 X 个字节后（依据 FMC\_PCRx 寄存器的 ECCPS 字段），CPU 必须从 FMC\_ECCx 寄存器读取计算所得的 ECC 值。然后验证这些计算的奇偶校验数据是否与备用区记录的奇偶校验数据相同，从而确定该页是否有效，如不同则进行校正。FMC\_ECCRx 寄存器被读取后应通过将 ECCEN 位置 0 进行清零。如要计算新的数据块，则必须将 ECCEN 位置 1。



位 31:0 **ECCx**: ECC 结果 (ECC result)  
该字段包含由 ECC 计算逻辑计算所得的值。表 288 介绍了这些位字段的内容。

表 288. ECC 结果相关位

ECCPS[2:0]	以字节为单位的页大小	ECC 位
000	256	ECC[21:0]
001	512	ECC[23:0]
010	1024	ECC[25:0]
011	2048	ECC[27:0]
100	4096	ECC[29:0]
101	8192	ECC[31:0]

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

## 37.7 SDRAM 控制器

### 37.7.1 SDRAM 控制器主要特性

SDRAM 控制器的主要特性如下：

- 两个 SDRAM 存储区域，可独立配置
- 8 位、16 位和 32 位数据总线宽度
- 13 位地址行，11 位地址列，4 个内部存储区域：4x16Mx32bit (256 MB)、4x16Mx16bit (128 MB)、4x16Mx8bit (64 MB)
- 支持字、半字和字节访问
- SDRAM 时钟可以是 HCLK/2 或 HCLK/3
- 自动进行行和存储区域边界管理
- 多存储区域乒乓访问
- 可编程时序参数
- 支持自动刷新操作，可编程刷新速率
- 自刷新模式
- 掉电模式
- 通过软件进行 SDRAM 上电初始化
- CAS 延迟 1,2,3
- 读 FIFO 可缓存，支持 6 行 x 32 位深度（6 x14 位地址标记）

### 37.7.2 SDRAM 外部存储器接口信号

启动时，必须通过用户应用程序对用于连接 FMC SDRAM 控制器与外部 SDRAM 设备的 SDRAM I/O 引脚进行配置。应用程序未使用的 SDRAM 控制器 I/O 引脚可用于其它用途。

表 289. SDRAM 信号

SDRAM 信号	I/O 类型	说明	复用功能
SDCLK	O	SDRAM 时钟	
SDCKE[1:0]	O	SDCKE0: SDRAM 存储区域 1 时钟使能 SDCKE1: SDRAM 存储区域 2 时钟使能	
SDNE[1:0]	O	SDNE0: SDRAM 存储区域 1 芯片使能 SDNE1: SDRAM 存储区域 2 芯片使能	
A[12:0]	O	地址	FMC_A[12:0]
D[31:0]	I/O	双向数据总线	FMC_D[31:0]
BA[1:0]	O	存储区域地址	FMC_A[15:14]
NRAS	O	行地址选通	
NCAS	O	列地址选通	
SDNWE	O	写入使能	
NBL[3:0]	O	写访问的输出字节屏蔽 (存储器信号名称: DQM[3:0])	FMC_NBL[3:0]



### 37.7.3 SDRAM 控制器功能说明

所有 SDRAM 控制器输出（信号、地址和数据）在存储器时钟 (FMC\_SDCLK) 的下降沿上变化。

#### SDRAM 初始化

初始化序列通过软件进行管理。如果使用了两个存储区域，则必须将 FMC\_SDCMR 寄存器中的目标存储区域位 CTB1 和 CTB2 置 1，同时为存储区域 1 和存储区域 2 生成初始化序列：

1. 将存储器设备的特性编程到 FMC\_SDCRx 寄存器中。SDRAM 时钟频率、RBURST 和 RPIPE 特性必须编程到 FMC\_SDCR1 寄存器中。
2. 将存储器设备的时序编程到 FMC\_SDTRx 寄存器中。TRP 和 TRC 时序必须编程到 FMC\_SDTR1 寄存器中。
3. 将 MODE 位置为“001”并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）以开始为存储器提供时钟信号（SDCKE 驱动为高电平）。
4. 等待指定延迟周期。典型延迟为 100  $\mu$ s（有关上电后所需延迟的信息，请参见 SDRAM 数据手册）。
5. 将 MODE 位置为“010”并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）以发送“全部预充电”命令。
6. 将 MODE 位置为“011”并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）和连续自动刷新命令 (NRFS) 的数量。请参见 SDRAM 数据手册了解应发出的自动刷新命令个数。通常为 8 个。
7. 配置 MRD 字段，将 MODE 位置为“100”并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）以发送“加载模式寄存器”命令并对 SDRAM 设备进行编程。尤其突发长度 (BL) 必须置“1”且必须选择 CAS 延迟。如果两个 SDRAM 存储区域的模式寄存器不同，则此步骤必须重复两次，每个存储区域各一次且目标存储区域位相应置 1。
8. 编程 FMC\_SDRTR 寄存器中的刷新速率

刷新速率对应于刷新周期之间的延迟。其值必须与 SDRAM 设备相适应。

在这一阶段，SDRAM 设备已做好接受命令的准备。如果进行 SDRAM 访问期间发生系统复位，则数据总线仍可能由 SDRAM 设备驱动。因此，必须在复位后重新初始化 SDRAM 设备，NOR Flash/PSRAM/SRAM 或 NAND Flash/PC 卡控制器才能发送新的访问命令。

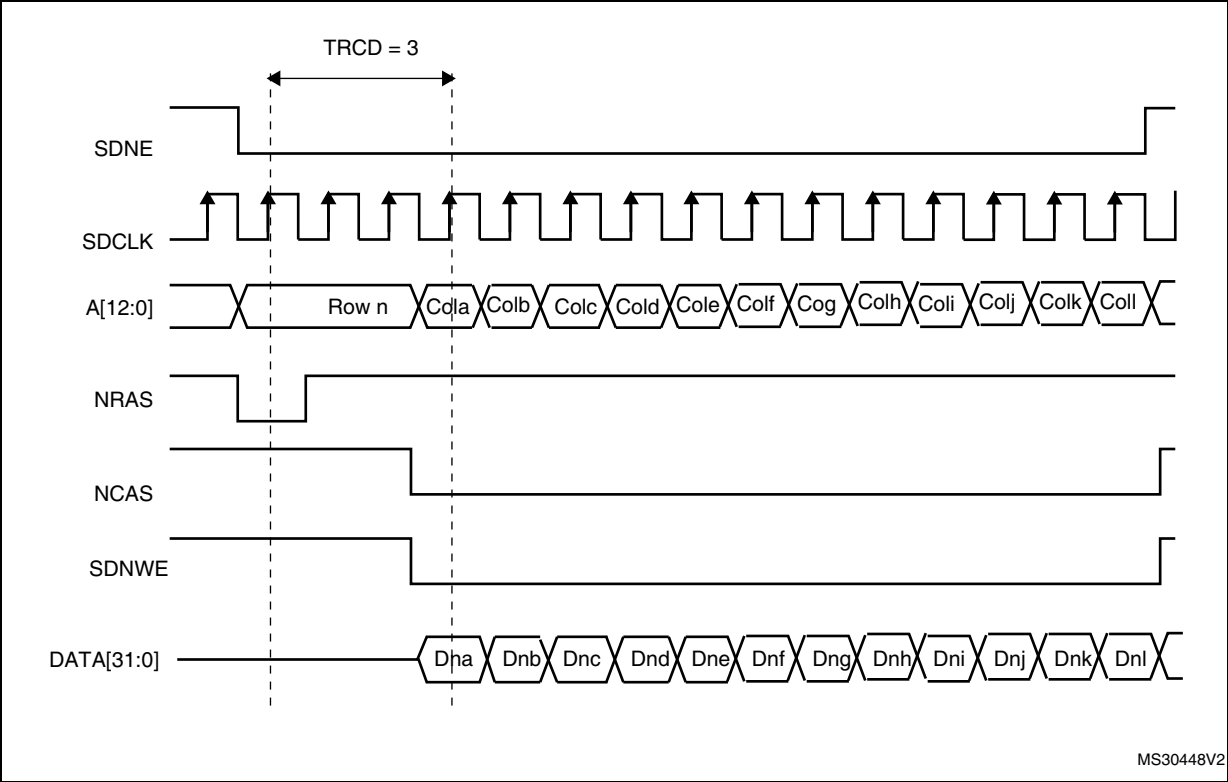
**注意：**如果有两个 SDRAM 设备连接到 FMC，对命令模式寄存器同时访问这两个器件（加载模式寄存器命令和自刷新命令）的情况，将按 FMC\_SDTR1 寄存器中为 SDRAM 存储器 1 配置的时序参数（TMRD、TRAS 和 TXSR 时序）发出访问命令。

#### SDRAM 控制器写周期

SDRAM 控制器可接收单次的和突发的写请求，并将其视为单次存储器访问。在这两种情况下，SDRAM 控制器都会跟踪各存储区域的有效行，以能够对不同的存储区域进行连续的写访问（多存储区域乒乓访问）。

执行任何写访问前，必须将 FMC\_SDCRx 寄存器中的 WP 位清零，禁止 SDRAM 存储区域的写保护。

图 476. 突发写入 SDRAM 访问波形



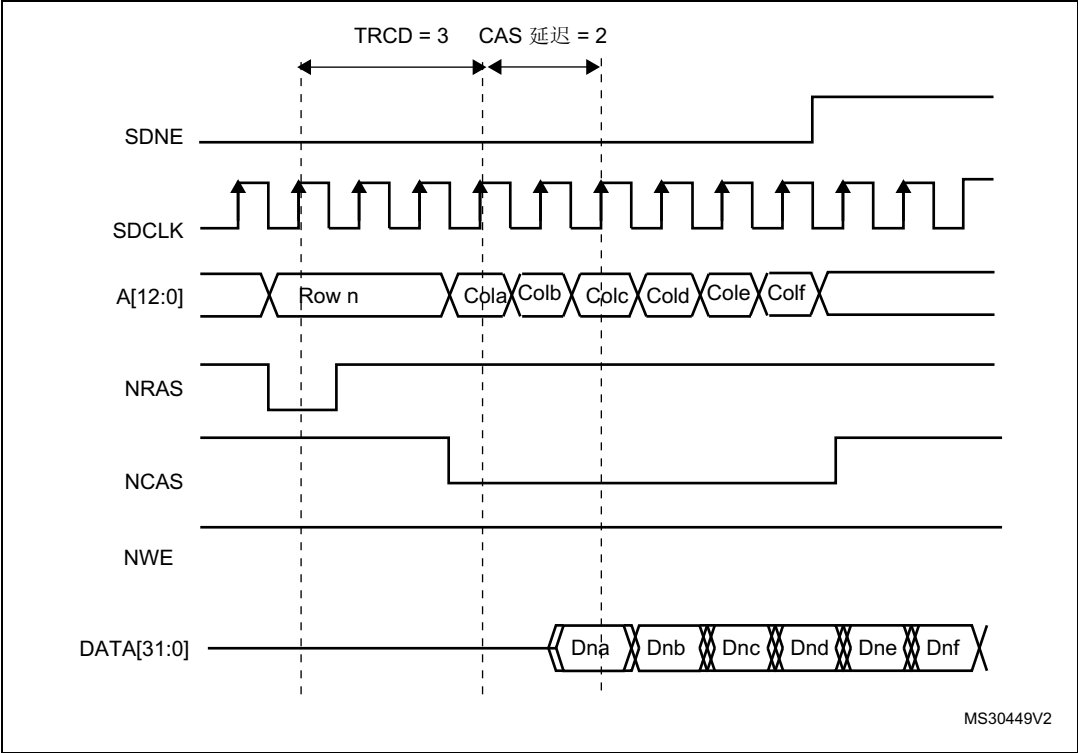
- SDRAM 控制器始终会检查下一个访问。
- 如果下一个访问发生在同一行或在其它有效行，则直接执行写操作。
  - 如果下一个访问指向一个无效行，则 SDRAM 控制器将生成预充电命令、激活该新行并初始化写命令。

SDRAM 控制器读周期

SDRAM 控制器可接收单次的和突发的读请求，并将其视为单次存储器访问。在这两种情况下，SDRAM 控制器都会跟踪各存储区域的有效行，以能够对不同的存储区域进行连续的读访问（多存储区域乒乓访问）。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

图 477. 突发读 SDRAM 访问



FMC SDRAM 控制器具有可缓存的读 FIFO（6 行 x 32 位），用于存储在 CAS 延迟周期（最多 3 个存储器时钟周期，在 FMC\_SDCRx 中配置）和 RPIPE 延迟（最多 2 个 HCLK 时钟周期，在 FMC\_SDCR1 中配置）期间提前读取的数据。必须将 FMC\_SDCR1 寄存器中的 RBURST 位置 1 才能接受下一个读访问。

示例：

- CAS=3，SDCLK= HCLK/2，RPIPE= 2xHCLK。这种情况下，FIFO 中将存储 4 个未提交的数据（CAS 延迟期间读取的 3 个数据和 RPIPE 延迟期间读取的 1 个数据）

读 FIFO 的每行都具有 14 位地址标记用于标识自身内容：11 位用于表示列地址，2 位用于表示选择内部存储区域和有效行，1 位用于选择 SDRAM 设备

在 AHB 突发读取期间，如果提前到达行末尾，则提前读取的数据（未提交）不存储到读 FIFO。对于单次读访问，数据将正确存储到读 FIFO。

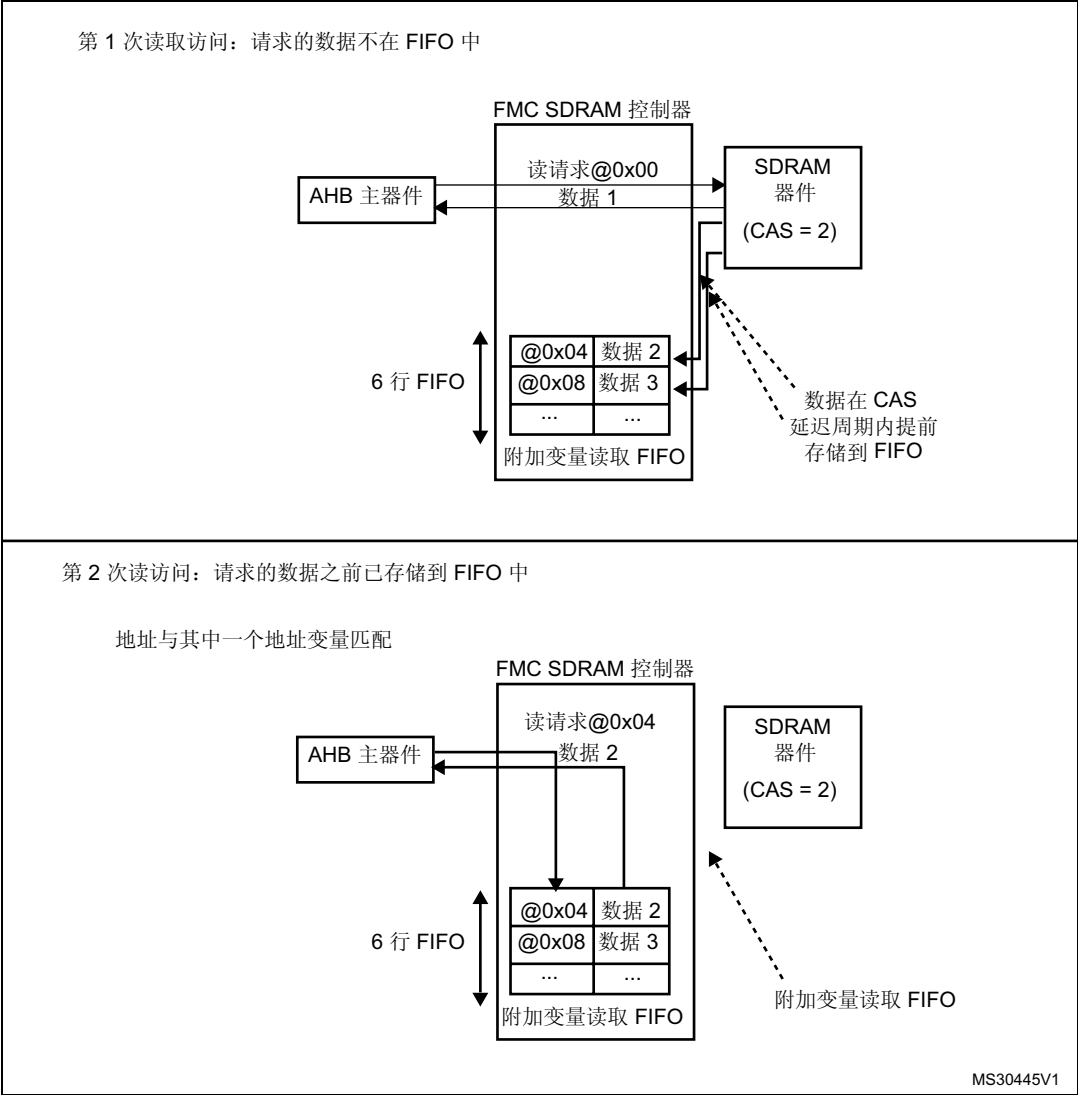
每当出现读请求时，SDRAM 控制器将检查：

- 地址与地址标记之一是否匹配，如果找到匹配，则直接从 FIFO 读取数据并清空相应地址标记/行内容，同时压缩 FIFO 中的剩余数据以避免空行。
- 否则，向存储器发送新的读命令并用新数据更新 FIFO。如果 FIFO 已满，则较早的数据将丢失。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。



图 478. RBURST 位置 1 时的读访问逻辑图 (CAS=2, RPIPE=0)



MS30445V1

读访问或预充电命令期间，读 FIFO 将刷新并做好填充新数据的准备。

接到第一个读请求后，如果当前访问还未进行到行边界，则 SDRAM 控制器将在 CAS 延迟周期和 RPIPE 延迟（如果已配置）期间接受下一个读访问。这将通过递增存储器地址来实现。必须满足以下条件：

- FMC\_SDCR1 寄存器中的 RBURST 控制位必须置“1”。



地址管理取决于下一个 AHB 请求：

- 下一个 AHB 请求是连续的（AHB 突发）  
这种情况下，SDRAM 控制器将递增地址。
- 下一个 AHB 请求不连续
  - 如果新的读请求指向与上一请求相同的行或另一个有效行，则新地址将传送给存储器，同时主设备在 CAS 延迟周期停止工作，等待从存储器获取新数据。
  - 如果新的读请求指向无效行，则 SDRAM 控制器生成预充电命令、激活该新行并初始化读命令。

如果 RURST 位置 0，则不使用读 FIFO。

### 行和存储区域边界管理

当读/写访问跨越了行边界时，如果下一个读/写访问是连续的并且当前访问已执行到行边界，则 SDRAM 控制器将执行以下操作：

1. 对有效行进行预充电，
2. 激活新行
3. 启动读/写命令。

对于各种列和数据总线宽度配置，都支持在行边界自动激活下一行。

SDRAM 控制器可根据需要在以下命令之间插入附加时钟周期：

- 在预充电和激活命令之间插入以匹配 TRP 参数（仅当下一个访问指向同一存储区域中的其它行时），
- 在激活和读命令之间插入以匹配 TRCD 参数。

这些参数在 FMC\_SDTRx 寄存器中定义。

有关跨越行边界读取和突发写访问的信息，请参见 [图 479](#) 和 [图 480](#)。

图 479. 跨行边界的读访问

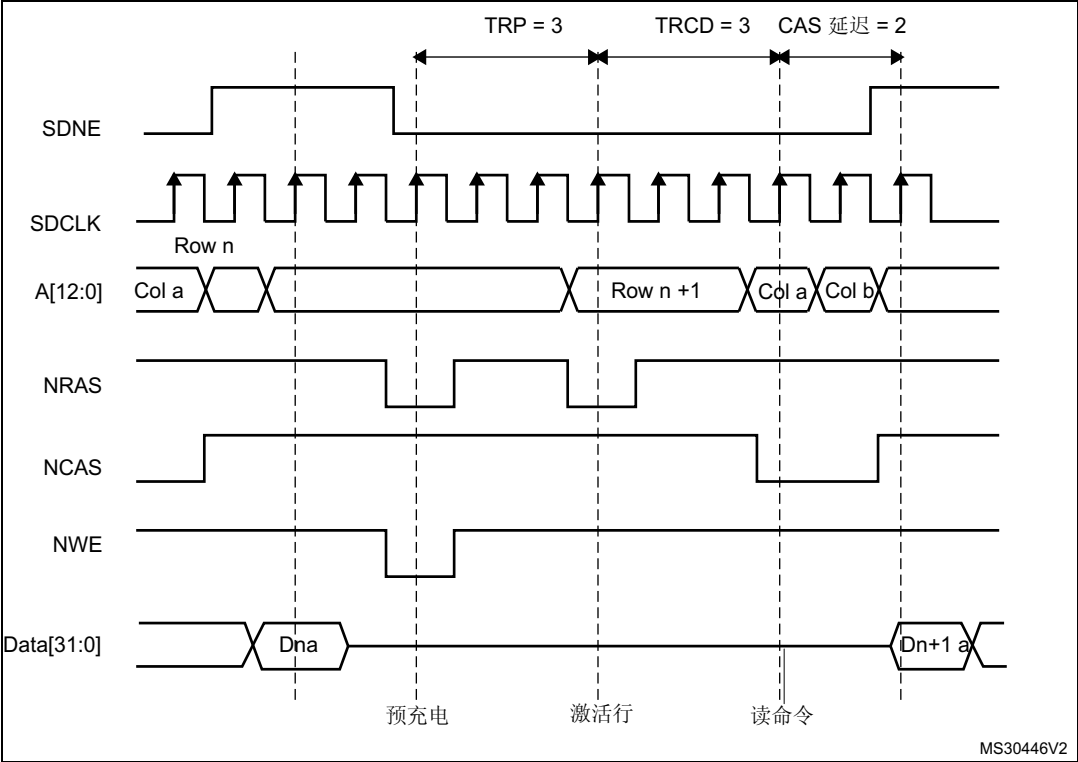
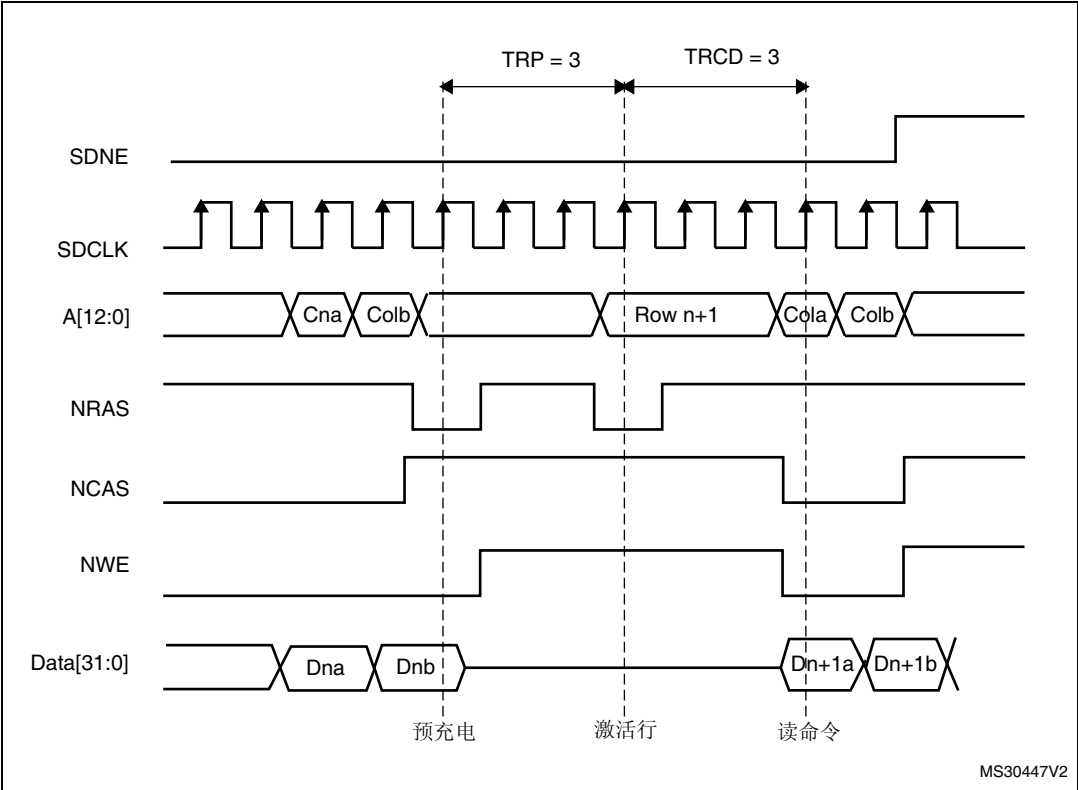


图 480. 跨行边界的写访问



如果下一个访问是连续的并且当前访问跨越了存储区域边界，则 SDRAM 控制器将激活下一个存储区域的第一个行并发出新的读/写命令。可能存在以下两种情况：

- 如果当前存储区域不是最后一个存储区域，则必须对新存储区域中的激活行进行预充电。对于各种列和数据总线宽度配置，都支持在存储区域边界自动激活下一行。
- 对于 13 位行地址、11 位列地址、4 个内部存储区域和总线宽度为 32 位的 SDRAM 存储器，如果当前存储器是最后一个存储区域且所选 SDRAM 设备与存储区域 1 相连，则 SDRAM 控制器将通过第二个 SDRAM 设备继续进行读/写操作（假设第二个 SDRAM 设备已初始化）：
  - a) SDRAM 控制器将激活第一行（在对有效行预充电之后，假设第一个内部存储区域中存在有效行）并发出新的读/写命令。
  - b) 如果第一行已激活，则 SDRAM 控制器将仅发出读/写命令。

**注意：** 如果当前存储区域是最后一个存储区域，则仅在对 13 位行、11 位列、4 个内部存储区域和 32 位数据总线的 SDRAM 设备寻址时，支持在存储区域边界自动激活下一行。否则，将违反 SDRAM 地址范围并生成 AHB 错误。

### SDRAM 控制器刷新周期

自动刷新命令用于刷新 SDRAM 设备的内容。SDRAM 控制器会定期发送自动刷新命令。它使用一个内部计数器装载 FMC\_SDRTR 寄存器中的 COUNT 值。该值定义刷新周期之间的存储器时钟周期个数（刷新速率）。该计数器的值达到零时将生成一个内部脉冲。

如果存在进行中的存储器访问，则会延迟自动刷新请求。不过，在存储器访问和自动刷新请求同时出现时，则优先处理自动刷新请求。

如果在自动刷新期间访问存储器，则会缓存访问请求并在自动刷新完成后进行处理。

如果在上一个自动刷新请求尚未完成的情况下又出现了新的自动刷新请求，则状态寄存器中的 RE（刷新错误）位将置 1。该位如果已使能（REIE = “1”），将生成中断。

如果 SDRAM 的行不是空闲状态（并非所有行都已关闭），则 SDRAM 控制器将生成 PALL（全部预充电）命令，然后再进行自动刷新。

如果由 FMC\_SDCMR 命令模式寄存器（模式位 = “011”）生成自动刷新命令，则必须先发出 PALL 命令（模式位 = “010”）。

## 37.7.4 低功耗模式

可使用两种低功耗模式：

- 自刷新模式  
由 SDRAM 设备自身执行自动刷新循环以保留数据，无需外部计时。
- 掉电模式  
由 SDRAM 控制器执行自动刷新循环。

### 自刷新模式

通过将 MODE 位置为 “101” 并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）来选择该模式。

SDRAM 时钟在 TRAS 延迟后停止运行，而内部刷新定时器只有在满足以下条件之一时才停止计数：

- 向两个设备都发出了自刷新命令
- 其中一个设备未激活（SDRAM 存储区域未初始化）。

进入自刷新模式前，SDRAM 控制器会自动发送 PALL 命令。

如果写数据 FIFO 非空，则所有数据都将在自刷新模式激活前发送到存储器并且 BUSY 状态标志保持置 1。

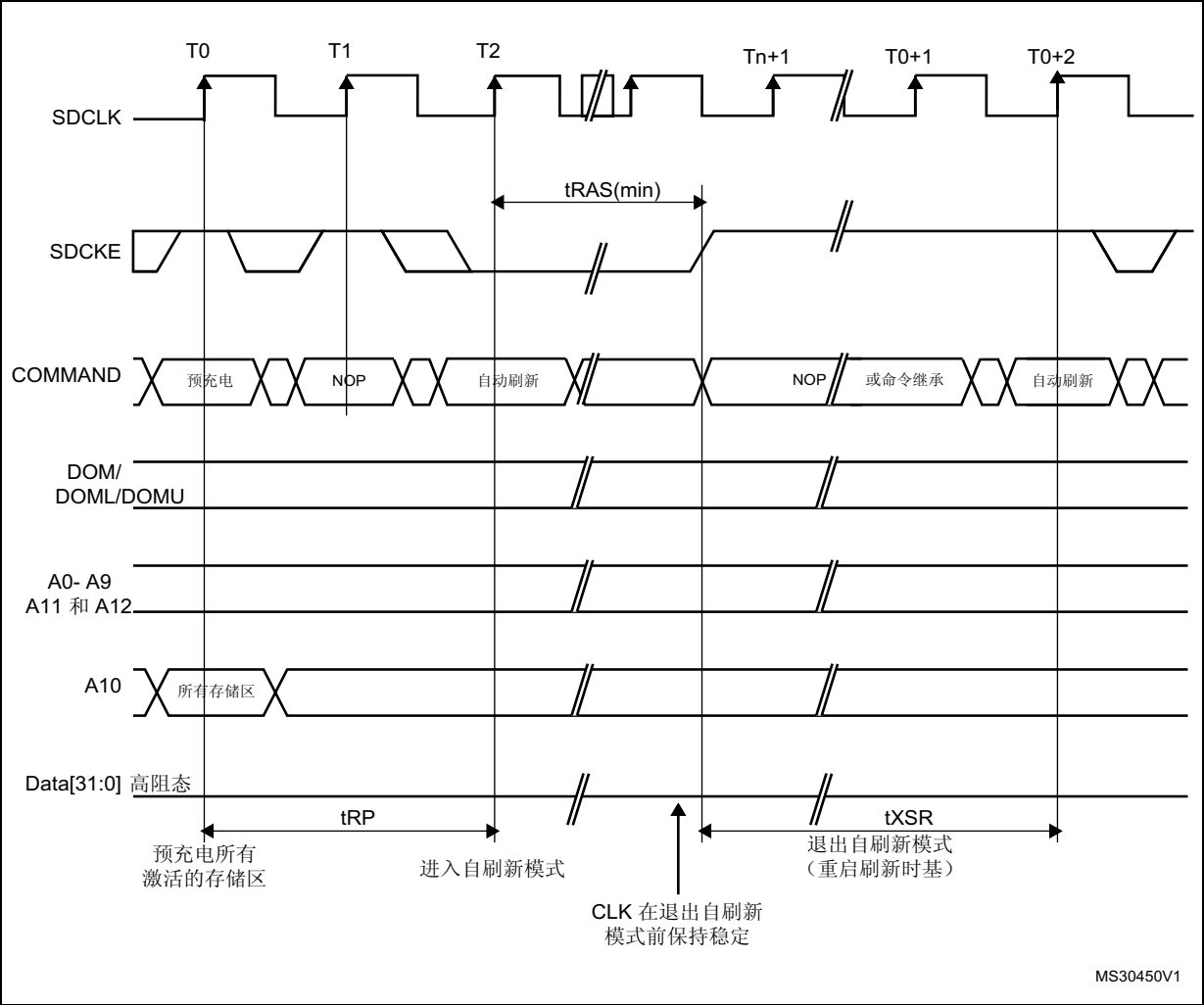
在自刷新模式下，除保持低电平的 SDCKE 外，SDRAM 设备的所有输入都无效。

SDRAM 设备必须处于自刷新模式最短为  $t_{RAS}$  时间，且能够在更长的时间内始终处于自刷新模式。为保证这一最短时长，在自刷新激活后的  $t_{RAS}$  延迟期间，BUSY 状态标志将保持高电平。

SDRAM 控制器会在有 SDRAM 设备被选定后立即生成一个命令序列以退出自刷新模式。存储器访问完成后，选定的设备将保持正常模式。

要退出自刷新模式，必须将 MODE 位置为“000”（正常模式）并配置 FMC\_SDCMR 寄存器中的目标存储区域位（CTB1 和/或 CTB2）。

图 481. 自刷新模式

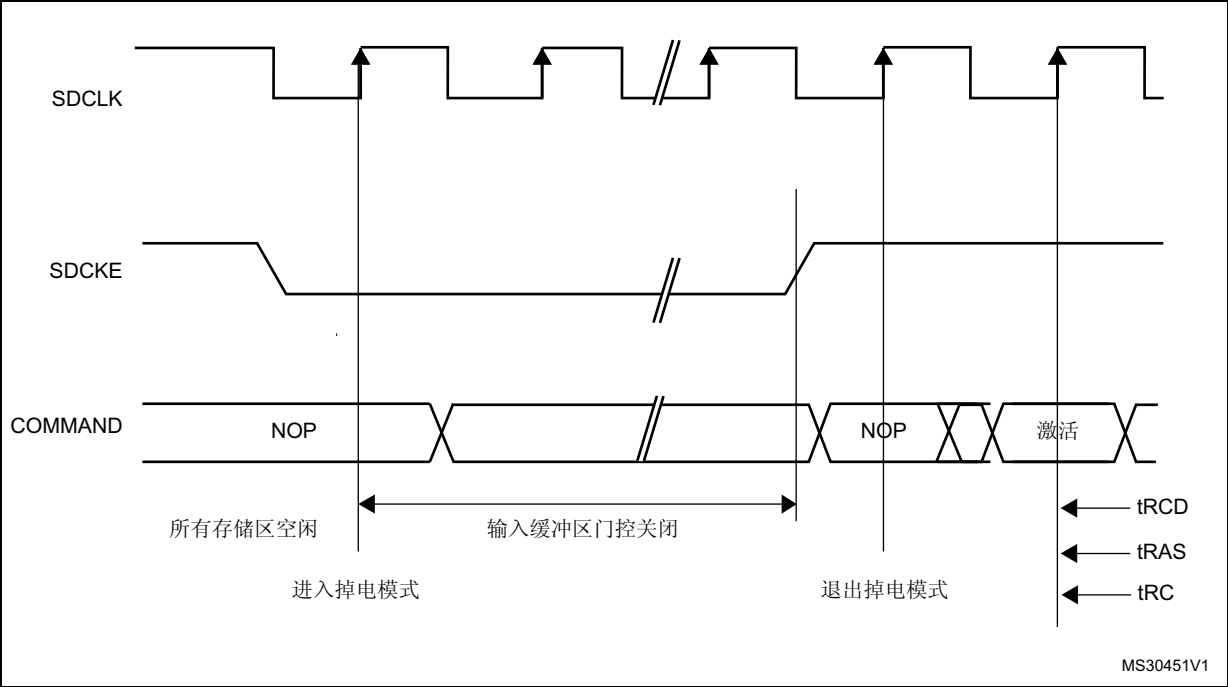


注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

掉电模式

通过将 **MODE** 位置为 “110” 并配置 **FMC\_SDCMR** 寄存器中的目标存储区域位（**CTB1** 和/或 **CTB2**）来选择该模式。

图 482. 掉电模式



如果写数据 FIFO 非空，则所有数据都将在掉电模式激活前发送到存储器。

SDRAM 控制器会在有 SDRAM 设备被选定后立即退出掉电模式。存储器访问完成后，选定的 SDRAM 设备将保持正常模式。

在掉电模式期间，将禁用 SDRAM 设备的所有输入/输出缓冲区，只有保持低电平的 SDCKE 除外。

SDRAM 设备保持掉电模式的时间不会长于刷新周期，并且自身无法执行自刷新循环。因此，SDRAM 控制器通过以下操作执行刷新：

- 退出掉电模式并将 **SDCKE** 驱动为高电平
- 生成 **PALL** 命令（前提是在掉电模式下存在激活行）
- 生成自动刷新命令
- 再次将 **SDCKE** 驱动为低电平以返回掉电模式。

要退出掉电模式，必须将 **MODE** 位置为 “000”（正常模式）并配置 **FMC\_SDCMR** 寄存器中的目标存储区域位（**CTB1** 和/或 **CTB2**）。

注：本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

### 37.7.5 SDRAM 控制寄存器

#### SDRAM 控制寄存器 1, 2 (FMC\_SDCR1, FMC\_SDCR2)

SDRAM Control registers 1,2

偏移地址:  $0x140 + 4 \times (x - 1)$ ,  $x = 1, 2$

复位值: 0x0000 02D0

此寄存器包含每个 SDRAM 存储区域的控制参数

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																	RPIPE		RBURST	SDCLK		WP	CAS		NB	MWID		NR		NC	
																	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:15 保留, 必须保持复位值

位 14:13 **RPIPE**: 读管道 (Read pipe)

这些位可定义在 CAS 延迟后延后多少个 HCLK 时钟周期读取数据。

00: 0 个 HCLK 时钟周期延迟

01: 1 个 HCLK 时钟周期延迟

10: 2 个 HCLK 时钟周期延迟

11: 保留, 不使用

注意: FMC\_SDCR2 寄存器中的相应位为无关位。

位 12 **RBURST**: 突发读 (Burst read)

此位可使能突发读模式。SDRAM 控制器预期在 CAS 延迟期间接受下一个读命令并将数据存储在读 FIFO 中。

0: 不将单次读请求作为突发请求管理

1: 始终将单次读请求作为突发请求管理

注意: FMC\_SDCR2 寄存器中的相应位为无关位。

位 11:10 **SDCLK**: SDRAM 时钟配置 (SDRAM clock configuration)

这些位用于定义两个 SDRAM 存储区域的 SDRAM 时钟周期以及在更改频率前禁止时钟。此时, 必须重新初始化 SDRAM。

00: 禁止 SDCLK 时钟

01: 保留

10: SDCLK 周期 = 2 x HCLK 周期

11: SDCLK 周期 = 3 x HCLK 周期

注意: FMC\_SDCR2 寄存器中的相应位为无关位。

位 9 **WP**: 写保护 (Write protection)

该位可使能对 SDRAM 存储区域的写模式访问。

0: 允许写访问

1: 忽略写访问

位 8:7 **CAS**: CAS 延迟 (CAS Latency)

该位可设置 SDRAM CAS 延迟, 按存储器时钟周期计

00: 保留, 不使用。

01: 1 个周期

10: 2 个周期

11: 3 个周期



- 位 6 **NB**: 内部存储区域数量 (Number of internal banks)

该位可设置内部存储区域数量。

0: 2 个内部存储区域

1: 4 个内部存储区域
- 位 5:4 **MWID**: 存储器数据总线宽度 (Memory data bus width)。

这些位定义存储器件宽度。

00: 8 位

01: 16 位

10: 32 位

11: 保留, 不使用。
- 位 3:2 **NR**: 行地址位数 (Number of row address bits)

这些位定义行地址的位数。

00: 11 位

01: 12 位

10: 13 位

11: 保留, 不使用。
- 位 1:0 **NC**: 列地址位数 (Number of column address bits)

这些位定义列地址的位数。

00: 8 位

01: 9 位

10: 10 位

11: 11 位
- 注意:

修改 *RBURST* 或 *RPIPE* 设置或者禁止 *SDCLK* 时钟之前, 用户必须先发送 *PALL* 命令以确  
保先完成正在进行的操作。

SDRAM 时序寄存器 1, 2 (FMC\_SDTR1, FMC\_SDTR2)

DRAM Timing registers 1,2

偏移地址: 0x148 + 4 \* (x - 1), x = 1, 2

复位值: 0x0FFF FFFF

此寄存器包含每个 SDRAM 存储区域的时序参数

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved				TRCD				TRP				TWR				TRC				TRAS				TXSR				TMRD			
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

- 位 31:28 保留, 必须保持复位值
- 位 27:24 **TRCD**: 行到列延迟 (Row to column delay)

这些位定义激活命令与读/写命令之间的延迟, 按存储器时钟周期数计。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

注: 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册 (英文第 7 版) 中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述, 请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布, 敬请关注。

**位 23:20 TRP: 行预充电延迟 (Row precharge delay)**

这些位定义预充电命令与其它命令之间的延迟，按存储器时钟周期数计。仅在 FMC\_SDTR1 寄存器中配置 TRP 时序。如果使用了两个 SDRAM 设备，则必须使用最慢设备的时序配置 TRP。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

注意: FMC\_SDTR2 寄存器中的相应位为无关位。

**位 19:16 TWR: 恢复延迟 (Recovery delay)**

这些位定义写命令和预充电命令之间的延迟，按存储器时钟周期数计。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

注意: TWR 必须设置成与 SDRAM 数据手册中定义的写恢复时间 ( $t_{WR}$ ) 相匹配，保证:

$TWR \geq TRAS - TRCD$ , 并且  $TWR \geq TRC - TRCD - TRP$

例如:  $TRAS = 4$  个周期,  $TRCD = 2$  个周期。因此,  $TWR \geq 2$  个周期。TWR 必须设置为 0x1。

如果使用了两个 SDRAM 设备，则必须为 FMC\_SDTR1 和 FMC\_SDTR2 配置相同的 TWR 时序（对应于较慢的 SDRAM 设备）。

**位 15:12 TRC: 行循环延迟 (Row cycle delay)**

这些位定义刷新命令和激活命令之间的延迟，以及两个相邻刷新命令之间的延迟，以存储器时钟周期数表示。仅在 FMC\_SDTR1 寄存器中配置 TRC 时序。如果使用了两个 SDRAM 设备，则必须使用最慢设备的时序配置 TRC。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

注意: TRC 必须与 SDRAM 设备数据手册中定义的 TRC 和 TRFC（自动刷新周期）时序相匹配。

注意: FMC\_SDTR2 寄存器中的相应位为无关位。

**位 11:8 TRAS: 自刷新时间 (Self refresh time)**

这些位定义最短的自刷新周期，按存储器时钟周期数计。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

**位 7:4 TXSR: 退出自刷新延迟 (Exit Self-refresh delay)**

这些位定义从发出自刷新命令到发出激活命令之间的延迟，按存储器时钟周期数计。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期

**位 3:0 TMRD: 加载模式寄存器到激活 (Load Mode Register to Active)**

这些位定义加载模式寄存器命令和激活或刷新命令之间的延迟，按存储器时钟周期计。

0000: 1 个周期

0001: 2 个周期

....

1111: 16 个周期





**注意：** 如果连接了两个 SDRAM 设备，对命令模式寄存器同时访问这两个器件（加载模式寄存器命令和自刷新命令）的情况，将按 FMC\_SDR1 寄存器中为存储器 1 配置的时序参数（TMRD、TRAS 和 TXSR 时序）发出访问命令。

仅在 FMC\_SDR1 寄存器中配置 TRP 和 TRC 时序。如果使用了两个 SDRAM 设备，则必须使用最慢设备的时序配置 TRP 和 TRC 时序。

SDRAM 命令模式寄存器 (FMC\_SDCMR)

SDRAM Command Mode register

地址偏移：0x150

复位值：0x0000 0000

该寄存器包含访问 SDRAM 设备时所发出的命令。该寄存器用于初始化 SDRAM 设备、激活自刷新模式和掉电模式。写入 MODE 字段后，将根据 CTB1 和 CTB2 命令位向单个或全部两个 SDRAM 存储区域发送命令。该寄存器为两个 SDRAM 存储区域所共用。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved										MRD										NRFS				CT B1	CT B2	MODE					
										rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

- 位 31:22 保留，必须保持复位值
- 位 21:9 **MRD**：模式寄存器定义 (Mode Register definition)
- 此 13 位字段定义 SDRAM 模式寄存器内容。可通过加载模式寄存器命令对模式寄存器进行编程。
- 位 8:5 **NRFS**：自刷新次数 (Number of Auto-refresh)
- 这些位定义 MODE = “011” 时所发出的连续自刷新命令个数。
- 0000：1 个自刷新周期
- 0001：2 个自刷新周期
- ....
- 1110：15 个自刷新周期
- 1111：保留
- 位 4 **CTB1**：命令目标存储区域 1 (Command Target Bank 1)
- 该位指示是否向 SDRAM 存储器 1 发送命令。
- 0：命令未发送到 SDRAM 存储区域 1
- 1：命令已发送到 SDRAM 存储区域 1
- 位 3 **CTB2**：命令目标存储区域 2 (Command Target Bank 2)
- 该位指示是否向 SDRAM 存储器 2 发送命令。
- 0：命令未发送到 SDRAM 存储区域 2
- 1：命令已发送到 SDRAM 存储区域 2

**注：** 本文档仅提供 STM32F405/407/415/417/42x/43x 参考手册（英文第 7 版）中第 11、16、29 和 37 章的翻译。欲获取 STM32F429/439 的完整描述，请参阅该参考手册 (RM0090) 的最新英文版。完整译文将于本网站后续发布，敬请关注。

位 2:0 **MODE**: 命令模式 (Command mode)

这些位定义发送到 SDRAM 设备的命令。

000: 正常模式

001: 时钟配置使能

010: PALL (“预充电所有存储区域”) 命令

011: 自刷新命令

100: 加载模式寄存器

101: 自刷新命令

110: 掉电命令

111: 保留

**注意:** 命令发出后, 至少一个命令目标存储区域位 (CBT1 或 CBT2) 必须置 1。如果两个存储区域都使用, 则必须将 CBT1 和 CBT2 位置 1, 向两个存储区域同时发送命令。

## SDRAM 刷新定时器寄存器 (FMC\_SDRTR)

SDRAM Refresh Timer register

偏移地址: 0x154

复位值: 0x0000 0000

该寄存器通过配置刷新定时器计数值来设置刷新循环之间的刷新速率, 按 SDCLK 时钟周期数计。

$$\text{刷新速率} = (\text{COUNT} + 1) \times \text{SDRAM 频率时钟}$$

$$\text{COUNT} = (\text{SDRAM 刷新周期/行数}) - 20$$

### 示例

$$\text{刷新速率} = 64 \text{ ms}/(8196 \text{ 行}) = 7.81 \mu\text{s}$$

其中 64 ms 是 SDRAM 的刷新周期。

$$7.81 \mu\text{s} \times 60 \text{ MHz} = 468.6$$

如果在接受读请求后出现内部刷新请求, 则必须将刷新速率增加 20 个 SDRAM 时钟周期 (如上所示) 以获得重充足的裕量。其对应的 COUNT 值为 “0000111000000” (448)。

该 13 位字段将加载到使用 SDRAM 时钟递减的定时器。此定时器在计数到零时生成刷新脉冲。COUNT 值必须设置为至少 41 个 SDRAM 时钟周期。

一旦完成对 FMC\_SDRTR 寄存器的编程, 定时器就开始计数。如果寄存器中编程的值为 “0”, 则不会执行刷新。切不可在初始化后重新编程该寄存器以避免刷新速率被修改。

每当生成刷新脉冲时, 都会重新将该 13 位 COUNT 字段加载到计数器中。

如果存在进行中的存储器访问, 则会延迟自动刷新请求。不过, 在存储器访问和自动刷新请求同时出现时, 则优先处理自动刷新请求。如果在刷新期间访问存储器, 则会缓存访问请求并在刷新完成后进行处理。

此寄存器为 SDRAM 存储区域 1 和存储区域 2 所共用。



31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reserved																	REIE	COUNT														CRE
																	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW	rW

位 31:15 保留，必须保持复位值

位 14 **REIE**: RES 中断使能 (RES Interrupt Enable)

- 0: 禁止中断
- 1: RE = 1 时生成中断

位 13:1 **COUNT**: 刷新定时器计数 (Refresh Timer Count)

该 13 位字段定义 SDRAM 设备的刷新速率，以存储器时钟周期数表示。该字段必须设置为至少 41 个 SDRAM 时钟周期。  
刷新速率 = (COUNT + 1) x SDRAM 频率时钟  
COUNT = (SDRAM 刷新周期/行数) - 20

位 0 **CRE**: 清除刷新错误标志 (Clear Refresh error flag)

- 该位用于清除状态寄存器中的刷新错误标志 (RE)。
- 0: 无操作
- 1: 清除刷新错误标志

**注意:** 所编程的 COUNT 值不可等于以下时序之和: TWR+TRP+TRC+TRCD+4 个存储器时钟周期。

SDRAM 状态寄存器 (FMC\_SDSR)

SDRAM Status register

偏移地址: 0x158

复位值: 0x0000 0000

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved																								BUSY		MODES2		MODES1		RE	
																								r		r	r	r	r	r	

位 31:5 保留，必须保持复位值

位 5 **BUSY**: 繁忙状态 (Busy status)

- 该位定义接到命令模式请求后 SDRAM 控制器的状态
- 0: SDRAM 控制器已准备好接受新请求
- 1: SDRAM 控制器未准备好接受新请求

位 4:3 **MODES2**: 存储区域 2 的状态模式 (Status Mode for Bank 2)

- 该位定义 SDRAM 存储区域 2 的状态模式。
- 00: 正常模式
- 01: 自刷新模式
- 10: 掉电模式

位 2:1 **MODES1**: 存储区域 1 的状态模式 (Status Mode for Bank 1)

- 该位定义 SDRAM 存储区域 1 的状态模式。
- 00: 正常模式
- 01: 自刷新模式
- 10: 掉电模式

位 0 RE: 清除错误标志 (Refresh error flag)

0: 未检测到刷新错误

1: 检测到刷新错误

在 REIE = 1 且 RE = 1 时会生成中断

## 37.8 FMC 寄存器映射

下表对 FMC 寄存器进行了汇总。

表 290. FMC 寄存器映射

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0x00	FMC_BCR1	Reserved												CCLKEN	Reserved			ASYNCRWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	Reserved	FACCEN	MWID		MTYP	MUXEN	MBKEN	
0x08	FMC_BCR2	Reserved												CBURSTW	Reserved			ASYNCRWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	Reserved	FACCEN	MWID		MTYP	MUXEN	MBKEN	
0x10	FMC_BCR3	Reserved												CBURSTW	Reserved			ASYNCRWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	Reserved	FACCEN	MWID		MTYP	MUXEN	MBKEN	
0x18	FMC_BCR4	Reserved												CBURSTW	Reserved			ASYNCRWAIT	EXTMOD	WAITEN	WREN	WAITCFG	WRAPMOD	WAITPOL	BURSTEN	Reserved	FACCEN	MWID		MTYP	MUXEN	MBKEN	
0x04	FMC_BTR1	Res.	ACCMOD	DATLAT		CLKDIV		BUSTURN		DATAST				ADDHLD		ADDSET																	
0x0C	FMC_BTR2	Res.	ACCMOD	DATLAT		CLKDIV		BUSTURN		DATAST				ADDHLD		ADDSET																	
0x14	FMC_BTR3	Res.	ACCMOD	DATLAT		CLKDIV		BUSTURN		DATAST				ADDHLD		ADDSET																	
0x1C	FMC_BTR4	Res.	ACCMOD	DATLAT		CLKDIV		BUSTURN		DATAST				ADDHLD		ADDSET																	
0x04	FMC_BWTR1	Res.	ACCMOD	Res.				Reserved		DATAST				ADDHLD		ADDSET																	
0x0C	FMC_BWTR2	Res.	ACCMOD	Res.				Reserved		DATAST				ADDHLD		ADDSET																	
0x14	FMC_BWTR3	Res.	ACCMOD	Res.				Reserved		DATAST				ADDHLD		ADDSET																	
0x1C	FMC_BWTR4	Res.	ACCMOD	Res.				Reserved		DATAST				ADDHLD		ADDSET																	
0x60	FMC_PCR2	Reserved												ECCPS		TAR		TCLR		Res.	ECCEN	PWID	PTYP	PBKEN	PWAITEN	Reserved							
0x80	FMC_PCR3	Reserved												ECCPS		TAR		TCLR		Res.	ECCEN	PWID	PTYP	PBKEN	PWAITEN	Reserved							
0xA0	FMC_PCR4	Reserved												ECCPS		TAR		TCLR		Res.	ECCEN	PWID	PTYP	PBKEN	PWAITEN	Reserved							



表 290. FMC 寄存器映射 (续)

偏移	寄存器	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0x64	FMC_SR2	Reserved																								FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS		
0x84	FMC_SR3	Reserved																								FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS		
0xA4	FMC_SR4	Reserved																								FEMPT	IFEN	ILEN	IREN	IFS	ILS	IRS		
0x68	FMC_PMEM2	MEMHIZx				MEMHOLDx				MEMWAITx				MEMSETx																				
0x88	FMC_PMEM3	MEMHIZx				MEMHOLDx				MEMWAITx				MEMSETx																				
0xA8	FMC_PMEM4	MEMHIZx				MEMHOLDx				MEMWAITx				MEMSETx																				
0x6C	FMC_PATT2	ATTHIZx				ATTHOLDx				ATTWAITx				ATTSETx																				
0x8C	FMC_PATT3	ATTHIZx				ATTHOLDx				ATTWAITx				ATTSETx																				
0xAC	FMC_PATT4	ATTHIZx				ATTHOLDx				ATTWAITx				ATTSETx																				
0xB0	FMC_PIO4	IOHIZx				IOHOLDx				IOWAITx				IOSETx																				
0x74	FMC_ECCR2	ECCx																																
0x94	FMC_ECCR3	ECCx																																
0x140	FMC_SDCR_1	Reserved														RPIPE	RBURST	CLK	WP	CAS	NB	MWID	NR		NC									
0x144	FMC_SDCR_2	Reserved														RPIPE	RBURST	CLK	WP	CAS	NB	MWID	NR		NC									
0x148	FMC_SDTR1	Reserved	TRCD		TRP		TWR		TRC		TRAS		TXSR		TMRD																			
0x14C	FMC_SDTR2	Reserved	TRCD		TRP		TWR		TRC		TRAS		TXSR		TMRD																			
0x150	FMC_SDCMR	Reserved								MRD								NRFS				CTB1	CTB2	MODE										
0x154	FMC_SDRTR	Reserved														REIE	COUNT																CRE	
0x158	FMC_SDSR	Reserved																								BUSY	MODES2		MODES1		RE			