

《数字电路课程设计》教学大纲

课程英文名	Digital Circuits Design				
课程代码	S0501300	课程类别	实践教学环节	课程性质	实践必修
实践教学类别	课程设计	学 分	2	总学时数	32
开课学院	计算机学院		开课基层教学组织	系统硬件课程组	
面向专业	计算机科学与技术		开课学期	第 3 学期	

一、 课程目标

本课程是与《数字电路设计》相配套的实践环节。通过课程的实践学习，使学生了解并初步掌握现代 EDA 设计技术和数字电路的软件化设计方法，具备设计常用组合逻辑电路、时序逻辑电路等的能力，培养学生面向复杂工程时的问题分析、文献查阅、方案论证、综合设计、团队沟通、团结协作等能力，进一步加深对所学理论课内容的理解。同时，了解计算机硬件设计技术方面的前沿知识、对比课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

通过课程实践，预期达到以下课程目标：

课程目标 1：能够独立完成 EDA 开发工具软件的安装、熟悉开发流程，能够以自学为主学习硬件描述语言；

课程目标 2：能够熟练运用 EDA 软件工具进行 FPGA 开发，具备在仿真条件和实验室环境下，设计并实现各个常见的组合逻辑电路单元和时序逻辑电路单元，并能够理解 EDA 工具的局限性；

课程目标 3：能够在制约条件下，设计并实现复杂功能子模块部件的能力；

课程目标 4：能够分析问题，查阅资料，设计出综合实验的方案，编程解决复杂工程问题；

课程目标 5：获取实验数据，具备对实验结果进行分析、推导出有效结论的能力。

课程目标 6：了解计算机硬件设计技术方面的前沿知识，对比课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

二、 课程目标与毕业要求对应关系

本课程的课程目标对计算机科学与技术专业毕业要求指标点的支撑情况如表 1 所示。

表 1. 课程目标与计算机科学与技术专业毕业要求对应关系

毕业要求	指标点	课程目标及支撑权重
毕业要求 3：设计/开发解决方案：能够设计计算机领域复杂工程问题的解决方案，设计与开发满足特定需求的软硬件系统、算法或部件，在设计中考虑社会、健康、安全、法律、文化以及环境等因素，并体现一定的创新意识。	3-2 掌握计算机硬件基础理论和设计方法，能够针对计算机复杂系统设计满足特定需求的功能部件或硬件系统。	目标 3： 1.0
毕业要求 4：研究：能够基于包括计算学科在内的科学原理，采用科学方法研究计算机领域的复杂工程问题，包括设计实验、分析与解释数据、并通过信息综合得到合理有效的结论。	4-2 能够针对特定的计算机领域复杂工程问题设计实验。	目标 4： 1.0
	4-3 能够收集、分析与解释数据，并通过信息综合得到合理有效的结论。	目标 5： 1.0
毕业要求 5：使用现代工具：能够针对计算机领域的复杂工程问题，开发、选择与使用恰当的技术、资源、现代工程工具和信息技术工具，包括对计算机领域的复杂工程问题进行预测与模拟，并能够理解其局限性。	5-1 了解计算机领域常用的现代工程工具和信息技术工具的适用范围、使用原理与方法，理解其局限性。	目标 1： 0.5 目标 2： 0.5
	5-2 针对计算机领域的复杂工程问题，能够开发、选用符合特定需求的技术、资源和现代工具，实现分析、计算或设计，并进行模拟和预测。	目标 2： 1.0
毕业要求 12：终身学习：具有自主学习和终身学习的意识，有不断学习和适应信息技术高速发展的能力。	12-2 具备自主学习的能力，包括技术理解力、归纳总结能力和提出问题的能力。	目标 1： 0.7 目标 6： 0.3

三、 课程目标与教学内容和方法的对应关系

表 2. 课程目标与教学内容、教学方法的对应关系

序号	实验名称	实验类型	实验内容	教学方法	课程目标
1	Verilog HDL 语言基础	其他	Verilog HDL 语言基本语法	自学，视频学习	1
2	实验系统与软件开发工具	其他	安装并熟悉开发环境	自学、视频学习、案例教学	1,2,6
3	五输入表决器设计	设计	要求使用门级描述方式，设计实现一个五输入表决器。	实验指导、独立完成	2,5
4	多路数据选择器设计	设计	要求使用数据流描述方式，设计实现一个多路数据选择器。	实验指导、独立完成	2,5
5	译码器设计	设计	要求利用行为描述方法设计实现 74LS138 译码器。	实验指导、独立完成	2,5
6	二进制优先级编码器	设计	要求自定义建模方式，设计实现一个	实验指导、独立完成	2,5

	设计		二进制优先级编码器。		
7	数值比较器	设计	要求自定义建模方式，设计实现一个 4 位数值比较器。	实验指导、独立完成	2,5
8	加法器设计	设计	要求自定义建模方式，设计实现一个 4 位二进制全加器。	实验指导、独立完成	2,5
9	加/减法运算器设计	设计	要求自定义建模方式，设计实现一个 4 位二进制加/减法运算器。	实验指导、独立完成	2,5
10	基本 RS 触发器设计	设计	要求自定义建模方式，设计实现一个基本 RS 触发器。	实验指导、独立完成	2,5
11	D 触发器设计	设计	要求自定义建模方式，设计实现一个带异步置数和清零端的 D 触发器。	实验指导、独立完成	2,5
12	JK 触发器设计	设计	要求自定义建模方式，设计实现一个上升沿 JK 触发器。	实验指导、独立完成	2,5
13	同步二进制计数器设计	设计	要求自定义建模方式，设计实现一个 4 位同步二进制加法计数器。	实验指导、独立完成	2,5
14	十进制计数器设计	设计	要求自定义建模方式，设计实现一个同步十进制计数器。	实验指导、独立完成	2,5
15	可逆计数器设计	设计	要求自定义建模方式，设计实现一个同步二进制可逆计数器。	实验指导、独立完成	2,5
16	基本寄存器设计	设计	要求自定义建模方式，设计实现一个带清零端和输出使能端的基本寄存器。	实验指导、独立完成	2,5
17	移位寄存器设计	设计	要求自定义建模方式，设计实现一个 4 位双向多功能移位寄存器。	实验指导、独立完成	2,5
18	定时与分频实验	综合	要求掌握计算机中实现定时的基本方法，理解定时、频率和计数之间的关系；掌握分频器的原理和实现方法，设计多个定时与分频的电路。	讲授，实验指导，小组协作完成	2,3,4,5
19	流水灯实验	综合	熟悉并掌握开关和显示灯作为输入和输出设备进行各种实验的方法，设计一个 8 位流水灯电路	讲授，实验指导，小组协作完成	2,3,4,5
20	数码管扫描显示	综合	要求学习数码管的显示原理，掌握数码管的动态扫描方法，设计 4 位数码管扫描显示电路。	讲授，实验指导，小组协作完成	2,3,4,5
21	数字钟设计	综合	在实验 20 的基础上，掌握数字钟的工作原理与设计方法，设计一个数字时钟显示电路。	讲授，实验指导，小组协作完成	2,3,4,5
22	小键盘扫描实验	综合	要求学习键盘动态扫描的原理，并设计一个 16 按键的小键盘扫描电路。	讲授，实验指导，小组协作完成	2,3,4,5
23	串口通信实验	综合	要求学习串口通信的工作原理，设计一个串口通信电路。	讲授，实验指导，小组协作完成	2,3,4,5
24	寄存器堆设计	综合	要求设计一个 8x4 的通用寄存器堆，	讲授，实验指导，小组协作完成	2,3,4,5

			实现读写等操作。	成	
25	按键消抖与单脉冲产生实验	综合	要求学习开关消抖的原理与实现方法，掌握普通按键消抖后，产生单脉冲的方法，设计一个按键消抖电路。	讲授，实验指导，小组协作完成	2,3,4,5
26	出租车计费器设计	综合	要求熟悉模块调用的方法，设计一个能根据里程计费的出租车计费器。	讲授，实验指导，小组协作完成	2,3,4,5
27	交通灯设计	综合	学习利用状态机来实现各个状态之间转换的编程方法，查阅资料，设计实验方案，设计一个十字路口的交通灯控制系统。	讲授，实验指导，小组协作完成	2,3,4,5
28	自动售货机设计	综合	学习分时复用输入设备（拨码开关）的编程方法，学习构造存储器的方法，设计一个自动售货机电路。	讲授，实验指导，小组协作完成	2,3,4,5

课程思政融合点：

思政融入点 1：对于基于语言学习的实验项目，引导学生查阅资料并利用在线课堂进行自主学习，培养学生具有自主学习和终身学习的科学精神。

思政融入点 2：对于实验系统与软件开发工具的实验项目，引导学生查阅资料，了解课程所使用的 FPGA 芯片及其开发工具的发展趋势以及国产自主化现状；通过撰写主题报告，激发学生爱国主义使命感和责任心。

思政融入点 3：对于综合性实验项目，引导学生能够分析问题，查阅资料，设计出综合实验的方案，编程解决复杂工程问题，通过模块化硬件结构来构建复杂系统，培养学生正确看待个体与整体的辩证关系，具备科学的系统创新思维和团结协作精神。

思政融入点 4：对于综合性实验项目，引导能够在制约条件下，设计并实现复杂功能子模块部件的能力，通过学生在方案设计、代码编写、调试程序过程中，必须精益求精调试程序错误，力求从系统角度提升软件的工作效率，从而培养学生严谨的工作态度、精益求精的工匠精神。

思政融入点 5：学生在实验方案设计、代码编写、实验验收以及实验考试中，应独立完成，不抄袭，培养学生的诚信美德和职业伦理。

四、 与其它课程的联系

先修课程：数字电路设计

后续课程：计算机组成原理

五、 学时分配

本课程共 32 学时，其中讲授 2 学时，实验 30 学时，具体安排如下：

表 3. 项目及学时分配

序号	实验（项目）名称	学时数	要求
----	----------	-----	----

		讲授学时	实践学时	课外学时	
1	Verilog HDL 语言基础	1	0	6	必做
2	实验系统与软件开发工具	1	0	2	必做
3	五输入表决器设计	0	1	1	选做
4	多路数据选择器设计	0	1	1	必做
5	译码器设计	0	1	1	必做
6	二进制优先级编码器设计	0	1	1	必做
7	数值比较器	0	1	1	必做
8	加法器设计	0	1	1	必做
9	加/减法运算器设计	0	1	1	必做
10	基本 RS 触发器设计	0	1	1	必做
11	D 触发器设计	0	1	1	必做
12	JK 触发器设计	0	1	1	必做
13	同步二进制计数器设计	0	1	1	必做
14	十进制计数器设计	0	1	1	必做
15	可逆计数器设计	0	1	1	必做
16	基本寄存器设计	0	1	1	必做
17	移位寄存器设计	0	1	1	必做
18	定时与分频实验	0	3	3	必做
19	流水灯实验	0	3	3	必做
20	数码管扫描显示	0	3	3	必做
21	数字钟设计	0	3	3	选做 2 个
22	小键盘扫描实验	0	3	3	
23	串口通信实验	0	3	3	
24	寄存器堆设计	0	3	3	
25	按键消抖与单脉冲产生实验	0	3	3	
26	出租车计费器设计	0	3	3	
27	交通灯设计	0	3	3	
28	自动售货机设计	0	3	3	
合计		2	30	56	
总计		32 课内学时+56 课外学时			

六、 课程目标达成途径及学生成绩评定方法

1. 课程目标达成途径

表 4. 课程目标与达成途径

课程目标	达成途径
课程目标 1: 能够独立完成 EDA 开发工具软件的安装、熟悉开发流程, 能够以自学为主学习硬件描述语言	学期初布置软件安装任务和自学 Verilog HDL 语言任务, 以锻炼学生的自学能力和解决问题能力; 为学生提供基本安装流程的文字描述与短视频, 学生自行解决安装中出现的各种版本及系统兼容问题; 提供 Verilog HDL 语言的 PPT, 学生自学方式掌握基本的语法与程序结构; 教师提供课外指导。

课程目标 2: 能够熟练运用 EDA 软件工具进行 FPGA 开发, 具备在仿真条件和实验室环境下, 设计并实现各个常见的组合逻辑电路单元和时序逻辑电路单元, 并能够理解 EDA 工具的局限性	对于每个实验, 学生必须在课前先行编写程序, 并进行逻辑综合与功能仿真, 验证功能正确后, 在实验课上, 再行进行板级的验证; 帮助学生理解在此过程中出现的各种特殊情况, 理解 EDA 工具的局限性。
课程目标 3: 能够在制约条件下, 设计并实现复杂功能子模块部件的能力	通过实验 18-28 的实验设计和实验操作实现: 实验 18-28 是综合性实验, 主要设计实现常用数字电路中的计数器、定时器、数码管显示、LED 流水灯显示、按键消抖等基础模块。
课程目标 4: 能够分析问题, 查阅资料, 设计出综合实验的方案, 编程解决复杂工程问题	通过实验 24-28 的实验分析实现: 实验 24-28 是综合性实验, 实现复杂功能的数字电路系统, 难度较大, 引导学生分析目标系统的功能模块划分, 按照模块化的思想分别设计单个功能模块, 通过最高层模块进行模块实例调用, 完成复杂数字电路系统的设计实现。
课程目标 5: 获取实验数据, 具备对实验结果进行分析、推导出有效结论的能力	通过实验 3-28 的程序设计与仿真测试实现: 基于前期的实验分析, 完成实验 3-28 的模型计算机的程序设计; 并编写测试程序, 最后使用综合与仿真工具进行功能模拟与验证。
课程目标 6: 了解计算机硬件设计技术方面的前沿知识, 对比课程所使用的 FPGA 芯片及其开发工具的国内外现状, 引导学生树立投身科学研究和技术创新的远大理想, 激发学生强烈的使命感和责任心	通过课堂讲授、课后自学、文献查阅、课堂讨论、分析对比、总结报告等各种方式, 让学生对当代计算机硬件设计技术的现状与发展趋势有所了解, 建立终生学习的意识; 同时, 进一步了解目前国内外在 FPGA 芯片及其 EDA 开发工具方面的现状, 让学生充分认识到科技创新的重要性, 从而建立强烈的民族自豪感与爱国主义使命感。

2. 学生成绩评定方法

本课程为考查课程。课程采用形成性评价与终结性评价相结合的评价方法, 学期总评成绩由两部分构成: 平时成绩, 占比 40%; 实践环节成绩, 占比 60%。平时成绩可包括(但不限于)课程思政实践、课堂互动、在线学习、实验规范与态度、课程报告等。各部分的建议考核内容、在平时成绩中的建议比例、关联课程目标、在总成绩中的占比等, 如表 5 所示, 任课教师可根据实际授课情况调整。各考核内容的详细评分标准见表 6 所示。

表 5. 课程考核与成绩评定方法

考核项目	考核内容	考核关联的课程目标	占总评成绩的比重
平时成绩	课程思政	6	5%
	实验规范与态度	1,2	5%
	模块实验	1,2,3	30%
实践环节成绩	综合实验	1,2,3,4,5	30%
	课程报告	1,2,3,4,5	20%
	实验考试	1,2,3,4	10%
总评成绩		1,2,3,4,5,6	100%

表 6. 考核内容详细评分标准

考核内容	评分标准			
	90-100	75-89	60-74	<60

课程思政		<p>实践报告占 50%：结合课程相关的集成电路设计、FPGA 应用等方面的新技术、新发展，布置相关的国内外现状与发展历程的调研实践报告</p> <p>根据报告的质量评分，考查点有：紧扣主题、内容充实 40 分，情感态 30 分（一票否决），格式规范 10 分，结构合理 10 分，参考文献 10 分（≥5 篇、格式规范 10 分）。</p> <p>课外研学测试占 50%：事先给出相关学习资料，期末以线上测试的形式，开卷考查本课程相关的计算机体系结构的最新发展、国家相关的宏观政策、国内的创新成果等方面的知识。</p> <p>按照测试正确率计分。</p>			
实验规范与态度		实验准备充分，按时完成全部自主学习和编程设计任务；实验操作规范，遵守实验室规定；课堂互动积极主动。	实验准备较为充分，按时完成大部分自主学习和编程设计任务；实验操作规范，遵守实验室规定；课堂互动较为积极主动。	有一定的实验准备，完成部分的自主学习和编程设计任务；实验操作较为规范，遵守实验室规定；课堂互动表现一般。	没有实验准备，未完成自主学习和编程设计任务；或者实验操作不规范，不遵守实验室规定。
模块实验	课内必须完成实验 3-17 共计 15 个模块实验，抽查 2 个，验收与评分标准如下：				
	语言与工具	能熟练使用	能熟练使用	能使用	尚未掌握
	实验验证方案	能正确设计验证实验方案；交互性好；验证充分且结果正确	能设计验证实验方案；交互性较好；验证结果正确	能完成基本的仿真验证与板级验证；交互性尚可；验证结果基本正确	仿真验证不正确、没有板级验证
	沟通交流	能够详实地陈述设计方案和调试方案，能够正确回答现场提问，语言流畅、思路清晰	能够较为完整地陈述设计方案和调试方案，能够正确回答现场提问，思路较为清晰	能够基本正确陈述主要设计方案和调试方案，回答现场提问基本正确	无法陈述主要设计方案和调试方案，回答现场提问出现严重错误
	功能实现	能正确理解设计原理；能够正确完成硬件功能模块的设计与实现，且功能完备	能理解设计原理；能够完成硬件功能模块的设计与实现，且功能较为完备	能基本理解设计原理；能够完成硬件功能模块的设计与实现，但功能有欠缺	对设计原理尚未理解，不能完成计算机硬件功能模块的设计与实现
综合实验	课内必须完成 5 个综合实验，其中实验 18-20 必做，21-28 选做 2 个；实验 20 必须验收，其余抽查验收 2 个；鼓励学生尝试选做其它的综合实验进行验收，可适当加分。综合实验验收与评分标准如下：				
	实验验证方案	能正确设计验证实验方案；交互性好；验证充分且结果正确	能设计验证实验方案；交互性较好；验证结果正确	能完成基本的仿真验证与板级验证；交互性尚可；验证结果基本正确	仿真验证不正确、没有板级验证
	沟通交流	能够详实地陈述设计方案和调试方案，能够正确回答现场提问，语言流畅、思路清晰	能够较为完整地陈述设计方案和调试方案，能够正确回答现场提问，思路较为清晰	能够基本正确陈述主要设计方案和调试方案，回答现场提问基本正确	无法陈述主要设计方案和调试方案，回答现场提问出现严重错误
	功能实现	能正确理解设计原理；能够正确完成硬件功能模块的设计与实现，且功能完备	能理解设计原理；能够完成硬件功能模块的设计与实现，且功能较为完备	能基本理解设计原理；能够完成硬件功能模块的设计与实现，但功能有欠缺	对设计原理尚未理解，不能完成计算机硬件功能模块的设计与实现
课程报告	按照质量评分，包含：格式 10 分、方案设计 30 分、编程实现 20 分、测试程序 10 分、实验结果分析 20 分、思考与探索 10 分，具体评分标准如下：				

	格式	完整规范、图表清晰美观	较为完整规范、图表清晰	完整规范性一般	内容残缺、格式混乱
	方案设计	设计方案正确合理，功能完备，逻辑清晰	设计方案较为合理，功能较为完备	设计方案基本合理，能实现基本功能	设计方案存在严重缺陷，不能实现基本功能
	编程实现	编程规范，结构清晰，代码正确详实	编程较规范，结构较清晰，代码详实、正确率 85%	编程不够规范，结构欠清晰，代码详实、正确率 70%	代码不全，结构混乱，有严重错误
	测试程序	编写正确，能有效测试实验的所有功能	编写正确，能有效测试 85% 的实验功能	编写基本正确，能有效测试 70% 的实验功能	编写的测试程序有严重错误或者不能有效测试实验功能
	实验结果	记录详实，有完整准确的分析	记录较为详实，有较为完整的分析	有结果记录，但不全；结果分析一般	没有结果记录，或者没有结果分析
	思考探索	能对实验中出现的 问题做总结分析， 提出解决办法；能 深入思考和探索提 高性实验	能对实验中出现的 问题做总结分析， 提出解决办法；对 提高性实验有基本 的思考和探索	能对实验中出现的 问题做总结分析， 提出解决办法	没有具体的总结分 析，或者没有给出 解决办法
	实验考试	实验代码无错误， 功能完全实现，回 答问题正确	实验代码错误 ≤ 2 个，功能大部分实 现，回答问题正确	实验代码错误 ≤ 4 个，功能基本实 现，能回答大部分 问题	实验代码错误 > 5 个，功能基本没实 现，不能正确回答 问题

七、教学资源

表 7. 课程的基本教学资源

资源类型	资源
教材	冯建文、章复嘉、包健、李二涛：基于 FPGA 的数字电路实验指导书，西安电子科技大学出版社，2016
参考书籍或文献	(37) 夏宇闻，韩彬：Verilog 数字系统设计教程，北京航空航天大学出版社，2017。 (38) Smair Palnitkar 著，夏宇闻等译：Verilog HDL 数字设计与综合，电子工业出版社，2022。 (39) 武庆生：数字逻辑（第 2 版），机械工业出版社，2013。 (40) 贾熹滨：数字逻辑基础与 Verilog 硬件描述语言，清华大学出版社，2012。 (41) Mark Zwolinski 著，夏宇闻译：System Verilog 数字系统设计，电子工业出版社，2011。 (42) 潘松：EDA 技术实用教程——Verilog HDL 版，科学出版社，2010。
教学文档	无

八、课程目标达成度定量评价

在课程结束后，需要对每一个课程目标（含思政课程目标）进行达成度的定量评价，用以实现课程的持续改进。

课程目标达成度的定量评价算法：

1、使用教学活动（如课程思政实践、课程实践报告、项目验收、小组协作、实验规范与态度等）成绩作为评价项目，对某个课程目标进行达成度的定量评价；

2、为保证考核的全面性和可靠性，要求对每一个课程目标的评价项目选择至少两种；

3、根据教学施教情况，评价项目可以由教师自行扩展，权重比例可以由教师自行设计；

4、对某一个课程目标有支撑的各评价项目权重之和为 1；

5、使用所有学生（含不及格）的平均成绩计算。

本课程的课程目标达成度的定量评价算法建议如表 8 所示，教师可根据授课方式及考核内容适当调整：

表 8.课程目标达成度定量评价方法

课程目标	课程目标达成度评价方式
课程目标 1： 能够独立完成 EDA 开发工具软件的安装、熟悉开发流程，能够以自学为主学习硬件描述语言	实验规范与态度：0.2 模块实验：0.2 综合实验：0.2 课程报告：0.2 实验考试：0.2
课程目标 2： 能够熟练运用 EDA 软件工具进行 FPGA 开发，具备在仿真条件和实验室环境下，设计并实现各个常见的组合逻辑电路单元和时序逻辑电路单元，并能够理解 EDA 工具的局限性	实验规范与态度：0.1 模块实验：0.3 综合实验：0.3 课程报告：0.2 实验考试：0.1
课程目标 3： 能够在制约条件下，设计并实现复杂功能子模块部件的能力	模块实验：0.2 综合实验：0.4 课程报告：0.2 实验考试：0.2
课程目标 4： 能够分析问题，查阅资料，设计出综合实验的方案，编程解决复杂工程问题	综合实验：0.6 课程报告：0.2 实验考试：0.2
课程目标 5： 获取实验数据，具备对实验结果进行分析、推导出有效结论的能力	综合实验：0.4 课程报告：0.6
课程目标 6： 了解计算机硬件设计技术方面的前沿知识，对比课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心	课程思政：1.0

九、 说明

本大纲规定了杭州电子科技大学计算机科学与技术专业《数字电路课程实践》课程的教学要求和教学规范，承担本课程的教师须遵照本大纲安排授课计划、实施教学过程，完成学生学习成绩评价、课程目标达成度评价和毕业要求指标点达成度评价。

本课程大纲自 2021 级开始执行，生效之日原先版本均不再使用。

十、 编制与审核

表 9：大纲编制与审核信息

工作内容	责任部门或机构	负责人	完成时间
编制	系统硬件课程组	张怀相	2022.3.12

审核	系统硬件课程组	冯建文	2022.3.15
审定	计算机学院教学工作委员会		