

《计算机组成原理课程设计（甲）》课程教学大纲

课程英文名	Course Design of Principle of Computer Organization (A)				
课程代码	S0504400	课程类别	实践教学环节	课程性质	实践必修
实践教学类别	课程设计	学 分	2	总学时数	32
开课学院	计算机学院（软件学院）	开课基层教学组织	系统硬件课程组		
面向专业	计算机科学与技术	开课学期	第 4 学期		

注：课程性质是指实践必修/实践选修，实践教学类别是指 A 类实验课（非上机类实验）/B 类实验课（上机类实验）/课程设计/集中实习/分散实习实训/社会调查

一、课程目标

本课程是与《计算机组成原理（甲）》相配套的实践环节。课程基于 FPGA 实验设备与工具，通过设计与实现一个能执行若干条指令的模型计算机硬件系统，使学生初步具备设计模型计算机的运算器、寄存器堆、存储器等部件模块，并将其通过控制器连接成整机的能力，从而深入理解程序在计算机硬件上执行的过程，进一步加深理解所学理论课的内容。同时，通过了解计算机硬件方面的前沿知识、对比课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

课程目标 1：能够熟练运用 EDA 软件工具和 FPGA 实验设备进行基本的应用开发；能够理解 EDA 工具的局限性；

课程目标 2：能够设计仿真验证和板级验证的实验方案、获取实验数据，具备对实验结果进行分析、推导出有效结论、陈述设计的能力；

课程目标 3：能够基于 FPGA 设计与实现模型计算机运算器、存储器、取指令、指令译码、控制单元等功能部件模块；能使用汇编模拟器完成汇编语言程序到机器语言程序的转换。

课程目标 4：能够针对特定的指令系统，分析不同指令类型的数据通路；将各功能部件连接成整机，设计整体解决方案，并实现一个能支持特定指令系统的模型计算机。

课程目标 5：了解计算机硬件部件及 CPU 架构方面的前沿知识，了解课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

二、课程目标与毕业要求对应关系

本课程的课程目标对毕业要求指标点的支撑情况如表 1 所示。

表 1. 课程目标与毕业要求对应关系

毕业要求	指标点	课程目标及支撑权重
3.设计/开发解决方案：能够设计计算机领域复杂工程问题的解决方案，设计与开发满足特定需求的软硬件系统、算法或部件，在设计中考虑社会、健康、安全、法律、文化以及环境等因素，并体现一定的创新意识。	3-2 掌握计算机硬件基础理论和设计方法，能够针对计算机复杂系统设计满足特定需求的功能部件或硬件系统。	目标 3：1.0
	3-3 能够运用计算机专业知识，设计计算机领域复杂工程问题的系统解决方案。	目标 4：1.0
4.研究：能够基于包括计算学科在内的科学原理，采用科学方法研究计算机领域的复杂工程问题，包括设计实验、分析与解释数据、并通过信息综合得到合理有效的结论。	4-2 能够针对特定的计算机领域复杂工程问题设计实验。	目标 2：1.0
	4-3 能够收集、分析与解释数据，并通过信息综合得到合理有效的结论。	目标 2：1.0
5.使用现代工具：能够针对计算机领域的复杂工程问题，开发、选择与使用恰当的技术、资源、现代工程工具和信息技术工具，包括对计算机领域的复杂工程问题进行预测与模拟，并能够理解其局限性。	5-2 针对计算机领域的复杂工程问题，能够开发、选用符合特定需求的技术、资源和现代工具，实现分析、计算或设计，并进行模拟和预测。	目标 1：0.7 目标 5：0.3

三、 课程目标与教学内容和方法的对应关系

课程可以选择 RISC-V 模型机或者 ARM 模型机进行教学，每个实验项目的实验类型、主要内容、教学方法及其对应的课程目标，如表 2 和表 3 所示。

表 2. 课程目标与 RISC-V 实验内容、教学方法的对应关系

序号	实验名称	实验类型	实验内容	教学方法	课程目标
1	FPGA 开发工具、语言与实验设备	其他	掌握 Verilog HDL 语言基本语法、安装并学会使用 EDA 工具，熟悉实验设备，掌握仿真验证和板级验证的方法。	自学、视频学习、实验指导、引导与启发	1,5
2	超前进位加法器设计实验	设计	设计实现一个 4 位二进制超前进位加法器。	视频学习、实验指导	1,2,3
3	多功能 ALU 设计实验	设计	设计实现一个能满足目标指令集的多功能 32 位 ALU，并实现相关暂存器	视频学习、实验指导	1,2,3
4	寄存器堆与运算器设计实验	设计	设计实现一个含 32 个寄存器的三端口寄存器堆，并与多功能 ALU 和暂存器连接构成运算器	视频学习、实验指导	1,2,3
5	存储器设计实验	设计	设计实现一个 32 位字长、SRAM 结构的读写存储器。	视频学习、实验指导	1,2,3
6	汇编器与模拟器实验	设计	学会使用特定指令集架构的汇编器与模拟器，掌握汇编程序的分析与编写，机器语言程序的编码与解码。	视频学习、翻转课堂、小组讨论、引导与启发	1,2,3,5

序号	实验名称	实验类型	实验内容	教学方法	课程目标
7	取指令与指令译码实验	设计	设计实现一个指令存储器和 PC 寄存器，并连接后实现取指令、指令译码和立即数生成等操作	视频学习、实验指导	1,2,3
8	实现运算类指令的 CPU 设计实验	综合	设计实现一个能完成运算类指令的 32 位 CPU（19 条指令），并通过测试程序验证	视频学习、课堂讲授、实验指导	1,2,4
9	实现访存指令的 CPU 设计实验	综合	设计实现一个能完成运算类、访存类指令的 CPU（21 条指令），并通过测试程序验证	视频学习、实验指导	1,2,4
10	实现转移控制指令的 CPU 设计实验	综合	设计实现一个能完成运算类、访存类与转移控制指令的 CPU（25 条指令），并通过测试程序验证	视频学习、课堂讲授、实验指导	1,2,4,5
11	实现 RV32I 指令集的 CPU 设计实验	综合	设计实现一个能完成 37 条 RV32I 指令集的 CPU，并通过测试程序验证	实验指导、自学	1,2,4
12	硬布线控制的 CPU 设计实验	综合	结合以上实验，设计并实现一个用硬布线控制器控制的 CPU	实验指导、自学	1,2,4
13	单重可屏蔽外部中断设计实验	综合	基于前述的 CPU 实验，设计一个中断系统，实现单重可屏蔽外中断	实验指导、自学	1,2,4
14	Cache 设计实验	综合	基于有限状态机，设计一个 2 路组相联、写贯穿、写分配、LRU 替换的 Cache 控制器，实现主存-Cache 系统	实验指导、自学	1,2,4
15	理想流水线设计实验	综合	基于多周期 CPU 架构，设计并实现一个理想流水线 CPU	实验指导、自学	1,2,4

表 3. 课程目标与 ARM 实验内容、教学方法的对应关系

序号	实验名称	实验类型	实验内容	教学方法	课程目标
1	FPGA 开发工具、语言与实验设备	其他	掌握 Verilog HDL 语言基本语法、安装并学会使用 EDA 工具，熟悉实验设备，掌握仿真验证和板级验证的方法。	自学、视频学习、实验指导，引导与启发	1,5
2	桶形移位器设计实验	设计	设计实现一个能完成 4 种移位运算的桶形移位器	视频学习、翻转课堂	1,2,3
3	多功能 ALU 及与桶形移位器连接设计实验	设计	设计实现一个能完成 14 种运算、生成 4 个标志位的多功能 32 位 ALU，并与桶形移位器进行连接	视频学习、翻转课堂	1,2,3
4	通用寄存器堆设计实验	设计	设计实现一个含 34 个寄存器的三端口寄存器堆，模拟支持 9 种工作模式，并与多功能 ALU 和暂存器连接构成运算器	视频学习、翻转课堂	1,2,3
5	存储器设计实验	设计	设计实现一个 SRAM 结构的读写存储器	视频学习、自学	1,2,3

序号	实验名称	实验类型	实验内容	教学方法	课程目标
6	汇编器与模拟器实验	设计	学会使用特定指令集架构的汇编器与模拟器，掌握汇编程序的分析与编写，机器语言程序的编码与解码。	视频学习、自学	1,2,3,5
7	取指令数据通路设计实验	设计	设计实现一个指令存储器和 PC 寄存器，并连接后实现取指令、指令译码和立即数生成等操作	视频学习、翻转课堂	1,2,3
8	实现数据处理指令的 CPU 设计实验	综合	在以上实验的基础上，设计实现一个能完成数据处理类指令的 32 位 CPU，并通过测试程序验证	视频学习、翻转课堂	1,2,4
9	实现分支跳转指令的 CPU 设计实验	综合	在运算类指令 CPU 实验的基础上，设计实现一个能完成分支跳转类指令的 CPU，并通过测试程序验证	视频学习、翻转课堂	1,2,4
10	实现单数据访存指令的 CPU 设计实验	综合	在前两个实验的基础上，设计实现一个能完成单数据访存功能指令的 CPU，并通过测试程序验证。	视频学习、翻转课堂	1,2,4,5
11	程序状态寄存器堆设计实验	设计	在通用寄存器堆设计实验的基础上，设计一个程序状态寄存器堆，实现 9 种工作模式切换	视频学习、翻转课堂	1,2,4
12	实现状态寄存器访问指令的 CPU 设计实验	综合	在程序状态寄存器堆设计实验基础上，设计实现一个能读取和修改程序状态寄存器的核态指令的 CPU，并通过测试程序验证	视频学习、翻转课堂	1,2,4
13	实现块数据访存指令的 CPU 设计实验	综合	结合以上实验，设计实现能一次性完成多个数据访存功能指令的 CPU，并通过测试程序验证	视频学习、翻转课堂	1,2,4
14	irq 中断控制设计实验	综合	基于前述实验，设计并实现设计一个中断系统，实现单重可屏蔽外中断	视频学习、自学	1,2,4
15	中断抢占设计实验	综合	基于前述实验，设计并实现一个能够判别中断优先级，进行抢占控制的中断系统	视频学习、自学	1,2,4

课程的思政融入点有以下 5 个：

思政融入点 1：与实验 1 融合，引导学生查阅资料，了解课程所使用的 FPGA 芯片及其开发工具的国内外现状；通过对比，激发学生爱国主义使命感和责任心。

思政融入点 2：与实验 6 融合，引导学生了解中国科学院自主研发的龙芯 CPU，鼓励学生通过现代信息技术手段，以查阅文献、自学、对比、小组研讨等方式，分析与总结龙芯 CPU 的指令系统类型、指令系统格式特点、相关的汇编工具。同时，进一步了解龙芯 CPU 在国家航天卫星事业中的应用，帮助学生以辩证的、战略的思维理解科技第一生产力对于国家建设与民族复兴的重要意义。

思政融合点 3：与综合实验 8-10 融合，引导学生了解我国华为公司生产的海思麒麟系列处理芯片，总结其处理器架构、功能特性以及工艺特点；并进一步了解华为公司在 5G 通信技术方面取

得的成就，从而真正理解“加快建设创新型国家”战略方针的重要性，引导学生瞄准世界科技前沿，树立投身科学研究和技术创新的远大理想。

课程思政融合点 4：在系统设计、编程实现、实验调试过程中，要求学生要认真对待每一个实验要求和细节，鼓励学生在探索实践中精益求精、耐心细致，锻炼学生严谨缜密的逻辑思维能力。

课程思政融合点 5：课程要求完成 9 个实验，最后设计出一个 CPU。以此为目标，激发学生的创造力和成就感，同时以“不抄袭”为底线，树立诚实守信的核心价值观，养成实事求是的科学态度。

四、 与其它课程的联系

先修课程：计算机组成原理（甲）、数字电路课程设计

后续课程：计算机系统结构、嵌入式系统原理

五、 学时分配

RISC-V 模型机和 ARM 模型机的实验学时分配如表 4 和表 5 所示。

表 4. RISC-V 模型机实验学时分配表

序号	实验名称	学时数					要求
		讲授学时	实验学时	上机学时	实践学时	课外学时	
1	FPGA 开发工具、语言与实验设备					8	必做
2	超前进位加法器设计实验		2			4	必做
3	多功能 ALU 设计实验		3			4	必做
4	寄存器堆与运算器设计实验		3			4	必做
5	存储器设计实验		3			4	必做
6	汇编器与模拟器实验		3			5	必做
7	取指令与指令译码实验		3			3	必做
8	实现运算类指令的 CPU 设计实验	1	4			12	必做
9	实现访存指令的 CPU 设计实验	1	3			10	必做
10	实现转移控制指令的 CPU 设计实验	1	5			10	必做
合计		3	29			64	
11	实现 RV32I 指令集的 CPU 设计实验		6			12	选做
12	硬布线控制的 CPU 设计实验		4			8	选做
13	单重可屏蔽外部中断设计实验		5			10	选做
14	Cache 设计实验		5			10	选做
15	理想流水线设计实验		6			12	选做
合计			26			52	
总计		授课 3 学时+实验 29 学时					

表 5. ARM 模型机实验学时分配表

序号	实验名称	学时数					要求
		讲授学时	实验学时	上机学时	实践学时	课外学时	
1	FPGA 开发工具、语言与实验设备					6	必做
2	桶形移位器设计实验		3			4	必做

3	多功能 ALU 及与桶形移位器连接设计实验		5			5	必做
4	通用寄存器堆设计实验		4			4	必做
5	存储器设计实验		1			4	必做
6	汇编器与模拟器实验		0			1	必做
7	取指令数据通路设计实验		4			4	必做
8	实现数据处理指令的 CPU 设计实验		6			12	必做
9	实现分支跳转指令的 CPU 设计实验		3			10	必做
10	实现单数据访存指令的 CPU 设计实验		6			12	必做
合计			32			62	
11	程序状态寄存器堆设计实验		3			3	选做
12	实现状态寄存器访问指令的 CPU 设计实验		4			8	选做
13	实现块数据访存指令的 CPU 设计实验		6			15	选做
14	irq 中断控制设计实验		4			8	选做
15	中断抢占设计实验		4			8	选做
合计			21			42	
总计		实验 32 学时					

六、课程目标达成途径及学生成绩评定方法

1.课程目标达成途径

表 6. 课程目标与达成途径

课程目标	达成途径
课程目标 1: 能够熟练运用 EDA 软件工具和 FPGA 实验设备进行基本的应用开发; 能够理解 EDA 工具的局限性;	语言、工具和实验设备都提供学习资料或者短视频帮助学生掌握; 对于每个实验, 均要求学生必须在课前先行编写程序, 并进行综合与功能仿真, 验证功能正确后, 在实验课上, 再行进行板级的验证; 帮助学生理解在此过程中出现的各种特殊情况, 理解 EDA 工具的局限性。
课程目标 2: 能够设计仿真验证和板级验证的实验方案、获取实验数据, 具备对实验结果进行分析、推导出有效结论、陈述设计的能力;	通过所有实验的功能验证实现: 需要对设计好的模型计算机模块或者整机进行仿真验证和板级验证, 必须收集实验数据或观察波形, 对实验结果进行分析, 以判定设计方案是否正确, 给出问题解决方案和实验结论, 并写入实验报告。
课程目标 3: 能够基于 FPGA 设计与实现模型计算机运算器、存储器、取指令、指令译码、控制单元等功能部件模块; 能使用汇编模拟器完成汇编语言程序到机器语言程序的转换。	通过模块实验的编程设计、实验验证和实验操作实现: 实验 2-7 为模块实验, 主要设计实现计算机的运算器、通用寄存器、存储器、指令部件等基础模块; 实验 6 为汇编器和模拟器实验, 学习使用相应的汇编工具。
课程目标 4: 能够针对特定的指令系统, 分析不同指令类型的数据通路; 将各功能部件连接成整机, 设计整体解决方案, 并实现一个能支持特定指令系统的模型计算机。	通过综合实验的实验分析、设计、实验验证和实验报告来实现: 实验 8-10 是 CPU 综合设计实验, 实现完整的模型计算机, 难度较大, 引导学生分析目标指令系统的指令类型、设计模型计算机的系统结构和数据通路, 在此基础上设计 FPGA 程序、编写测试程序, 最后使用综合与仿真工具进行功能模拟与验证。

课程目标 5: 了解计算机硬件部件及 CPU 架构方面的前沿知识, 了解课程所使用的 FPGA 芯片及其开发工具的国内外现状, 引导学生树立投身科学研究和技术创新的远大理想, 激发学生强烈的使命感和责任心。	通过课堂讲授、课后自学、文献查阅、课堂讨论、分析对比、总结报告等各种方式, 让学生对当代计算机硬件技术与体系结构的现状与发展趋势有所了解, 建立终生学习的意识; 同时, 进一步了解目前国内外在 CPU 芯片、FPGA 芯片及其 EDA 开发工具方面的现状, 让学生充分认识到科技创新的重要性, 从而建立强烈的民族自豪感与爱国主义使命感。
----------------------------------------------------------------------------------------------------------------	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------

2. 学生成绩评定方法

本课程为考查课, 学生成绩采用百分制评定, 由平时成绩和实验成绩两部分构成, 平时成绩占 40%, 实验成绩占 60%。各部分的具体考核内容、关联课程目标和在总成绩中的占比, 如表 7 所示。

表 7. 课程考核与成绩评定方法

考核项目	考核内容	考核关联的课程目标	占总评成绩的比重
平时成绩	课程思政	5	5%
	实验规范与态度	1,2	5%
	模块实验	1,2,3	30%
实验成绩	综合实验	1,2,4	30%
	课程报告	1,2,3,4	30%
总评成绩		1,2,3,4,5	100%

课程的各考核内容对应的具体要求和详细评分标准, 如表 8 所示

表 8. 考核内容详细评分标准

考核内容		评分标准			
		90-100	75-90	60-75	<60
课程思政	实践报告	占 50%: 结合课程相关的超算、存储器、CPU 等方面的新技术、新发展, 布置相关的国内外现状与发展历程的调研实践报告 根据报告的质量评分, 考查点有: 紧扣主题、内容充实 40 分, 情感态 30 分 (一票否决), 格式规范 10 分, 结构合理 10 分, 参考文献 10 分 (≥5 篇、格式规范 10 分)。			
	课外研学测试	占 50%: 事先给出相关学习资料, 期末以线上测试的形式, 开卷考查本课程相关的计算机体系结构的最新发展、国家相关的宏观政策、国内的创新成果等方面的知识。 按照测试正确率计分。			
实验规范与态度		实验准备充分, 按时完成全部自主学习和编程设计任务; 实验操作规范, 遵守实验室规定; 课堂互动积极主动。	实验准备较为充分, 按时完成大部分自主学习和编程设计任务; 实验操作规范, 遵守实验室规定; 课堂互动较为积极主动。	有一定的实验准备, 完成部分的自主学习和编程设计任务; 实验操作较为规范, 遵守实验室规定; 课堂互动表现一般。	没有实验准备, 未完成自主学习和编程设计任务; 或者实验操作不规范, 不遵守实验室规定。
模块实验	课内必须完成实验 2-7 共计 6 个模块实验, 抽查 3 个, 验收与评分标准如下:				
	语言与工具	能熟练使用	能熟练使用	能使用	尚未掌握
	实验验证方案	能正确设计验证实验方案; 交互性好; 验证充分且结果正确	能设计验证实验方案; 交互性较好; 验证结果正确	能完成基本的仿真验证与板级验证; 交互性尚可; 验证结果基本正确	仿真验证不正确、没有板级验证

	沟通交流	能够详实地陈述设计方案和调试方案，能够正确回答现场提问，语言流畅、思路清晰	能够较为完整地陈述设计方案和调试方案，能够正确回答现场提问，思路较为清晰	能够基本正确陈述主要设计方案和调试方案，回答现场提问基本正确	无法陈述主要设计方案和调试方案，回答现场提问出现严重错误
	功能实现	能正确理解设计原理；能够正确完成硬件功能模块的设计与实现，且功能完备	能理解设计原理；能够完成硬件功能模块的设计与实现，且功能较为完备	能基本理解设计原理；能够完成硬件功能模块的设计与实现，但功能有欠缺	对设计原理尚未理解，不能完成计算机硬件功能模块的设计与实现
综合实验	课内必须完成实验 8-10 共计 3 个综合实验，验收实验 10；鼓励学生尝试选做后续的综合实验进行验收，可适当加分。综合实验验收与评分标准如下：				
	实验验证方案	能正确设计验证实验方案；交互性好；验证充分且结果正确	能设计验证实验方案；交互性较好；验证结果正确	能完成基本的仿真验证与板级验证；交互性尚可；验证结果基本正确	仿真验证不正确、没有板级验证
	沟通交流	能够详实地陈述设计方案和调试方案，能够正确回答现场提问，语言流畅、思路清晰	能够较为完整地陈述设计方案和调试方案，能够正确回答现场提问，思路较为清晰	能够基本正确陈述主要设计方案和调试方案，回答现场提问基本正确	无法陈述主要设计方案和调试方案，回答现场提问出现严重错误
	功能实现	能正确理解设计原理；能将功能模块正确连接成整机；CPU 功能完备、所有指令均正确执行；测试程序编写正确，运行正确	能理解设计原理；能将功能模块连接成整机；CPU 功能比较完备、大部分指令能正确执行；测试程序编写正确，运行基本正确	能基本理解设计原理；能将功能模块连接成整机；CPU 能够工作，大部分指令能执行、部分指令功能有欠缺；测试程序编写基本正确，可以运行	对设计原理尚未理解；无法完成整机设计
课程报告	按照质量评分，包含：格式 10 分、方案设计 30 分、编程实现 20 分、测试程序 10 分、实验结果分析 20 分、思考与探索 10 分，具体评分标准如下：				
	格式	完整规范、图表清晰美观	较为完整规范、图表清晰	完整规范性一般	内容残缺、格式混乱
	方案设计	CPU 设计方案正确合理，功能完备，逻辑清晰	CPU 设计方案较为合理，功能较为完备	CPU 设计方案基本合理，能实现基本功能	CPU 设计方案存在严重缺陷，不能实现基本功能
	编程实现	编程规范，结构清晰，代码正确详实	编程较规范，结构较清晰，代码详实、正确率 85%	编程不够规范，结构欠清晰，代码详实、正确率 70%	代码不全，结构混乱，有严重错误
	测试程序	编写正确，能有效测试 CPU 的所有功能	编写正确，能有效测试 85% 的 CPU 功能	编写基本正确，能有效测试 70% 的 CPU 功能	编写的测试程序有严重错误或者不能有效测试 CPU 功能
	实验结果	记录详实，有完整的分析	记录较为详实，有较为完整的分析	有结果记录，但不全；结果分析一般	没有结果记录，或者没有结果分析
	思考探索	能对实验中出现的的问题做总结分析，提出解决办法；能深入思考和探索提高性实验	能对实验中出现的的问题做总结分析，提出解决办法；对提高性实验有基本的思考和探索	能对实验中出现的的问题做总结分析，提出解决办法	没有具体的总结分析，或者没有给出解决办法

七、 教学资源

表 9. 课程的基本教学资源

资源类型	资源
实验教材或指导书	冯建文、章复嘉、包健，计算机组成原理与系统结构实验指导书（第2版），高等教育出版社，2015.03
参考书籍或文献	<p>（1）包健、冯建文、章复嘉，计算机组成原理与系统结构（第2版），高等教育出版社，2015.07</p> <p>（2）David A.Patterson（美）等著，康继昌等译，计算机组成与设计-硬件/软件接口（RISC-V版），机械工业出版社，2020.05</p> <p>（3）Patterson David A, Hennessy John L（美）著，陈微译，计算机组成与设计硬件/软件接口（ARM版），机械工业出版社，2018.10</p> <p>（4）夏宇闻，Verilog 数字系统设计教程（第3版），北京航空航天大学出版社，2013.07</p> <p>（5）袁春风、余子濠著，计算机组成与设计（基于 RISC-V 架构），高等教育出版社，2020.10</p>
教学文档	课程报告模板

八、 课程目标达成度定量评价

在课程结束后，需要对每一个课程目标（含思政课程目标）进行达成度的定量评价，用以实现课程的持续改进。课程目标达成度的定量评价原则如下：

1. 对某个课程目标的达成度计算，使用各考核项目的学生得分率加权计算；
2. 用于评价某个课程目标的各考核项目，不少于 2 个，权重之和为 1；
3. 使用所有学生（含不及格）的平均成绩计算；

本课程的课程目标达成度的定量评价方法如表 10 所示，期望值为 0.7。

表 10. 课程目标达成度定量评价方法

考核项目 权重 课程目标	思政实践 报告	课外研学 测试	实验规范 与态度	模块实验	综合实验	课程报告
课程目标 1			0.20	0.30	0.30	0.20
课程目标 2			0.10	0.30	0.30	0.30
课程目标 3				0.60		0.40
课程目标 4					0.60	0.40
课程目标 5	0.5	0.5				

九、 说明

本大纲规定了杭州电子科技大学计算机科学与技术专业《计算机组成原理课程设计（甲）》课程的教学要求和教学规范，承担本课程的教师须遵照本大纲安排授课计划、实施教学过程，完成学生学习成绩评价、课程目标达成度评价和毕业要求指标点达成度评价。

本课程大纲自 2021 级开始执行，生效之日原先版本均不再使用。

十、 编制与审核

表 11. 大纲编制与审核信息

工作内容	责任部门或机构	负责人	完成时间
执笔	系统硬件课程组	冯建文	<u>2022.03.12</u>
审核	系统硬件课程组	张怀相	<u>2022.03.15</u>
审定	计算机学院（软件学院）教学工作委员会		