

《计算机组成原理课程设计（甲）》课程教学大纲

课程英文名	Course Design of Principle of Computer Organization (A)				
课程代码	S0504400	课程类别	实践教学环节	课程性质	实践必修
实践教学类别	课程设计	学 分	2	总学时数	32
开课学院	计算机学院（软件学院）	开课基层教学组织	系统硬件课程组		
面向专业	计算机科学与技术	开课学期	第 4 学期		

注：课程性质是指实践必修/实践选修，实践教学类别是指 A 类实验课（非上机类实验）/B 类实验课（上机类实验）/课程设计/集中实习/分散实习实训/社会调查

一、课程目标

本课程是与《计算机组成原理（甲）》相配套的实践环节。课程基于 FPGA 实验设备与工具，通过设计与实现一个能执行若干条指令的模型计算机硬件系统，使学生初步具备设计模型计算机的运算器、寄存器堆、存储器等部件模块，并将其通过控制器连接成整机的能力，从而深入理解程序在计算机硬件上执行的过程，进一步加深理解所学理论课的内容。同时，通过了解计算机硬件方面的前沿知识、对比课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

课程目标 1：能够熟练运用 EDA 软件工具和 FPGA 实验设备进行基本的应用开发；能够理解 EDA 工具的局限性；

课程目标 2：能够设计仿真验证和板级验证的实验方案、获取实验数据，具备对实验结果进行分析、推导出有效结论、陈述设计的能力；

课程目标 3：能够基于 FPGA 设计与实现模型计算机运算器、存储器、取指令、指令译码、控制单元等功能部件模块；能使用汇编模拟器完成汇编语言程序到机器语言程序的转换。

课程目标 4：能够针对特定的指令系统，分析不同指令类型的数据通路；将各功能部件连接成整机，设计整体解决方案，并实现一个能支持特定指令系统的模型计算机。

课程目标 5：了解计算机硬件部件及 CPU 架构方面的前沿知识，了解课程所使用的 FPGA 芯片及其开发工具的国内外现状，引导学生树立投身科学研究和技术创新的远大理想，激发学生强烈的使命感和责任心。

二、课程目标与毕业要求对应关系

本课程的课程目标对毕业要求指标点的支撑情况如表 1 所示。

表 1. 课程目标与毕业要求对应关系

毕业要求	指标点	课程目标及支撑权重
3.设计/开发解决方案：能够设计计算机领域复杂工程问题的解决方案，设计与开发满足特定需求的软硬件系统、算法或部件，在设计中考虑社会、健康、安全、法律、文化以及环境等因素，并体现一定的创新意识。	3-2 掌握计算机硬件基础理论和设计方法，能够针对计算机复杂系统设计满足特定需求的功能部件或硬件系统。	目标 3：1.0
	3-3 能够运用计算机专业知识，设计计算机领域复杂工程问题的系统解决方案。	目标 4：1.0
4.研究：能够基于包括计算学科在内的科学原理，采用科学方法研究计算机领域的复杂工程问题，包括设计实验、分析与解释数据、并通过信息综合得到合理有效的结论。	4-2 能够针对特定的计算机领域复杂工程问题设计实验。	目标 2：1.0
	4-3 能够收集、分析与解释数据，并通过信息综合得到合理有效的结论。	目标 2：1.0
5.使用现代工具：能够针对计算机领域的复杂工程问题，开发、选择与使用恰当的技术、资源、现代工程工具和信息技术工具，包括对计算机领域的复杂工程问题进行预测与模拟，并能够理解其局限性。	5-2 针对计算机领域的复杂工程问题，能够开发、选用符合特定需求的技术、资源和现代工具，实现分析、计算或设计，并进行模拟和预测。	目标 1：0.7 目标 5：0.3

三、 课程目标与教学内容和方法的对应关系

课程可以选择 RISC-V 模型机或者 ARM 模型机进行教学，每个实验项目的实验类型、主要内容、教学方法及其对应的课程目标，如表 2 和表 3 所示。

表 2. 课程目标与 RISC-V 实验内容、教学方法的对应关系

序号	实验名称	实验类型	实验内容	教学方法	课程目标
1	FPGA 开发工具、语言与实验设备	其他	掌握 Verilog HDL 语言基本语法、安装并学会使用 EDA 工具，熟悉实验设备，掌握仿真验证和板级验证的方法。	自学、视频学习、实验指导、引导与启发	1,5
2	超前进位加法器设计实验	设计	设计实现一个 4 位二进制超前进位加法器。	视频学习、实验指导	1,2,3
3	多功能 ALU 设计实验	设计	设计实现一个能满足目标指令集的多功能 32 位 ALU，并实现相关暂存器	视频学习、实验指导	1,2,3
4	寄存器堆与运算器设计实验	设计	设计实现一个含 32 个寄存器的三端口寄存器堆，并与多功能 ALU 和暂存器连接构成运算器	视频学习、实验指导	1,2,3
5	存储器设计实验	设计	设计实现一个 32 位字长、SRAM 结构的读写存储器。	视频学习、实验指导	1,2,3
6	汇编器与模拟器实验	设计	学会使用特定指令集架构的汇编器与模拟器，掌握汇编程序的分析与编写，机器语言程序的编码与解码。	视频学习、翻转课堂、小组讨论、引导与启发	1,2,3,5

序号	实验名称	实验类型	实验内容	教学方法	课程目标
7	取指令与指令译码实验	设计	设计实现一个指令存储器和 PC 寄存器，并连接后实现取指令、指令译码和立即数生成等操作	视频学习、实验指导	1,2,3
8	实现运算类指令的 CPU 设计实验	综合	设计实现一个能完成运算类指令的 32 位 CPU（19 条指令），并通过测试程序验证	视频学习、课堂讲授、实验指导	1,2,4
9	实现访存指令的 CPU 设计实验	综合	设计实现一个能完成运算类、访存类指令的 CPU（21 条指令），并通过测试程序验证	视频学习、实验指导	1,2,4
10	实现转移控制指令的 CPU 设计实验	综合	设计实现一个能完成运算类、访存类与转移控制指令的 CPU（25 条指令），并通过测试程序验证	视频学习、课堂讲授、实验指导	1,2,4,5
11	实现 RV32I 指令集的 CPU 设计实验	综合	设计实现一个能完成 37 条 RV32I 指令集的 CPU，并通过测试程序验证	实验指导、自学	1,2,4
12	硬布线控制的 CPU 设计实验	综合	结合以上实验，设计并实现一个用硬布线控制器控制的 CPU	实验指导、自学	1,2,4
13	单重可屏蔽外部中断设计实验	综合	基于前述的 CPU 实验，设计一个中断系统，实现单重可屏蔽外中断	实验指导、自学	1,2,4
14	Cache 设计实验	综合	基于有限状态机，设计一个 2 路组相联、写贯穿、写分配、LRU 替换的 Cache 控制器，实现主存-Cache 系统	实验指导、自学	1,2,4
15	理想流水线设计实验	综合	基于多周期 CPU 架构，设计并实现一个理想流水线 CPU	实验指导、自学	1,2,4

表 3. 课程目标与 ARM 实验内容、教学方法的对应关系

序号	实验名称	实验类型	实验内容	教学方法	课程目标
1	FPGA 开发工具、语言与实验设备	其他	掌握 Verilog HDL 语言基本语法、安装并学会使用 EDA 工具，熟悉实验设备，掌握仿真验证和板级验证的方法。	自学、视频学习、实验指导，引导与启发	1,5
2	桶形移位器设计实验	设计	设计实现一个能完成 4 种移位运算的桶形移位器	视频学习、翻转课堂	1,2,3
3	多功能 ALU 及与桶形移位器连接设计实验	设计	设计实现一个能完成 14 种运算、生成 4 个标志位的多功能 32 位 ALU，并与桶形移位器进行连接	视频学习、翻转课堂	1,2,3
4	通用寄存器堆设计实验	设计	设计实现一个含 34 个寄存器的三端口寄存器堆，模拟支持 9 种工作模式，并与多功能 ALU 和暂存器连接构成运算器	视频学习、翻转课堂	1,2,3
5	存储器设计实验	设计	设计实现一个 SRAM 结构的读写存储器	视频学习、自学	1,2,3