



Escuela Ingeniería en Computadores
Ingeniería en Computadores
CE-4301 - Arquitectura de Computadores I

Tarea 2 - RISC vs CISC

Andrés Mauricio Alfaro Mayorga
2023396028

Cartago, Costa Rica
25 de agosto de 2025

1. ¿Porque RISC es más predecible en tiempo de ejecución que CISC?

La arquitectura RISC se basa en un conjunto reducido de instrucciones simples, de tamaño fijo y formato uniforme. Esto facilita la decodificación y permite que cada instrucción se ejecute generalmente en un único ciclo de reloj, haciendo que el tiempo de ejecución sea más predecible.

Además, RISC restringe el acceso a memoria exclusivamente a las instrucciones de carga y almacenamiento, favoreciendo el uso de registros. Esto reduce la dependencia de operaciones lentas e impredecibles de memoria.

En contraste, CISC utiliza instrucciones de longitud variable y mayor complejidad, muchas de las cuales pueden operar directamente sobre la memoria. Esto agrega variabilidad tanto en la decodificación como en la ejecución, afectando la previsibilidad del rendimiento.

2. Programa en Python

```
=== CISC RESULTS ===
Result vector (mem[50...59]): [(50, 135), (51, 141), (52, 84), (53, 121), (54, 89), (55, 100), (56, 97), (57, 54), (58, 106), (59, 67)]
Executed instructions: 10
Totals cycles: 30
=== RISC RESULTS ===
Result vector (mem[120...129]): [(120, 135), (121, 141), (122, 84), (123, 121), (124, 89), (125, 100), (126, 97), (127, 54), (128, 106), (129, 67)]
Executed instructions: 40
Totals cycles: 40

Verification: CISC and RISC results match!
[OK] TXT saved on: C:\Users\andre\PycharmProjects\tarea2-arqui\results\results_cisc_risc_20250824-130115.txt
```

Figura 1: Resultados de las arquitecturas

Repositorio: <https://github.com/a-alfaro19/tarea2-arqui>