

Power Planning Stage (V1)

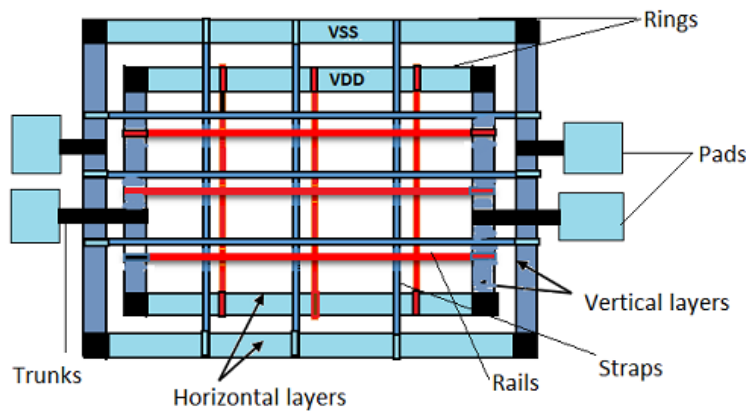
Written by: Fatma Ali

Content:

- Introduction
- Reasons for the power delivery network:
 - IR Drop
 - Electromigration (EM)
- Create power delivery network (PDN)
- ICC tool commands
- Frontside Vs Backside power delivery

Introduction:

بعد ما جهزنا ال floor planning وحددنا فيه اماكن كل حاجة تقريبا ... هنلاقى ان ناقص حاجة مهمة جدا عشان نحط ال cells وهى ال power network يعنى ال power هتوصل ازاي لل chip بتاعتي كلها ... فكداه ناقص اجهز دخول ال power وتوزيعه على ال chip بحيث اضمن ميحصلش voltage drop كبير فى مكان او بمعنى اخر ان كل ال cells يكون واصل ليها تقريبا VDD مش اقل منه ... فزى ما هنتشوف هنا بعمل حاجتين power ring & power mesh .. ال ring دى من برا حوالين ال core كله وواحدة ل VDD وواحدة لل GND فكداه انا حوالين ال core عندى ال supply هوصله لجوا ازاي؟؟ عن طريق ال mesh ودى عبارة عن خطوط بالعرض بنسميها rails وخطوط بالطول بنسميها straps بتوصل بال rings بحيث توزع ال power فى كل مكان فى ال core بشكل متساوى بقدر الامكان فال network دى بنطلق عليها power delivery network وهى عبارة عن mesh و ring وكمات التوصيلات الى هتوصل من ال mesh الى cells ... الى بيوصل بين ال rings & IO power pads بنطلق عليه trunks



طب يبقى احنا كدا فى الخطوة دى هنعمل ال power ring & mesh وبما ان دول فى الاخر conductors يعنى wires هيكونوا عندنا فى metal layers متبقى هنعهد ال metal layer بتاعتهم و wire width & spacing between wires عشان نعرف نعمل زى الشكل الى فوق ده لازم نحدد كل حاجة تخص ال wire ونحدد المسافات بين كل wire والتانى دلوقتى ال strips & rails دول انا باخد منهم واصل لل cells عن طريق metal layers & vias اقعد انزل بيه لحد ال cell

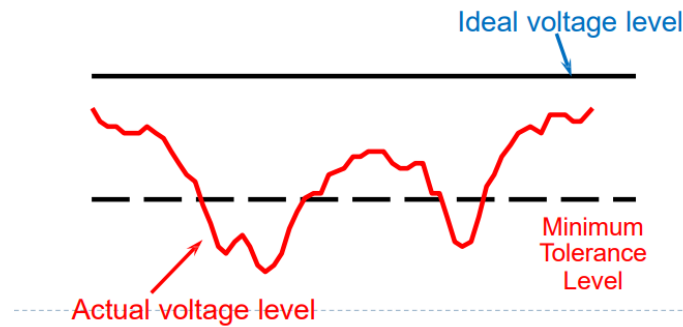
Reasons for power network need?

خلينا الاول نتكلم اكثر عن المشاكل الى ممكن تحصل لو انا معملتش ال power network دي واكتفيت بانى موصل ال VDD & GND على ports وهاخذ منها ب wires واوزعه على ال chip كلها

1. IR Drop:

يعنى voltage drop ... بعيدا عن ال chip دلوقتى خالص ... دلوقتى لو انا عندى wire طويل ال current هيمشى فيه فانا عارف ان هيجصل voltage drop كبير وده معناه high temperature يعنى ممكن السلك نفسه يتحرق ده غير ان ال voltage على الناحية الثانية من السلك هيكون قل اوى يعنى لو انا بشحن capacitor مثلا كده هياخد وقت اكبر يعنى delay زاد

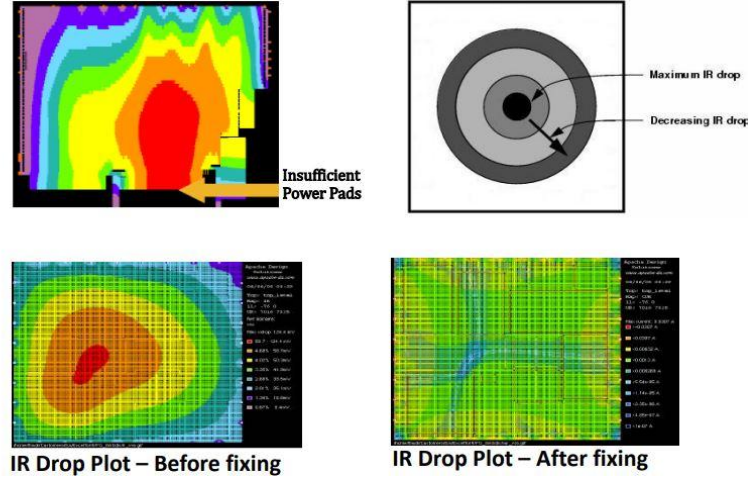
نرجع بقى لل chip بتاعتنا هنلاقى ان ده الى بيحصل بالظبط ... لو ال wire الى بيوصل بين VDD وال cell كان كبير هيجصل voltage drop كبير فال delay هيزيد وبردوا ممكن يسبب ان ال chip تتحرق .. ده غير انى هلاقى timing violations ظهرت يعنى ال functionality باظت .. فزى الصورة الى تحت دي احنا بنكون شغالين قبل ال PNR انه ideal supply يعنى هيوصل لكل cell لكن الحقيقة ان قيمة ال voltage هتتغير فعندى threshold معين كده لو قليت عنه يبقى ال cells مش هتقوم بال functionality بتاعتها بشكل مضبوط :



فال power network الى بنعملها بالشكل الى قلناه ده بتضمن ان فى كل مكان هتلاقى VDD & GND قريبين منك بسبب ال ring mesh وبالتالي هيكون ال voltage drop صغير جدا على ما يوصل لل cell ... وطبعا بيحصل analysis لكل node عشان اعرف ال voltage drop قد ايه عن طريق انى يشوف ال current بكام وال resistance بتاعة كل metal layer معروفة per unit length فبتقدر ال tool تحسب لل length معين هتبقى بكام ثم $I \cdot R$ تجيب ال voltage drop

طيب ايه الى ممكن يخلى ال IR drop سئ بردوا حتى مع وجود ال power delivery network؟؟؟ مثلا ان يكون ال width بتاع ال wire الى هعمل بيه ال network فى ال metal layer صغير يعنى area صغيرة يعنى resistance اعلى وبالتالي IR drop اعلى ... او ان يكون ال seperation بين كل stripe والتانى كبيرة هستخدم عدد اقل منهم وبالتالي هبعد المسافات بين بعض ال cells وال power لحد ما توصل ل strip من الموجود لان العدد قل ... او ان ال tool متحطش vias بشكل كويس مثلا عشان DRCs متحطش اتنين جنب بعض .. وزيادة ال vias جنب بعض هيزود ال cross section area الى هيعدى فيها ال current بدل via واحدة يبقوا اتنين جنب بعض مثلا او array of vias فده كويس لل IR drop لان area زادت يعنى R قلت يبقى IR drop اقل ... فال tool ممكن تحط vias قليلة فى اماكن مثلا خوفا من DRCs او لاي سبب تانى تلاقيها موزعتش vias بشكل كويس ... او لو عندى cells كتير فى مكان معين فهحتاجو ليهم كلهم current فهيكون current على ماشى يعنى IR drop على واسباب تانية كتير ممكن تلاقيها بردوا تسبب IR drop سئ ... فيعنى بردوا محتاجين نحط power delivery network بشكل كويس ونضمن بردوا ان اى factors تانية معتمد عليها ال IR drop تكون كلها كويسة

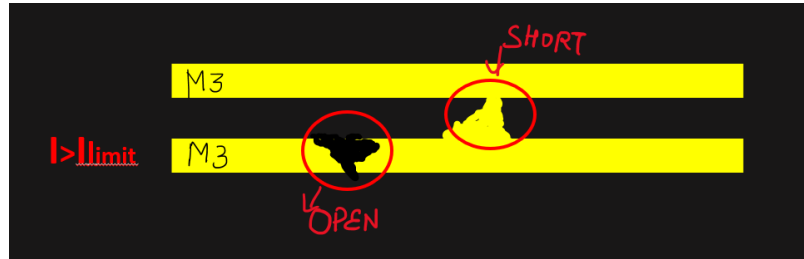
نقدر ان احنا نشوف ال IR drop فى ال chip كلها من خلال colour map تظهر فيها hot spots ودى الاماكن الى فيها IR drop على فتلاحظ ان مثلا على IR drop بيكون احمر والاقل شوية orange وهكذا عندك تدرج من الالوان يخليك تعرف ال IR drop فكل مكان فى ال chip بشكل احسن



=====

2. Electromigration (EM):

ده بيحصل امتى ومعناه ايه اصلا؟؟ لما بيعدى current على فى wire ده بيسبب ان atoms ال wire نفسها بتتحرك يعنى شكل ال wire بيختلف شوية ... ممكن الاقى ال width زاد فى حته او قل فى حته فممكن يحصل open circuit فى ال wire نفسه او short circuit بين two wires زى ما باين فى الصورة تحت كده ... وحتى لو موصلش الموضوع لدرجة short & open ... فتغيير ال wire بالشكل ده هيجلى ال area تتغير يعنى R&C بتوع ال wire هيتغيروا سواء هيقولوا او هيزودوا حسب ال حصل لل area وده اكيد هياثر على ال performance الى انا عايزه بالسلب ... فعن طريق ال width بتاع ال wire بتقدر ال tool تحسب ال current الى ماشى فيه قد ايه وكل metal layer ليها threshold current مينفعش تزيد عنه والا يحصل EM



لو عابزين نفهم اكثر ليه ال atoms بتتحرك فده عشان ال current العالى الى بيعدى فى ال wire يعنى electrons بتتحرك اكثر وبيحصل collins اكثر بينها وبين ال metal ions فممكن ان ال momentum of electrons ينتقل لل ions وده الى بيخلي ال ions بتاعة ال metal الى ال atoms تتحرك هي كمان وفي نفس اتجاه ال electrons

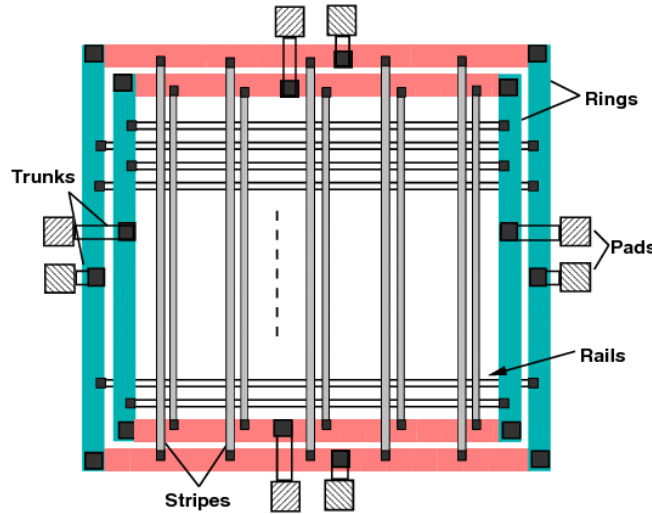
=====

Create Power delivery network

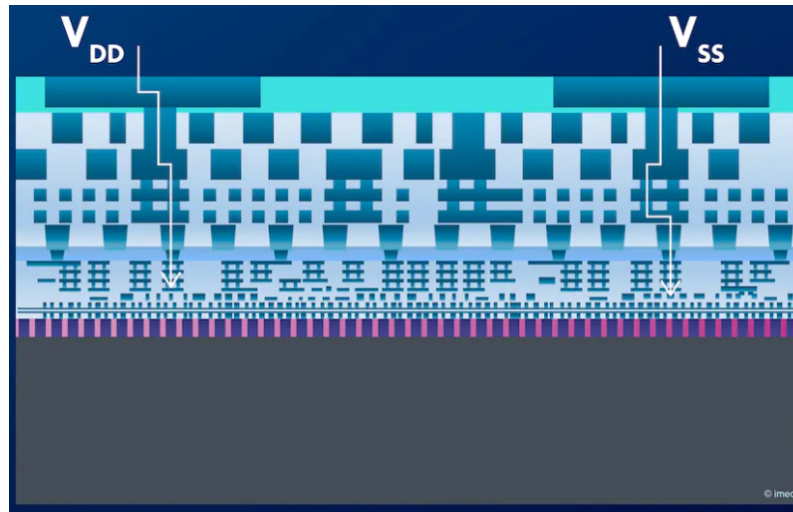
دلوقتى هنشوف احنا بنحدد ايه بالظبط عشان نكون PDN بس خلينا نشرح الفكرة اكثر بالتفصيل ونبص تانى على الصورة الى تحت دى ... احنا خلاص عرفنا ان ال ring دى الى برا حوالين ال chip كلها ... فهبط VDD ring و VSS ring على metal layers بحيث ان الاجزاء ال vertical منها هتكون على ال metal layers الى عليها vertical routing والاجزاء ال horizontal هتكون على ال metal layers الى عليها horizontal routing زى ما شرحنا فى ال floor planning ان كل metal layer ليها wire routing direction وبيكون عكس

بعض واحدة vertical يبقى الى قبلها والى بعدها horizontal ... وزى ما احنا شايفين ال ring هى الى بتتوصل بال VDD & VSS sources الى جاية من برا عن طريق Power IO Pads الى اتكلمنا عليهم فى ال floor planning

ثم ال mesh الى فيها rails & straps بتاخذ بقى ال power من ال ring ... ففى ال rails هلاقى عندى rails لل VDD و rails لل GND ونفس الكلام فى straps ... يبقى انا عندى VDD & VSS Sources فى العالم الخارجى هوصلهم على ال Power IO Pads ومن ال pads هيوصلوا لل ring ثم ال ring توصل لل mesh وده واضح من الصورة .. كده زى ما قلنا هتوصل احسن بكتير من غير IR drop عالى لاننى بقيت موفر VDD & GND فى كل حنة تقريبا فى ال chip فهوديهم لل cell على حسب الاسهل والاقترب ليها من ال mesh ... عدد ال metal layers الى هستخدمهم لل rings & mesh بيختلف حسب ال complexity بتاعة ال design و ال power requirements



المتعارف عليه ان PDN بتكون على اعلى metal layers (لان بيكون فيها width of wires اعلى وبالتالي resistance اقل) ثم باستخدام ال metal layers الثانية تحتها و Vias بيدأ انى اوصل ال power من PDN الى ال cells تحت فيتبقى حاجة زى الصورة تحت كده بحيث ان ال power جاية من layers عالية ومشيت لحد ما وصلت لل cells تحت الى هى عبارة عن transistors فهنا الرمادى والموف ده كانه ال substrate & transistors



ناخد بالنا اننا اما نحط more lines او حتى wider lines يعنى هتلاقى ال mesh بقت زحمة فده كويس من ناحية انه هيضمنلك IR drop اقل و EM اقل ولكن هلاقى ان اغلب ال routing resources هتروح لل power سواء عشان اعمل كل ال lines دى او عشان اوصلها بقى لحد ال cells فبكده هتقلل ال routing resources الى انت هتستخدمها لل routing بين ال cells وبالتالي هيبقى عندك congestion عالى ... فالمفروض انك تختار عدد power lines فى ال mesh مناسب يبقى احنا كده فى الخطوة هنعمل:

1. Metal layers determination
2. Width of ring
3. Number of straps and rails
4. Width of rails and straps
5. Spacing between rails/straps

ICC Tool:

دلوقتى بقى نشوف ال commands الى هنستخدمها عشان نعمل ال ring & mesh ... لازم لما نيجى نستخدم power nets names فى ال design يبقوا نفس الى استخدمناهم فى derive_pg_connection command عشان ال cells توصل صح على ال power

- Create power ring:

Command:

```
create_rectangular_rings -nets {VDD_net name VSS_net_name} -left_offset number\
-left_segment_layer metal_layer_name -left_segment_width number -right_offset number\
-right_segment_layer metal_layer_name -right_segment_width number -bottom_offset number\
-bottom_segment_layer metal_layer_name -bottom_segment_width number -top_offset number\
-top_segment_layer metal_layer_name -top_segment_width number -extend_bh true or false
```

ال command ده الى هنعمل بيه ال ring فهلاقى options لكل side وبتكرر لباقى ال sides فخلينا نفسرهم:

● **nets:** ده بحد فيه اسماء ال nets بتاعى ال VDD & GND وزى ما قلنا تبقى هى الى استخدمتها قبل كده

● **left_offset:** ده عبارة عن ال offset الى هبدأ منه ال ring من على الشمال يعنى بحد ال border بتاعها الى على الشمال ونفس الفكرة **right_offset** هيحد ال border الى على اليمين كإنى كده حطيت بداية ونهاية ال ring من الشمال لليمين ... ثم نفس الكلام هيتعمل من **bottom_offset & top_offset** هحد بداية ونهاية ال ring من تحت الى فوق

● **left_segment_layer:** هحد اسم ال metal layer الى هستخدمها هنا وليكن metal5 ونفس الكلام ل **right_segment_layer** وبردوا **bottom_segment_layer & top_segment_layer** هختار ليهم metal layer وليكن metal6 وللازم ال routing directions بتوع left & right يكونوا عمودين على بتوع left & right زى ما الصور كمان بتوضح واحدة ال vertical والتانية ال horizontal عشان يعرفوا يتقابلوا كلهم ويكونوا ال ring

● **left_segment_width:** هحد ال width بتاع ال left side of the ring وهحد بردوا لباقى ال sides باستخدام ال options بتاعتهم الى هى **top_segment_width & bottom_segment_width & right_segment_width**

● **extend_bh:** ده معناه extend beyond the chip يعنى ال ring تطلع برا حدود ال chip المتوقعة شوية ... ده له مميزات زى انى بضمن ان اكيد كده كل ال sides هتقفل على بعض من غير اى open بينهم ممكن يحصل بس فى نفس الوقت ده هيصعب التصنيع وبالتالي التكلفة هتبقى اعلى طبعاً ... فال option ده بياخد اما true يعنى extend او false فلا خلاص سيبها زى ما هى عادية ولما متدلوش حاجة يعنى false

EX:

- `create_rectangular_rings -nets {VDD VSS} -left_offset 0.5 -left_segment_layer metal5\`
`-left_segment_width 0.5 -right_offset 0.5 -right_segment_layer metal5\`
`-right_segment_width 0.5 -bottom_offset 0.5 -bottom_segment_layer metal6\`
`-bottom_segment_width 0.5 -top_offset 0.5 -top_segment_layer metal6\`
`-top_segment_width 0.5 extend_bh false`

هنا في المثال نلاحظ حد ل left & right sides ال metal5.. تبقى عندها vertical routing على عكس metal6 الى حطها لل bottom & left

=====

- Create power mesh:

Command:

`create_power_straps -direction horizontal/vertical -start_at (x/y)-nets {net_name}\`
`-layer metal_layer_name -configure groups_and_step/none -num_groups number -step number\`
`-width number`

ال command ده بعمله لكل strips وكل rails يعنى هعمله مرة لل VDD vertical ومرة لل VSS vertical ومرة لل horizontal VDD ومرة لل horizontal VSS بحيث اكون ال mesh كلها .. فخلينا نشوف ال options الى فيه:

- **direction:** وده بحدد فيه هتكون vertical ولا horizontal

• **start_at:** بقوله بيدأ يحطها منين سواء x coordinates فى horizontal او y coordinates فى ال vertical ... ده محتاجينه فى ايه؟؟ هتلاحظ من الصور فوق لل mesh انه عندك مثلا لو VSS هلا ال ring الى برا فتلاقى ال rails & straps بتاعتها بتبقى واصلة ليها برا يعنى هتبدأ من اول ال chip عادى من مسافة 0 لكن ساعتها هتبقى VDD هى ال ring الداخلية الى هى بعد ال VSS على طول فتلاقى ان rails & straps بتوعها مش واصلين لآخر ال chip هما واصلين لل ring بتاعتهم بس يبقى انا عايز اخليهم بيدأو من ال ring بتاعتهم فبستخدم ساعتها start_at بحيث ميبدأوش من 0

- **nets:** اسم net هل VDD ولا VSS وطبعا هنا بحد واحد منهم بس لانى اما بعمل دلوقتى straps لل VDD او لل VSS

• **layer:** اختار انى metal layer هعملها عليها ... وارعى ان مع horizontal direction اختار layer فيها horizontal routing ومع ال vertical direction اختار layer فيها horizontal routing

• **configure:** هنا انا بحدد هل انا هقسم ال rails & straps الى بعمله دلوقتى الى groups وبينهم مسافات ... وده الى احنا شوفناه اصلا واطلقنا عليه mesh وفى الحالة دى بكتب groups_and_step ... لو كتبت none ببقى مش هتعمل groups كده ... هتعمل strap واحد بس كده على بعضه ... ولو مكتبتش حاجة هيبقى ال default بتاعه none

- **num_groups:** لو هعمله groups بقى وده المتعارف عليه ... فبحدد هنا عدد ال groups يعنى عدد ال rails او ال straps

- **step:** بحدد المسافة بين كل group والتانى

● **width**: يحدد ال width بتاع ال strap نفسه قد ايه

EX:

- `create_power_straps -direction horizontal -nets {VDD} -layer metal6\
-configure groups_and_step -num_groups 112 -step 3 -width 0.5`
- `create_power_straps -direction horizontal -start_at 1.5 -nets {VSS} -layer metal6\
-configure groups_and_step -num_groups 112 -step 3 -width 0.5`
- `create_power_straps -direction vertical -nets {VDD} -layer metal5\
-configure groups_and_step -num_groups 112 -step 3 -width 0.5`
- `create_power_straps -direction vertical -start_at 1.5 -nets {VSS} -layer metal5\
-configure groups_and_step -num_groups 112 -step 3 -width 0.5`

تكملة على ال EX فى `create_rectangular_rings` فتلاقى انه ال `horizontal direction` هنا خدوا `metal6` وال `vertical` خدوا `metal5` وهلاحظ هنا ان `VDD` هى ال `ring` الى برا وبالتالي مفيش `start_at` فى ال `commands` يتاعتها لكن `VSS` تبقى هى الى جوا ففيه `start_at`

=====

NOTE: Don't forget to save MW cells:

Command: `save_mw_cel -as cell_name`

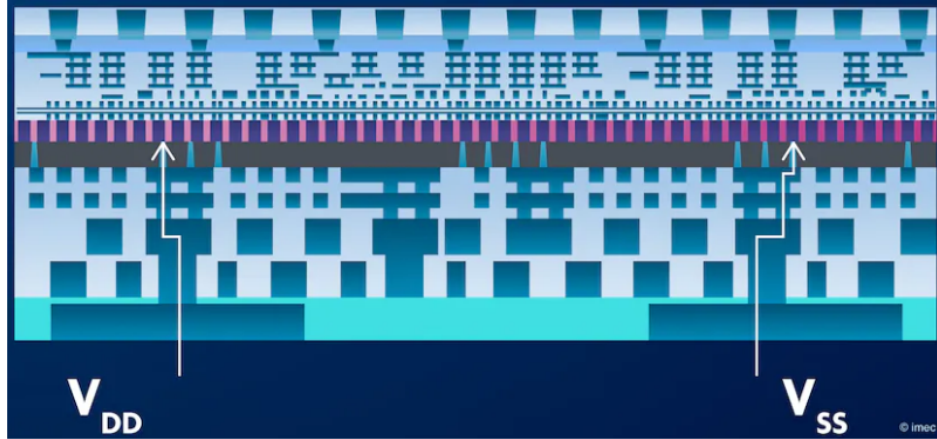
ال `command` ده شرحناه بالتفصيل فى `floor planning` فهنا متنساش انك تعمله مرة بعد ال `rings` ومرة بعد ال `mesh` بحيث انك تكون عملت `save` لكل خطوة فيهم فى `MW cell` منفصلة اما تحب ترجعلها

=====

Frontend Vs Backend Power delivery network

احنا طول كلامنا بنتكلم عن `traditional power delivery network` الى هى ال `frontend` بمعنى اخر الى بتكون ال `rings & mesh` فى اعلى `metal layers` يعنى فى الجهة الامامية من ال `chip` فيبطلقوا عليها `frontend power delivery network` طيب دى ليها مشاكل زى ايه؟؟ احنا بنعملها على اعلى `metal layers` لانها بتكون `wider wires` وبالتالي `resistance` اقل لكن عشان اوصلها بال `cells` تحت بمشى طريق طويل فى كل ال `metal layers` الى تحتها وزى ما اتكلمنا ان وجود `power mesh` بيضمننا ان `IR drop` الى هيحصل على مدار الطريق ميكنش كبير اوى ويكون `acceptable` لكن مع تقدم ال `technology` كل شوية بيكون فيه `scale down` اكثر ومش بس ال `transistors` الى ال `size` بتاعها بيقل لا كمان ال `wires` بيحصل فيها نفس الكلام وبتصغر فمعنى كده ان `resistance` بتاعتهم بتقل اكثر حتى ال `layers` الى فوق وبالتالي `IR drop` هيكون اسوء واحتمالية انه يكون `not acceptable` على ما يوصل لل `cells` هتكون اكبر .. حاجة كمان وهى انى بقلل ال `routing resources` لباقي ال `design` لان ال `power routing` مشارك معاها فى كل ال `metal layers` من اول ما عملت ال `ring & mesh` لحد ما وصلت لل `cells` تحت

وبالتالى intel عرضت technique مختلف تستخدمه فى المستقبل عشان تحل بيه المشاكل دى وهو backside power delivery network وده نعبر عنه بالصورة الى تحت دى:



هتلاقى ان ال transistors فى النص وعندك ال power delivery network كلها لوحدها فى backside of the chip باقى ال routing كله لوحده فى ال front side فكدنا خليت PDN قريبة اكتر من transistors وزى ما هى wider wires ب resistances قليلة ... وفى نفس الوقت مبقاش عندى congestion بين ال routing بتاع ال PDN وبتاع ال design نفسه

يعنى انا كده خليت ال PDN metal layers تكون فى backside of the silicon wafer و signal routing metal layers الى هى بتاعة ال design signals يعنى تكون فى frontend عادى ... المقارنة الى تحت دى ممكن تفهمنا اكتر:

Frontside Power Delivery vs Backside Power Delivery

Frontside Power Delivery	Backside Power Delivery
<p>Signal wires and power wires compete for the same resources at every metal layer.</p> <p>Requires aggressive scaling of metal layer pitches:</p> <ul style="list-style-type: none"> • High cost • Higher voltage droop • Higher RC delay 	<p>Signal wires and power wires are decoupled and optimized separately.</p> <p>Value Proposition</p> <ul style="list-style-type: none"> • Higher Performance • Lower Cost <p>Risks:</p> <ul style="list-style-type: none"> • Yield • Reliability • Thermal Dissipation • Debug Capability

يعنى فى الصور هنلاقى ال PDN routing هو معمول بلون بيج كده هتلاقى فى frontside هو موجود فى كل ال metal layers تقريبا لحد ماوصل لل transistors لكن فى backside هتلاقىه كله تحت ورا ال transistors و design signals routing هو الى فوق فى frontside of the chip ... ولكن الطريقة دى ليها challenges كتير زى:

- **Substrate:** اكيد هيجتاج طريقة مختلفة للتصنيع لانه دلوقتى مش عليه بس باقى ال layers لا هو تحته كمان هنعمل PDN فلان هيكون فيه اختلاف فى التصنيع
 - **Packaging:** اكيد هيجتاج packaging techniques مختلفة وخصوصى ليه
 - **Backside metal layers:** التعامل معاها هيفتلف سواء فى ال design او التصنيع كمان
 - **Thermal considerations:** من اهم الحاجات فى chip هى thermal dissipation mechanisms و thermal backside managements techniques واكيد الى كان مستخدم فى ال PDN frontside هيفتلف عن الى هحتاجه لما يكون backside PDN لان الامكن الى معدى فيها ال current اختلفت وبالتالي الحرارة فى ال chip هتبقى موجوده فى اماكن تانية كمان محتاجة اخدها فى اعتبارى
 - **Tools:** هحتاج tools مختلفة عشان تعمل backside PDN غير الى موجودة دلوقتى
- ممکن تقرا اكثر عن اتجاه intel انها تعمل backside power delivery network وتتعرف اكثر على ال challenges بتاعتها وعلى الفوايد من حاجة زى دى اكثر ... احنا بس هنا حيينا ندى معلومة ان فيه حاجة مقترحة دلوقتى اسمها backside PDN عشان متستغريش اما تسمع عنها من اى حد

Contact info:

Linkedin profile: [linkedin.com/in/fatma-ali-57b1a6200](https://www.linkedin.com/in/fatma-ali-57b1a6200)

E-mail: fatma.ali.2028@gmail.com

All ASIC files are provided on VLSI - ASU Community:

https://drive.google.com/drive/folders/1aLwCLZj0YG9KJhIn1D60_nWM7p-L3q9a?hl=ar