

Introduction to Placement and Routing (PNR) (V1)

Written by: Fatma Ali

Content:

1. What is remaining?
2. PNR Processes:
 - Floorplanning
 - Powerplanning
 - Placement
 - Clock tree synthesis (CTS)
 - Routing
 - Chip finishing

What is remaining?:

لحد دلوقتى احنا وصلنا لايه؟؟ عملنا RTL code لل design بتاعنا ثم شوفنا ازاي حولنا ال code ده الى gate level netlist فى ال synthesis وبعد كده عملنا formality عشان نقارن بين RTL code & netlist ونتأكد انهم equivalent in functionality وبعد كده شوفنا ازاي نضيف DFT لل design بتاعنا وبعدده نعمل formality بردوا نتأكد ان الدنيا تمام

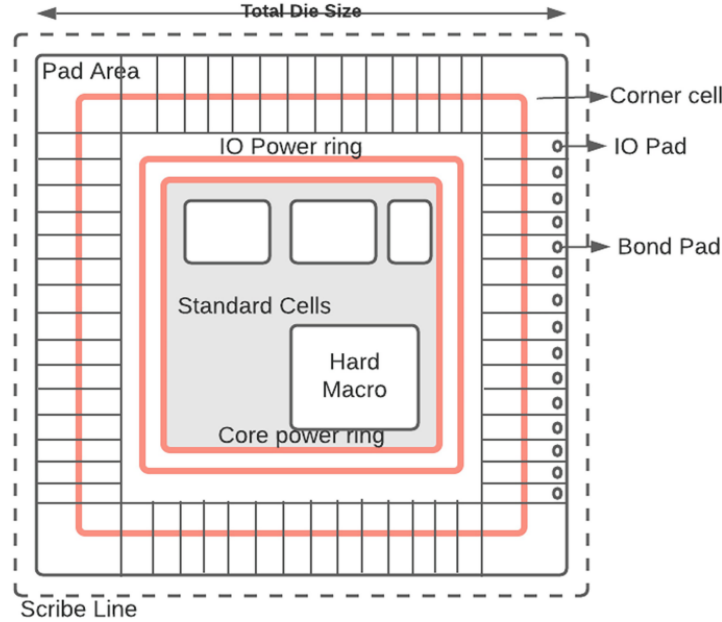
بعد ما نخلص كل ده ونتأكد كمان ان timing clean يعنى STA مفيهوش violations ... هنلاقى بقى اننا حتى الان بنتعامل مع gate level او بمعنى اصح انا شايف ال design بتاعى فى صورة symbols الى عارفها عن ال gates زى شكل ال OR, AND, Flip/flops ولكن اكيد مش ده الى هيتصنع زى ما احنا عارفين ان ال gate دى فى الحقيقة عبارة عن transistors بنتصنع layers فوق بعض وليها layout بيغير عن ال layers دى ... ودى حاجة موجودة فى libraries بتاعة المصنع ... فانا دلوقتى محتاج اخلى ال tools تحط الشكل الحقيقى لل gates دى ولكن انا محتاج اصلا الاول احدد ال chip بتاعى واشوف انا هرتب ال cells دى جواها ازاي مين يتحط جنب مين مثلا وازاي هوصلها ال power ... يعنى انا فى العالم الخارجى هوصلها supply & ground لكن هيتوزعوا ازاي جوا؟؟ وكمان هوصل بين كل الحاجات الى جوا دى وبعضها ازاي؟؟ فانا لسه عندى أسئلة كتير اوى اجابة كل حاجة منها هى خطوة بتعملها وبتمثل topic هنتكلم عنه بشكل منفصل بس عشان نبقى عارفين احنا بنعمل ايه بالظبط وترتيب كل topic ورا التانى ليه بالشكل ده فاحنا هنقول كل topic منهم سريعا انا عايز اوصل منه لايه فى الاخر بشكل مختصر فى ال file ده

عايزين ناخذ بالناس من حاجة مهمة وهى ان ال design بيبكون عبارة عن الكود الى انا كتبتة والى هحواله الى cells وفى نفس الوقت ممكن يكون جواه macros انا استخدمتها زى ما هى كده ... مثلا حطيت ram فى ال design جاهزة مش انا الى عاملها فالحاجات دى بيتكون موجودة فى libraries بردوا زى ما هى على بعضها بمعنى مثلا ال ram دى معموله ب gates & flipflops وى كان ال internal structure بتاعها هو موجود على بعضه كده جاهز فى ال library فلما بحطه مقدرش انى اغير فيه او مثلا اغير فى اماكن ال cells بتاعته هى معموله جنب بعضها زى ما هى كده ... انا بحركه وبتعامل معاه على بعضه ... على عكس ال cells العادية فى ال design هلاقى ان ال tool بتحركهم منفردين عادى عشان توصل لاحسن حاجة تحقق بينها ال constraints الى انا بديها لياها من area, power, timing,

PNR Processes:

1. Floorplanning:

اول خطوة هنعملها ... وهنا احنا عايزين نحدد شكل وحجم ال chip ونحدد اماكن كل حاجة جواها عشان لما نيجي نخطها بعدين تبقى الاماكن جاهزة كإني برسم كده شكل تخطيطي لل chip ثم بعدين فى خطوة قدام احط كل حاجة فى المكان الى رسمتها ليها فانا هنا ببدا احدد die area, die shape وكماتن ال core area وناخد بالننا ان die دى اكبر من ال core بمعنى اصح انت عند die جزء منها هو الى بتخط فيه ال design بتاعك وبيكون فيه ال cells وهو ده ال core زى ما باين فى الصورة تحت الجزء الى cells & macros الرمادى ده هو ال core:



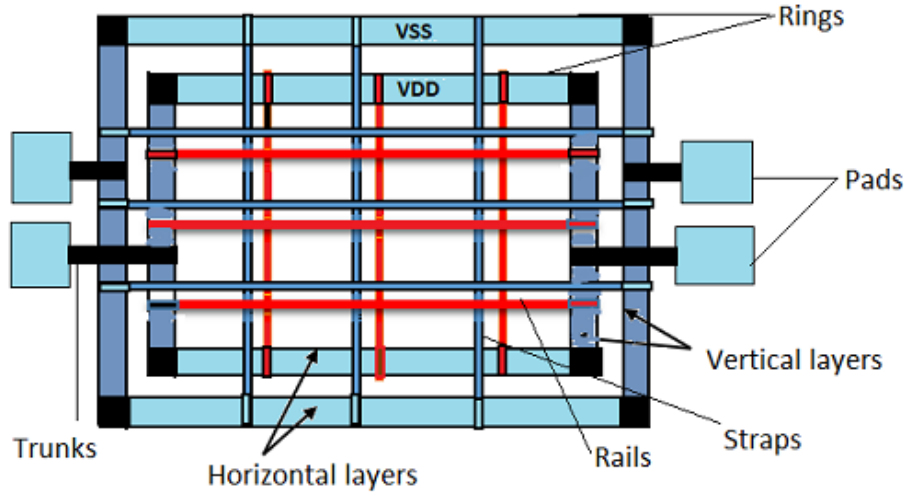
بعد ما حددت ال core area الى هخط فيها ال cells ابدأ بقى احدد اماكن ال cells دى وايه الاماكن الى مش هخط فيها cells خالص ودى حاجات زى ما هنتشوف بنحتاج نحددها بحيث ميحصلش زحمة فى اماكن معينة ... وكماتن بخط ال macros دى جاهزة بقى هحدد مكانها واحطها زى ما هي وال wires بردوا بحدد اماكنها هتبقى فين

يبقى باختصار انا هنا حددت ال area لل die & core وحددت مكان كل حاجة عندى هحتاجها زى ال wires & cells & macros وهخط ال macros بالفعل وكماتن حددت الاماكن الى مش هخط فيها حاجة خالص وممنوع لل tool انها تحطلى حاجة فيها سواء همنع انها تحط cells ... الحاجة الى انا لسه مجهزتهاش عشان ابدأ احط ال cells هي توزيعه ال power ... ال wires الى اتكلمنا عليها هنا هي الى هتوصل بين ال cells وبعض بس متكلمناش على power هيدخل منين ولا هنوزعه ازاي فدى كده الخطوة الجاية

=====

2. Powerplanning:

زى ما قولنا ناقص اجهز دخول ال power وتوزيعه على ال chip بحيث اضمن ميحصلش voltage drop كبير فى مكان او بمعنى اخر ان كل ال cells يكون واصل ليها تقريبا VDD مش اقل منه ... فزى ما هنتشوف هنا بعمل حاجتين power ring & power mesh .. ال ring دى من برا حوالين ال core كله وواحدة ل VDD وواحدة لل GND فكده انا حوالين ال core عندى ال supply هوصله لجوا ازاي؟؟ عن طريق ال mesh ودى عبارة عن خطوط بالعرض بنسميها rails وخطوط بالطول بنسميها straps بتوصل بال rings بحيث توزع ال power فى كل مكان فى ال core بشكل متساوى بقدر الامكان:



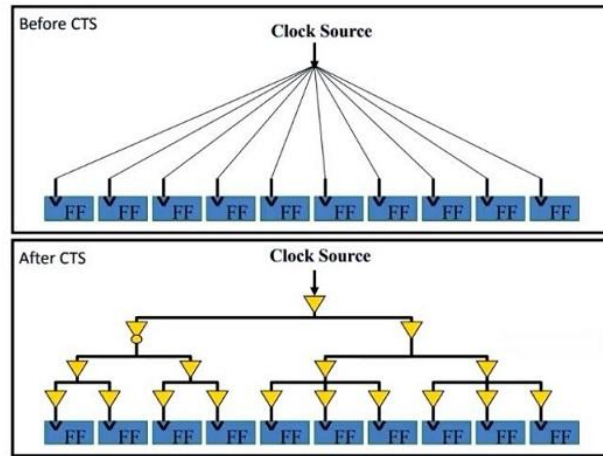
3. Placement:

هنا بقى هنبدأ نخط ال cells خلاص بعد ما جهزنا كل حاجة وهعمل شوية حاجات تانية مهمة فى المرحلة دى زى ما هنشوف بحيث احل مشاكل زى مثلا لو لاقيت عندى net عندها fanout عالى اوى فدى مشكلة فيعنى نقدر نقول اننا هنشوف فى الخطوة دى اما نتكلم عنها حاجات تانية هعملها غير انى احط ال cells وبس ... وكل الحاجات دى هدفها فى الاخر انى اطلع من هنا حائط كل حاجة فى مكانها واحل اى مشكلة ممكن تطلع من بعد ما احط ال cells بشكل فعلى بقى بحيث ابقى جاهز بعد كده انى اوصل بينهم فى مرحلة ال routing ... بس قبل ما اوصل بينهم فيه حاجة مهمة متسابة لحد دلوقتى مش بنقرب ليها وهى ال clk وتوزيعها على flipflops فى كل مكان ... فهل احنا هنوصلها لل flops ب wires كده عادى من اول ال port لحد ال flop؟؟ لا مش هنعمل كده وهنشوف ازاى هنتعامل مع ال clk فى خطوة منفصلة الاول قبل ما نروح لل routing

4. CTS (clock tree synthesis):

هنا بقى هنبدأ نتعامل مع ال clk الى لسه قايلين اننا سايينها ... مقدرش اوصلها بسلك عادى لل flops لانها critical signal انا محتاجها توصل فى نفس الوقت تقريبا عندهم كلهم ولكن اكيد التوصيل ب wires عادية هيخلي يحصل delay لكل واحد بشكل مختلف حسب بعده عن ال clock port وحتى لو ضمنت انى هوصلهم بشكل يخلي ال delay بينهم واحد فاكيد ال signal نفسها هتضعف وهى ماشية فى السلك الطويل ده يعنى transition time بتاعها هيبقى كبير وكده ال clk هتبقى سيئة جدا ودى اهم signal عندنا فالحل ايه؟؟ الحل انى احط فى طريقها & buffers inverters تقويها طول ما هى ماشية وفى نفس الوقت اعمل balance بين طريق ال clk لكل flop بحيث ميكنش فيه delay لوصلها بقدر الامكان ودى حاجة بناخدنا فى اعتبارنا فى ال timing analysis بنسميها skew ... فكه من ال clk port هبدأ اطلع network منها بتروح لكل ال flops وفى كل طريق منهم بحط buffers & inverters حسب الى محتاجة الطريق ده عشان اعمل balance بين كل الطرق بتاعة ال clk ... عشان كده اطلقوا عليها clk tree لان من ال clk port كإنى بعمل tree كده وافرع منها كل شوية فرع جديد

حاجة مهمة ناخذ بالناس منها اننا هنا كمان بنعمل routing لل clk tree يعنى هنوصل ال network دى ببعضها بالفعل هنا قبل ما نروح لل routing process وده لان ال clk زى ما قلنا هى الاهم عندنا يبقى اوصل ال network بتاعتها الاول ثم باقى ال routing resources او بمعنى اخر الاماكن المتبقية الى اقدر اعمل فيها routing اخلوها لل cells routing لكن مش هخلص ثم اشوف الباقي واحط فيه اهم signal عندى لا انا هسييلها الدنيا براحتها تتحط باحسن شكل الاول ثم احط الباقي



5. Routing:

كدا كل حاجة جاهزة وهدأ انى اوصل بين ال cells وبعضها باستخدام metal layers مختلفة وده هنتشوف انه بيتم على خطوات مش مرة واحدة وطبعا بحتاج اعمل فيه optimizations واحل اى مشاكل هتطلع جديدة نتيجة انى ضيفت wires بالفعل لان قبل كده كنا شغالين على estimations نطلع بيها C&R بتوع ال wire واشوف منهم ال timing وكده ... لكن دلوقتى انا حطيت التوصيلات بالفعل بال metal layers فممكن تحصل violation مكنتش موجودة قبل كده عادى

6. Chip finishing:

هنا خلاص انا هقفل ال chip فهنتشوف هنا شوية حاجات ببدا احطها او اعدلها عشان اضمن ميحصلش اى اخطاء بعد التصنيع بقدر الامكان وهنتكلم عنها بالتفصيل وقتها

بعد كده قبل ما اقول ان ال chip جاهزة لازم اعمل checks نهائية زى STA اتأكد منه ان timing مضبوط و formality اتأكد ان ال functionality لسه مضبوطة و physical verification اتأكد منه ان كل ال physical rules الى جاية من المصنع وبنسميها design rules متحققة ومضبوطة فى ال physical layout of the design

كده احنا عملنا overview سريع عن ال PNR عشان نعرف ازاى كل خطوة بتسلم الى بعدها ثم نبدا بقى نتكلم عن كل خطوة فيه بشكل منفصل وبالتفصيل اكثر فى ال files الجاية

Contact info:

Linkedin profile: [linkedin.com/in/fatma-ali-57b1a6200](https://www.linkedin.com/in/fatma-ali-57b1a6200)

E-mail: fatma.ali.2028@gmail.com

All ASIC files are provided on VLSI - ASU Community:

https://drive.google.com/drive/folders/1aLwCLZj0YG9KJhIn1D60_nWM7p-L3q9a?hl=ar