计算机组成原理实验报告

P7 计时器说明文档

目录

1 简介

本文档是 P7 课下“沟通外部设备与计时器”一节的要求，包括计时器的状态转移图及其使用说明。

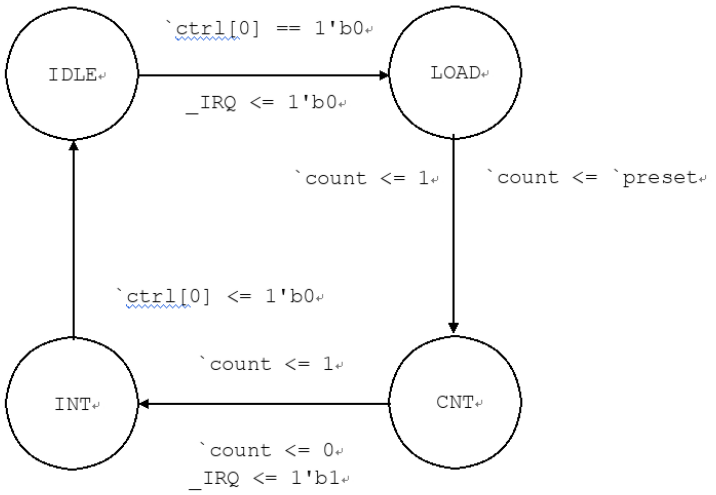
2 状态转移图

以下是两种模式的状态转移图。

圆圈代表状态或操作，圆圈里的文字表示状态；箭头上方（或左方）的文字代表转换条件，下方（或右方）的文字代表状态转换时的附加操作。

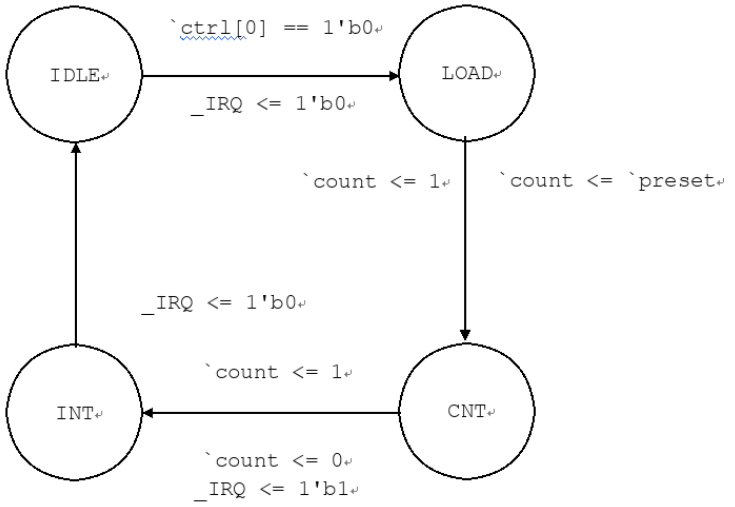
2.1 定时中断模式

以下是 `mode == 2'b00`，也就是定时产生中断时的状态转移图。



2.2 连续中断模式

以下是 `mode != 2'b00`，也就是连续产生中断时的状态转移图。



3 使用说明

3.1 基本要求

无论计时器在什么模式和什么状态下，都有以下的基本要求要遵守。

1. TC 的内部寄存器只能用读写整个位的模式。
2. TC 的 count 寄存器不能被写入。
3. TC 先处理对其内部寄存器的写入请求，无论是否有效。若无写入请求，则进行状态转移。

3.2 读取操作规范

读取操作是通过组合逻辑实现的。TC 中对内部寄存器的读取，不考虑其状态，只考虑操作地址 Addr。各种操作及其对应结果如下表。

表 1 读取操作规范

Addr	是否可行	结果	不可行原因
2'b00~2'b01	是	读出对应的内部寄存器	—
2'b11	否	读出 32'hXXXXXXXX	寄存器数组 mem 只定义了 [0:2]

3.3 写入操作规范

写入逻辑在真正向对应的寄存器写入值以前，首先对 Addr 进行了判断。如果 Addr == 2'b0，那么就是要写入 ctrl 寄存器，写入的高 28 位被忽略。之后不再说明，会直接像整个字被写入那样来描述，但实际上写入情况是有差别的。

由于写入逻辑在同一个时钟周期内优先级较高，所以之后描述的结果，一般都是从写入逻辑所在时钟周期的下一个时钟周期开始描述。

3.3.1 IDLE 状态

IDLE 状态会根据 `ctrl[0] 是否使能，来确定是否进入 LOAD 状态，并把中断信号设为未激活。

无论处于哪种模式，该状态下，写入 ctrl 和 preset 都可行。

写入 ctrl 会改变对应控制信号的值，写入后立即生效。

若写入了 `ctrl[0]，则会改变 TC 的使能。

若写入了 `ctrl[2:1]，则会改变当前模式。

写入的 `ctrl[3] 会影响中断使能。

写入 preset 会影响预置数的值。

写入 count 不可行，但是不会产生影响，因为 count 会在进入 LOAD 状态时被覆盖。

3.3.2 LOAD 状态

LOAD 状态会从 preset 里取数，并写入 count 里，然后进入 CNT 状态。

无论处于哪种模式，该状态下，写入 ctrl 和 preset 都可行。

写入 ctrl 会改变对应控制信号的值，写入后虽然控制信号的改变会立即生效，但是除了 `ctrl[3] 不会立即发挥作用。

若写入了 `ctrl[0]，则会在进入 CNT 状态后马上回到 IDLE 状态。

若写入了 `ctrl[2:1]，则会改变当前模式。

写入的 `ctrl[3] 会影响中断使能。

写入 preset 会影响预置数的值。

写入 count 不可行，但是不会产生影响，因为 count 会在该状态被覆盖。

3.3.3 CNT 状态

CNT 状态会在每次计数时判断 enable 的值。若 enable == 1'b0，则进入 IDLE 状态。否则若 count > 1，count 自减一。否则，令 count = 0, irq = 1'b1，进入 INT 状态。

无论处于哪种模式，该状态下，写入 ctrl 和 preset 都可行。

写入 ctrl 会改变对应控制信号的值，控制信号的改变会立即生效。

若写入的 `ctrl[0] == 1'b0，则会进入 IDLE 状态。

若写入了 `ctrl[2:1]，则会改变当前模式。

写入的 `ctrl[3] 会影响中断使能。

写入 preset 不会立即影响预置数的值，会在下次进入 LOAD 状态后影响。

写入 count 不可行，但是会产生影响。若写入的 count == 32'b0 || count == 32'b1，那么 count 会再变为 0，然后进入 INT 状态。若写入的 count >= 32'b2，那么 count 寄存器的值会直接改变，继续往下计数。

3.3.4 INT 状态

该状态下会根据模式判断禁用使能（若 `ctrl[2:1] == 2'b00）或禁用中断（其它情况）。然后，进入 IDLE 状态。

无论处于哪种模式，该状态下，写入 ctrl 和 preset 都可行。写入 ctrl 会改变对应控制信号的值，控制信号的改变会立即生效。

若写入的 `ctrl[0] == 1'b0，则无论模式，下次进入 IDLE 状态后，一定不会自动重新进入 LOAD 状态。若写入的 `ctrl[0] == 1'b1，则实际上无效。

若写入了 `ctrl[2:1]，则会改变当前模式。

写入的 `ctrl[3] 会影响中断使能。

写入 preset 不会立即影响预置数的值，会在下次进入 LOAD 状态后影响。

写入 count 不可行，但是不会产生影响，因为下次进入 LOAD 状态时，count 的值会被覆盖。

4 注释

本文档使用的与计时器相关的名称，如状态名称、内部寄存器名称等，均以课上提供的 `P7_standard_TC_2019.v` 为准，和 CPU 主设计文档中的 `TC` 对应部分不一样。差异主要在命名惯例方面，因为 CPU 主设计文档中的 `TC` 功能，与课上提供的没有差异，只是它的修改版。

课上提供的 `P7_standard_TC_2019.v` 永久链接：http://cscore.net.cn/assets/courseware/v1/71af5d8b232b93d8de77c1b3026f3158/asset-v1:Internal+B3I062410+2019_T1+type@asset+block/P7_standard_TC_2019.v