

Les mémoires intégrées

A. MHAMDI

Ingénieur ENIT

Technologue en GE à l'ISSET de BIZERTE

Année universitaire : 2013-2014

Ouvrages de référence

1. E. MESSERLI et Y. MEYER, Electronique Numérique, 1^{er} tome, Systèmes combinatoires, Hes.so, Septembre 2010.
2. J. BOUQUET et P. MAYE, Electronique numérique en 26 fiches, Dunod, Paris, 2010.
3. McGraw-Hill, Introduction aux circuits logiques, Deuxième édition, Letocha, Québec, 1985.
4. A. OUMNAD, Cours d'Electronique Numérique, EMI.

Avant-propos (1/3)

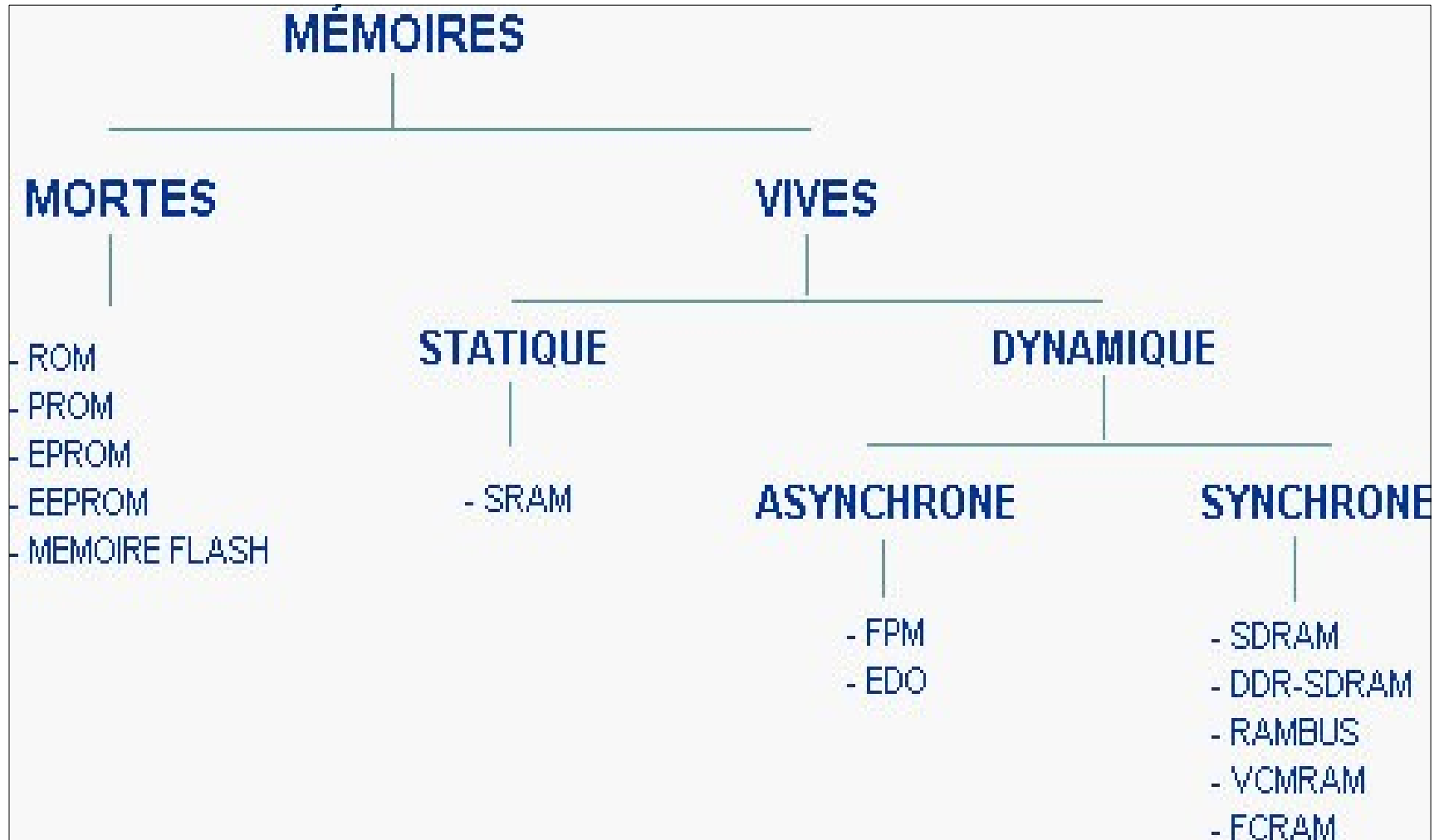
- Une mémoire est un élément de stockage d'information
- Les bits stockés sont organisés sous forme de matrice :
la dimension de la mémoire est donnée par le nombre de lignes fois la largeur de la ligne
- Chaque ligne de la mémoire est appelée un mot.
Elle est identifiée par une adresse (numéro de la ligne)
- Le nombre de lignes est toujours une puissance de deux
- Deux opérations sont possibles, sur un mot complet :
La lecture (read) et l'écriture (write)

Avant-propos (2/3)

Mode d'accès :

- les mémoires à accès aléatoire où chaque mot a une adresse donnée et pour lesquelles il est possible d'accéder à une information quelconque en un temps constant ;
- les mémoires à accès séquentiel où les informations sont écrites les unes derrière les autres et pour lesquelles l'accès à un mot dépend de sa position.

Avant-propos (3/3)



Paramètres caractéristiques (1/2)

- **Capacité**

Elle représente la quantité d'informations qui peut être stockée. La capacité peut s'exprimer en bits, en octets (8 bits) ou en mots (de 16 ou 32 bits).

Compte tenu des valeurs importantes des capacités, on utilise surtout les multiples de ces unités : kilobit, mégabit, kilooctet, mégaoctet...

Traditionnellement, un kilobit (symbole Kb, avec un K majuscule) vaut $2^{10} = 1\,024$ bits et un kilooctet (symbole Ko) correspond à $2^{10} = 1\,024$ octets. Un mégabit (symbole Mb)

La capacité est liée au nombre de lignes d'adresse. Considérons par exemple une mémoire qui stocke les données sous forme d'octets et qui possède 15 lignes d'adresses. Cela correspond à 215 adresses différentes, donc à 32×2^{10} octets. La capacité de cette mémoire est donc de 32 Ko, soit $32 \times 8 = 250$ Kb.

Paramètres caractéristiques (2/2)

La capacité est liée au nombre de lignes d'adresse. Considérons par exemple une mémoire qui stocke les données sous forme d'octets et qui possède 15 lignes d'adresses. Cela correspond à 215 adresses différentes, donc à 32×210 octets. La capacité de cette mémoire est donc de 32 Ko, soit $32 \times 8 = 250$ Kb.

- **Temps d'accès :**

C'est la durée nécessaire à une opération de lecture ou d'écriture, c'est-à-dire le temps qui s'écoule entre l'instant où l'opération est demandée et l'instant où l'opération est terminée.

- **Temps de cycle :**

C'est la durée minimale entre deux accès successifs.

Cycle de fonctionnement (1/3)

On dispose d'un CI qui peut mémoriser des données sous forme d'octet (8 bits)

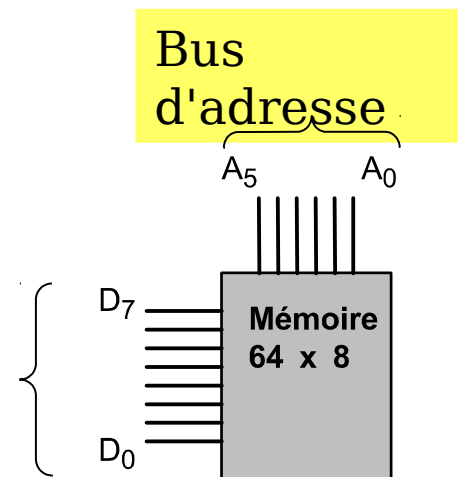
sa capacité est de **64 Octets** (**64 Bytes**).

Chaque case numérotée de **0** à **63** contient un octet

- Pour repérer une case, je dois fournir son adresse
 - Pour accéder au contenu d'une case, la donnée donc un nombre (binaire) de **6** bits.
- il faut **8** bits.

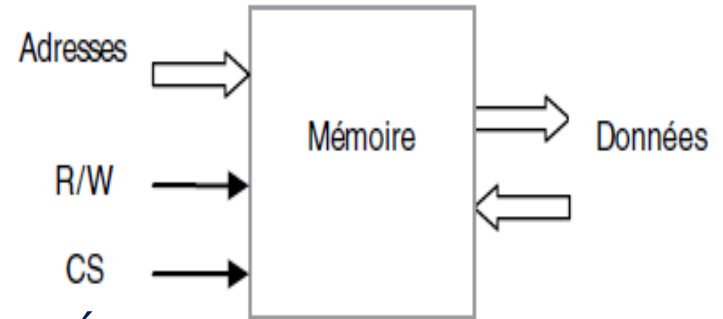
0	1	2	3	4	5	6	7
8	9	10					
							63

Bus de
donnée



Cycle de fonctionnement (2/3)

■ Connexions :



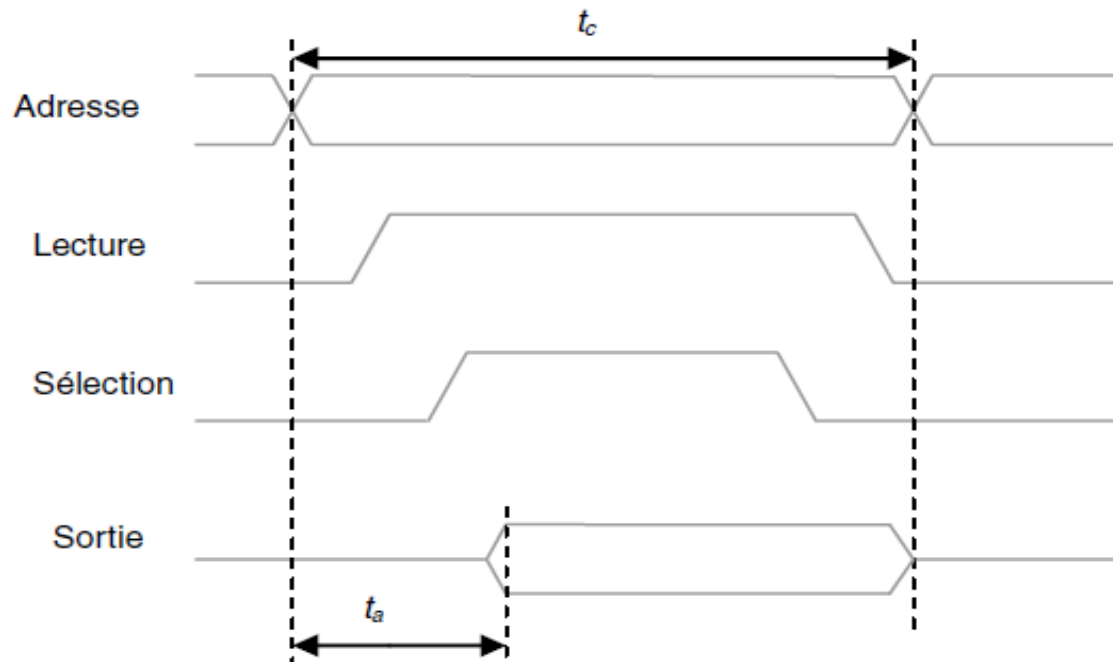
1. Les entrées d'adresses ;
2. Les entrées et les sorties de données ;
3. Une entrée de choix entre lecture et écriture (R/W pour read/write) ;
4. Une entrée de sélection du circuit (CS pour chip select)

Une opération de lecture ou d'écriture s'effectue avec les étapes suivantes :

- la sélection de l'adresse ;
- le choix entre lecture et écriture (niveau appliqué sur R/W) ;
- la sélection du circuit (niveau appliqué sur CS) ;
- la lecture ou l'écriture de la donnée.

Cycle de fonctionnement (3/3)

L'ensemble de ces opérations forment un cycle de lecture ou d'écriture.

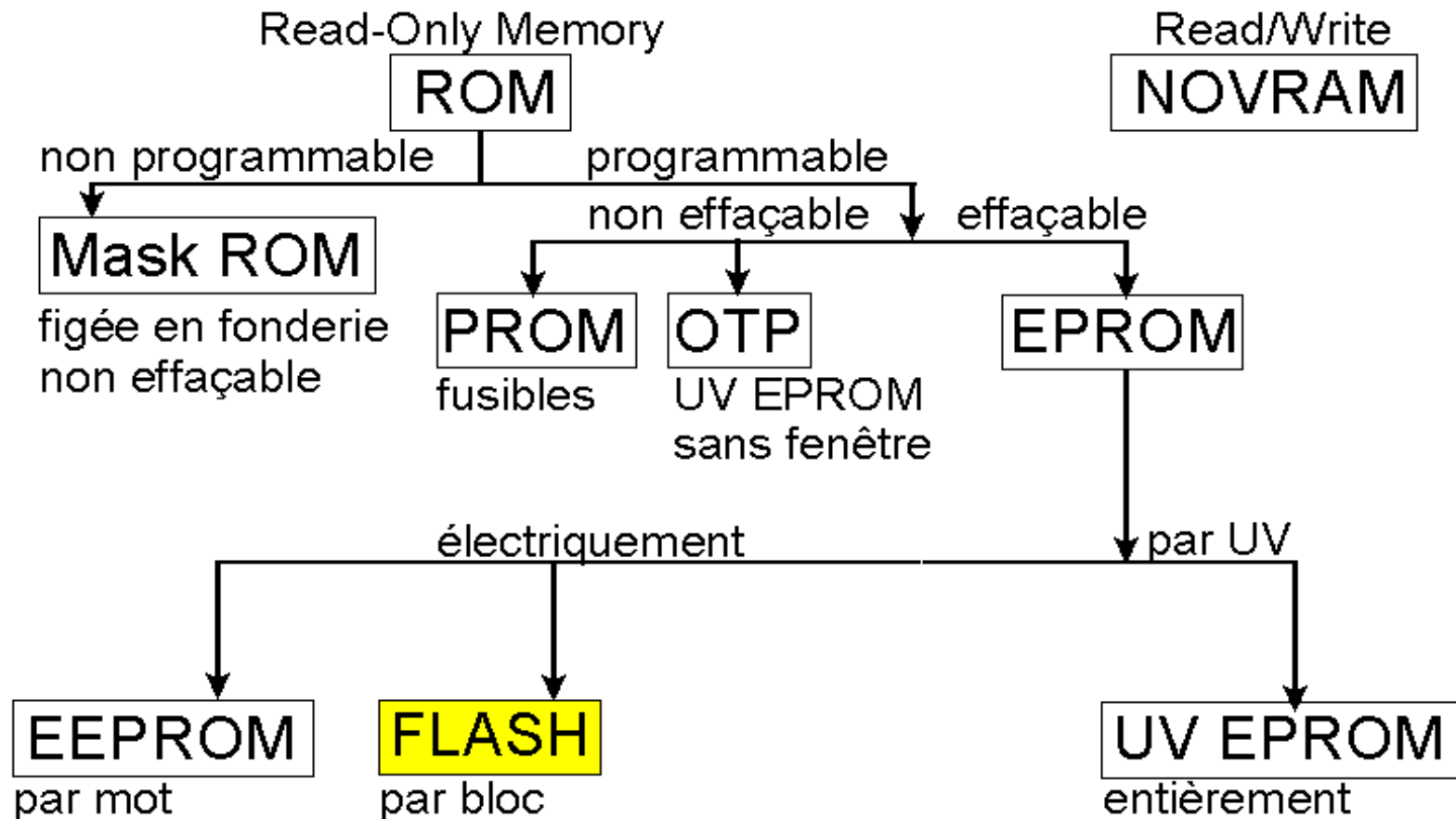


Les chronogrammes font apparaître le temps d'accès t_a et le temps de cycle t_c .
temps de cycle .

Mémoires mortes

1. Mémoire à lecture seule
2. Mémoire à lecture seule programmable
3. Mémoire à lecture seule programmable et effaçable par un rayonnement ultraviolet
4. Mémoire à lecture seule programmable et effaçable électriquement

Mémoires non-volatiles

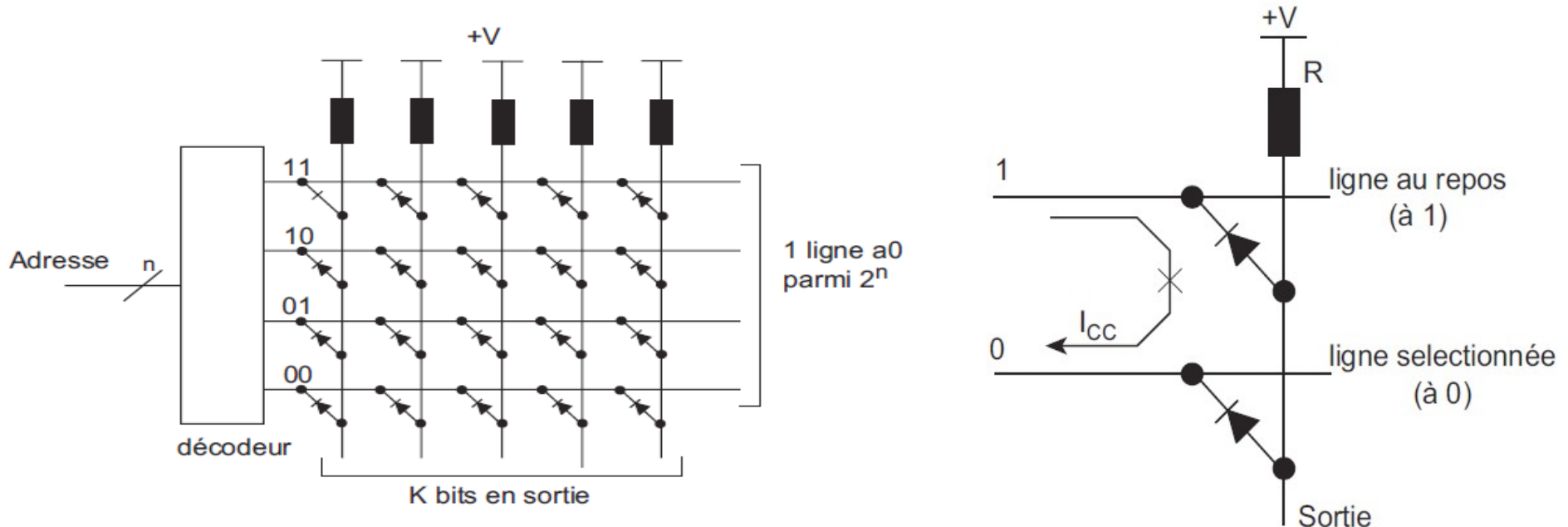


Read-Only Memory (ROM)

- Les données ne peuvent être que lues : Elle est inscrite par le constructeur au moment de sa fabrication. L'utilisateur n'a aucune action sur son contenu, il ne peut que lire cette mémoire.
- L'écriture se fait soit lors de la fabrication ou nécessite un matériel spécialisé.
- La donnée est retenue même en absence du courant (donnée non volatile)
- Les ROM ne peuvent être utilisées que pour des grandes séries puisqu'elles nécessitent une commande spéciale chez le fabricant.

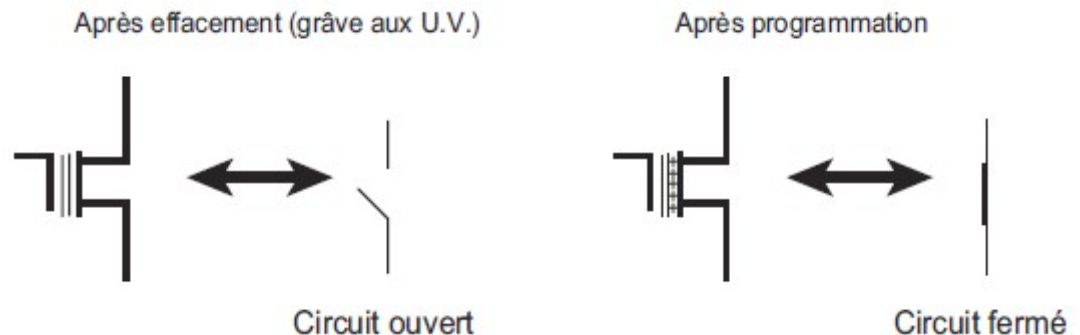
Programmable ROM (PROM)

- Les informations sont inscrites par l'utilisateur grâce à un dispositif adapté, le programmeur, qui coupe des fusibles présents dans le composant.
- Une PROM peut être utilisée pour des petites séries ou des prototypes, mais elle n'est programmable qu'une seule fois.

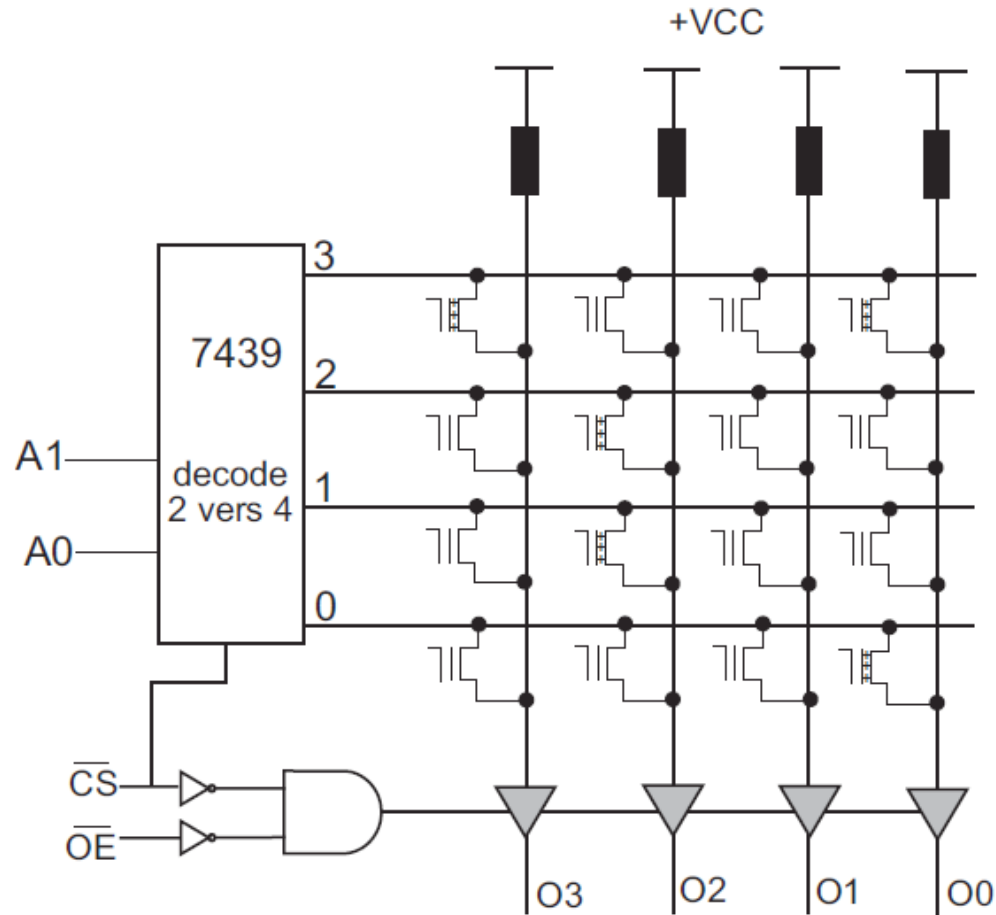


Erasable PROM (EPROM)

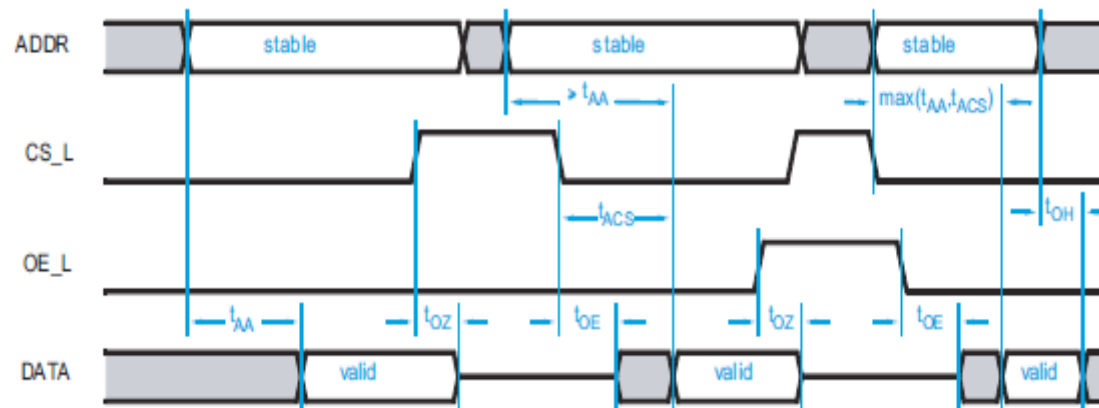
C'est une mémoire programmable dont les informations peuvent être effacées grâce à une exposition à un rayonnement ultraviolet. Pour cela, le boîtier est muni d'une fenêtre transparente. L'EPROM doit être démontée pour être effacée. Il n'est pas possible de ne modifier qu'une partie de la mémoire. Après effacement, la mémoire peut être reprogrammée.



Erasable PROM (EPROM)



Erasable PROM (EPROM)



Mémoire EEPROM (1/2)

On peut voir une EEPROM (ou E2PROM) de 2 façons :

- soit comme une EPROM effaçable électriquement, ayant donc les mêmes caractéristiques en lecture qu'une EPROM et pouvant même être programmée par un programmeur d'EPROM (on remarquera que la broche /PGM de l'EPROM est remplacée par la broche /WE).

Pour programmer la mémoire EEPROM, le circuit génère les tensions de programmation à partir du 5 V de l'alimentation. Nul besoin donc de fournir une tension externe de programmation.

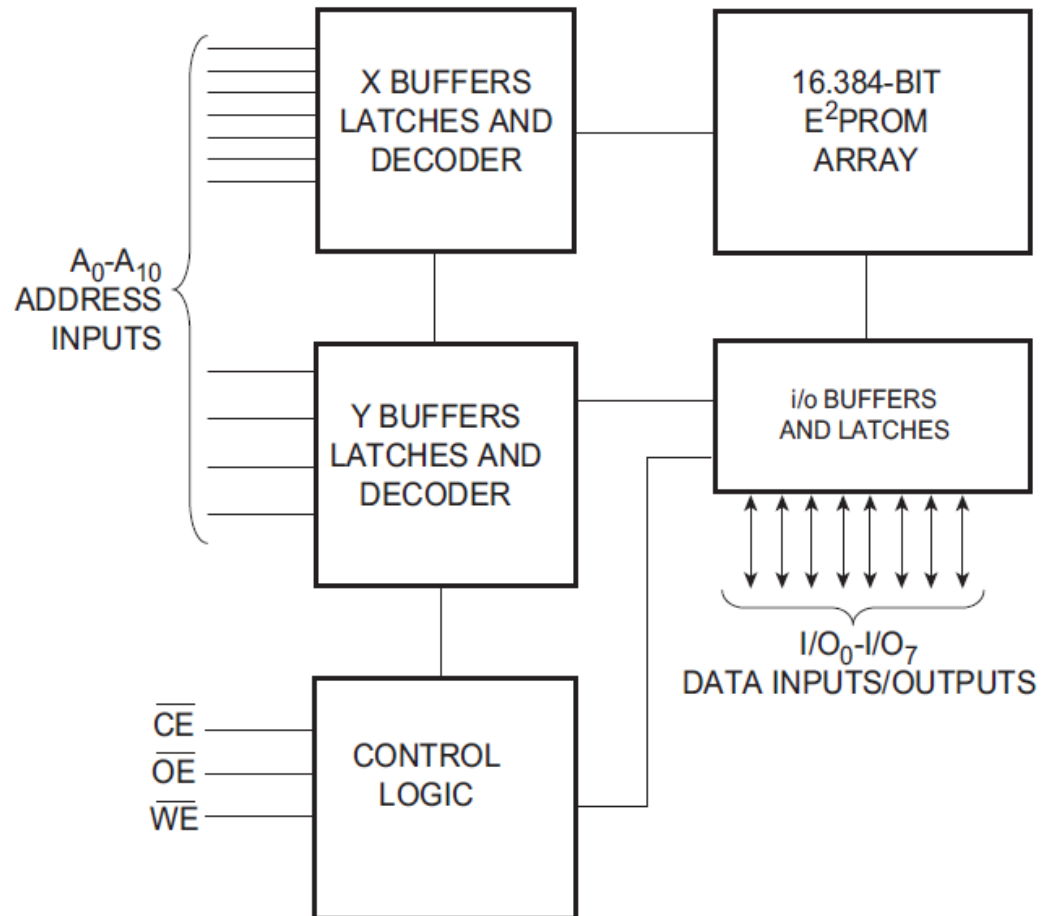
- soit comme une mémoire SRAM dont le temps de lecture $t_{rc} = 100 \text{ ns}$ et le temps d'écriture $t_{wc} = 1 \text{ à } 10 \text{ ms}$. On retrouve donc les mêmes chronogrammes qu'une mémoire SRAM, avec comme seule différence le temps d'écriture qui est élevé.

Mémoire EEPROM (2/2)



- Cette mémoire de 16kbits ($2^{11} \times 8$ bits) est comparable au niveau du brochage et du nom de chaque broche à son équivalent SRAM 6216.
- Une mémoire EEPROM est donc comparable en terme fonctionnel à une SRAM (on peut écrire ou lire dans n'importe quelle case mémoire). La seule différence est la non-volatilité de la mémoire EEPROM.

Exemple : la mémoire X2816



Mémoire FLASH (1/2)

Les mémoires flash sont plus rapides que les mémoires EEPROM (en terme d'effacement et de programmation) mais ne permettent que l'effacement total de la mémoire.

Certaines utilisent encore une haute tension de programmation (V_{pp}) de 12V, cependant les versions monotension commencent à se généraliser, c'est un circuit à pompe de charge interne à la flash qui s'occupe de fabriquer la tension de programmation V_{pp} .

memories EPROM un seul transistor MOS par bit, ce qui explique les capacités mémoires comprises entre 128kbits et 64 Mbits.

Mémoire FLASH (2/2)

La dénomination des boîtiers suit le même principe que les mémoires vues précédemment. Ainsi le 28F256 peut remplacer un 62256 (mémoire SRAM) ou un 28256 (mémoire EPROM).

Attention, ceci n'est vrai que pour une compatibilité broche à broche et non au niveau des timing et des fonctions internes à chaque technologie.

Les mémoires flash sont utilisées dans les PC (BIOS), ou dans les systèmes embarqués pour mémoriser les programmes importants.

Les nouveaux appareils grand public (téléphones portables, cartes mémoire des appareils de photos et caméscopes...) demandent de plus en plus de capacité mémoire pour les interfaces graphiques et nouvelles fonctions.

Les mémoires flash sont donc en pleine expansion.

Mémoires vives

1. RAM statique

2. RAM dynamique

3. NOVRAM

4. RAM ferroélectrique

Autres mémoires en lecture/écriture

- *Magnetic Bubble Memory* : mémoire de masse non volatile. Utilise des « bulles magnétiques » (Plus utilisées)
- Mémoires séquentielles
 - *First In First Out* : mémoires gérées en file; premier bit écrit, premier bit lu.
 - *First In Last Out* : mémoires gérées en pile; premier bit écrit, dernier bit lu.

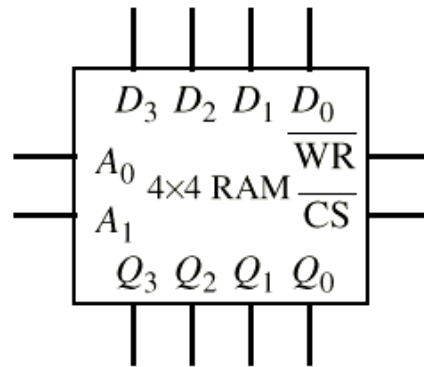
RAM

- Des mémoires contenant des programmes et des données
- Information disponible tant que le courant est présent
- Deux types de RAM : Static RAM ET Dynamic RAM

Statique Ram : Un bit = une bascule D
(4 transistors)

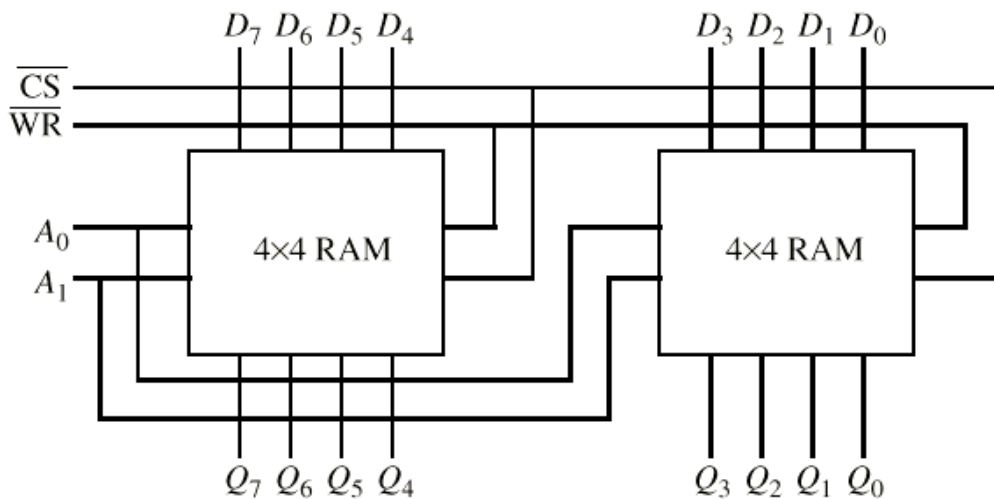
Dynamique Ram : Un bit = une capacité (1 transistor)

Un CI RAM
de 4 mots de 4 bits



NB : Les signaux \overline{CS}
et \overline{WR}
sont actifs à 0
(niveau bas)

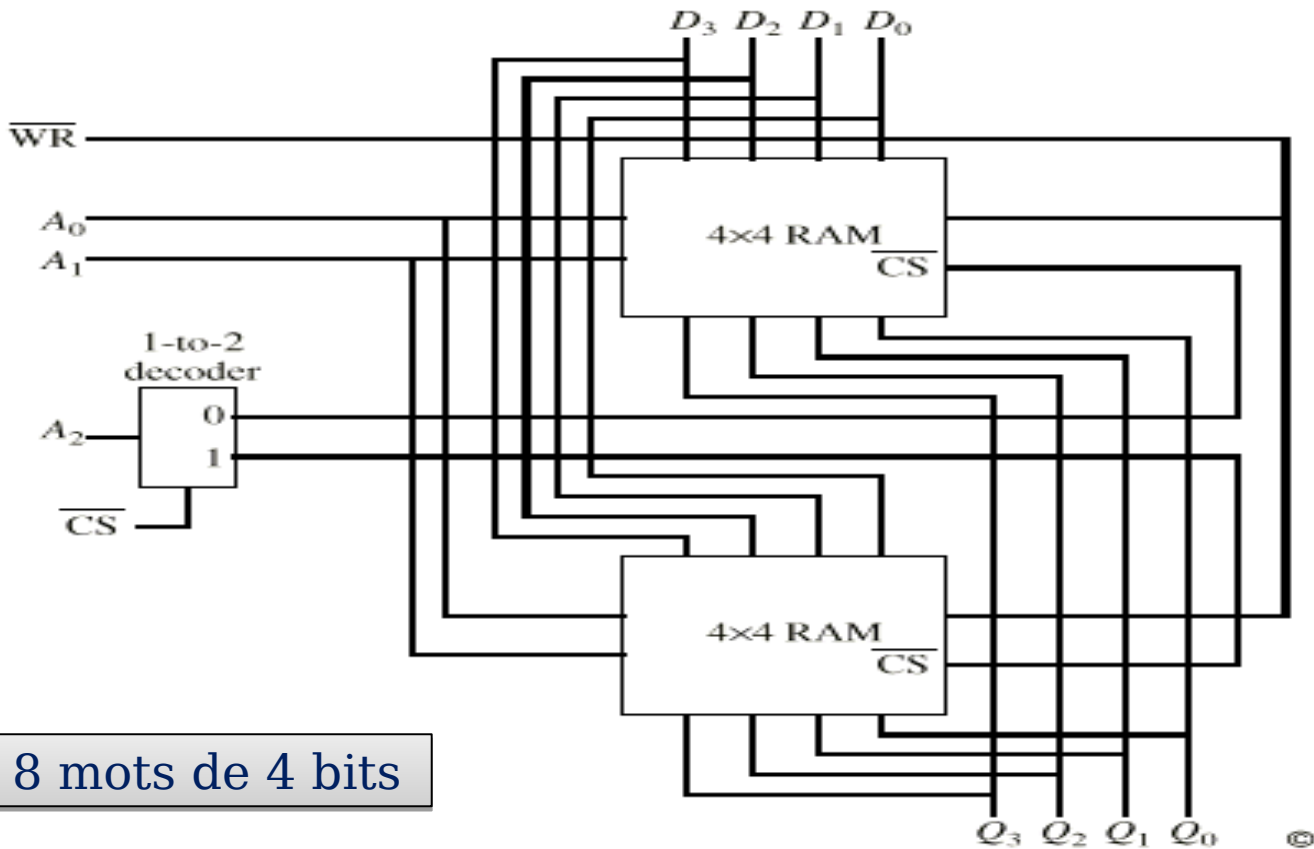
horizontal de CI pour augmenter le nombre de bits d'un mot



Une mémoire de 4 mots de 8 bits chacun

SRAM (suite)

Addition verticale de CI pour augmenter le nombre de mots :



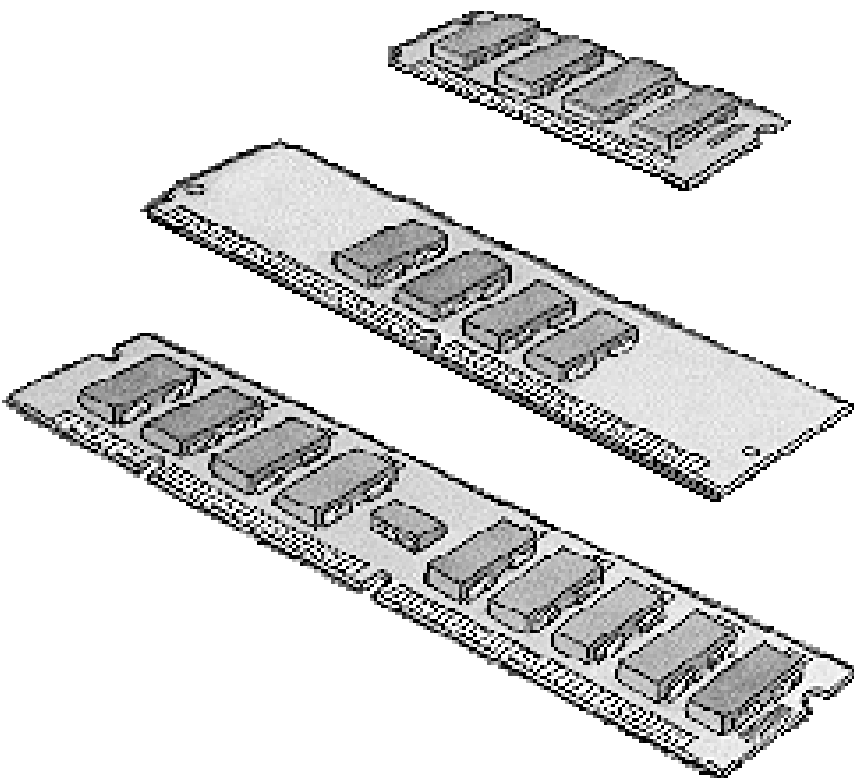
SRAM de 8 mots de 4 bits

RAM Dynamique

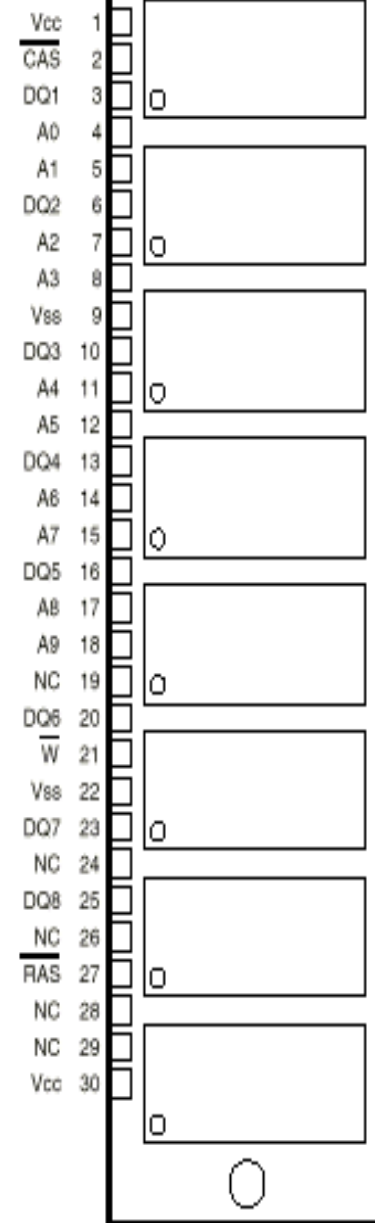
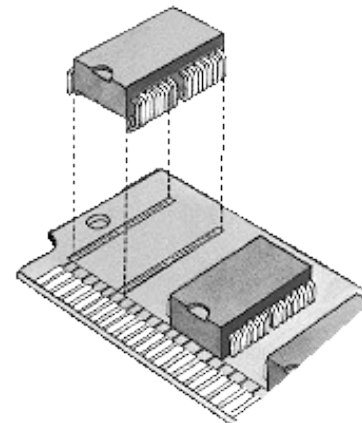
- Les informations sont mémorisées par des condensateurs.
- Il faut procéder à un rafraîchissement périodique à cause des courants de fuites.
- Ces mémoires disposent d'une plus grande capacité, mais elles sont plus lentes.

Présentation des DRAM SIMM

Single In line Memory Module



PIN NOMENCLATURE	
A0-A9	Address Inputs
$\overline{\text{CAS}}$	Column-Address Strobe
DQ1-DQ8	Data In/Data Out
NC	No Connection
$\overline{\text{RAS}}$	Row-Address Strobe
V_{cc}	5-V Supply
V_{ss}	Ground
$\overline{\text{W}}$	Write Enable



Types de DRAM

De nouvelles versions régulières :

- *Fast Page Mode* : les barrettes des 486
- *Extended Data Out* : premiers Pentiums
- *Burst EDO* : cousine de l'EDO
- *Synchronous DRAM* : années 2000, synchronisation avec horloge du μP
- *Double-data-rate DRAM* : SDRAM à cadence double (2 fronts)
- *Error Correction Code* : SDRAM ou DDRAM à correction d'erreurs
- *RamBus* : Mémoires à haute vitesse 600-800 MHz

NOVRAM

C'est l'association dans un même boîtier d'une RAM et d'une EEPROM :

- Quand le circuit est alimenté, c'est la RAM qui fonctionne, permettant au système de *bénéficier de son temps d'accès très court*.
- Quand l'alimentation est coupée, le contenu de la RAM est transféré dans l'EEPROM. *On obtient ainsi une mémoire non volatile présentant une bonne rapidité.*

FRAM

Les matériaux ferroélectriques présentent une polarisation rémanente qui peut être inversée par l'application d'un champ électrique extérieur.

On utilise cette propriété pour réaliser des mémoires RAM non volatiles.

La structure ressemble à celle d'une DRAM classique, mais le diélectrique des condensateurs est une mince couche de matériau ferroélectrique.

Application

Extrait de
la
référence
[2]

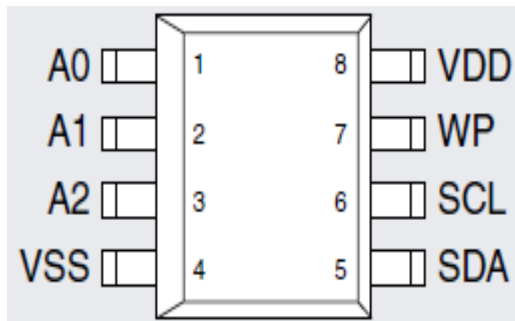
- Le système considéré est une bouée de signalisation maritime. L'étude porte sur une partie de la fonction FS38 : mémoriser les données du feu. Cette fonction permet de sauvegarder les données du feu recueillies par le microcontrôleur (tension et courant (U, I) de la batterie et l'information « état du feu »), dans une mémoire à accès série par bus I2C.
- On utilise un circuit FM24CL64 dont on donne un extrait **Questions :** de la notice (Page suivante).
 - a. Préciser la technologie utilisée pour cette mémoire.
 - b. Donner sa capacité en Kbits, puis en octets.
 - c. Donner le rôle des broches : A0, A1, A2, SDA, SCL, WP.

FM24CL64

64Kb Serial 3V FRAM Memory

64K bit Ferroelectric Nonvolatile RAM

- Organized as 8,192 x 8 bits
- Unlimited Read/Write Cycles
- 45 year Data Retention
- NoDelay™ Writes
- Advanced High-Reliability Ferroelectric Process



Fast Two-wire Serial Interface

- Up to 1 MHz maximum bus frequency
- Direct hardware replacement for EEP
- Supports legacy timing for 100 kHz &

Pin	Function
A0-A2	Device select address
VSS	Ground
VDD	Supply
SDA	Serial Data/Address
SCL	Serial Clock

Modèles d'organisation de la mémoire

- Simple La longueur des mots adresses correspondent au bus d'adresse
- Segmenté La longueur des mots adresses est plus petite que celle du bus d'adresse
- Paginé La mémoire physique est découpée en page
- Selecteur de segment Un segment est repéré par un numéro dans une table de descripteurs
- Mémoire viruelle Faire croire que la mémoire du système est beaucoup plus grande que la

Modèles d'organisation de la mémoire

Simple

Modèles d'organisation de la mémoire

Segmentée

Modèles d'organisation de la mémoire

Paginée

Modèles d'organisation de la mémoire
segment

Sélecteur de

Modèles d'organisation de la mémoire

Virtuelle

Contrôle d'intégrité de la mémoire