



به نام خدا

## پروژه پایانی درس طراحی سیستم های VLSI

تهیه کنندگان:

شهرزاد بیگدلی (9723109) مسئول ایده اولیه، تنظیم ورودی ها و کارکرد مدار و تهیه و تنظیم گزارش کار

علی مطلبی (9723086) مسئول ایده اولیه، طراحی لی اوت و تنظیم ورودی ها و کارکرد مدار

استاد درس: جناب آقای دکتر مجید شالچیان

## طراحی فلیپ فلاپ غیر حساس به لبه کلاک با ریست آسنکرون:

بخش اول: دلایل انتخاب ها

-طراحی لچ و رجیستر

به طور کلی 4 روش طراحی لچ و رجیستر داریم:

-لچ های ایستا

-لچ گیت انتقالی T-gate

-لچ c2mos

-لچ کاملاً تک فاز TSPCR

لچ های ایستا و لچ گیت انتقالی به همپوشانی کلاک حساس هستند؛ اما منطق C2MOS به هم پوشانی کلاک حساس نیست و در منطق TSPCR کلاک دخالتی ندارد. از نقاط ضعف TSPCR می توان به تعداد ترانزیستور بیشتر و حاشیه نویز و سوینگ کم اشاره کرد. به همین دلیل برای ادامه این پروژه از منطق C2MOS استفاده می کنیم.

برای ساخت رجیستر حساس به لبه بالارونده، باید دو طبقه لچ پایه و پیرو که به ترتیب حساس به سطح پایین و حساس به سطح بالا هستند را پشت سر هم قرار داد.

-طراحی ریست:

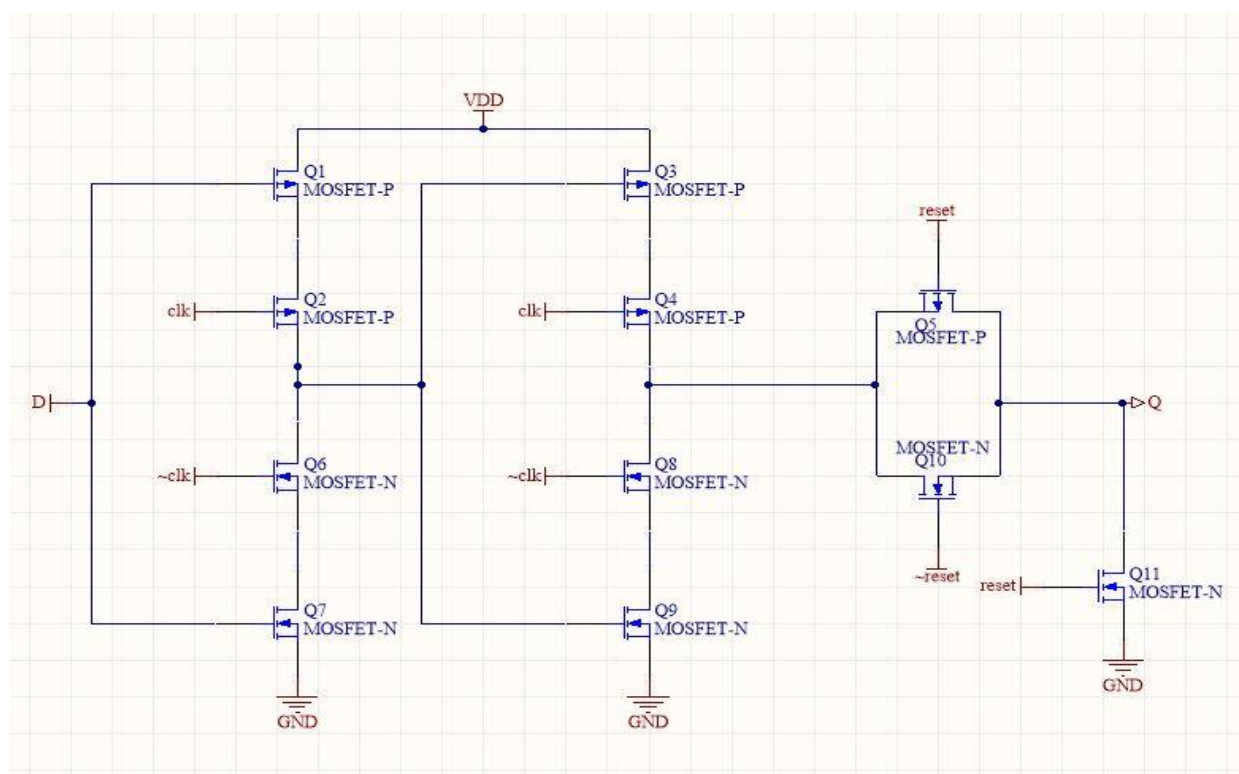
ابتدا در خروجی یک ترانزیستور nmos قرار داده شود و Q به درین این ترانزیستور داده می شود. به گیت ترانزیستور مذکور نیز reset متصل است. حال هرگاه که ریست 1 شود خروجی به زمین متصل می شود و 0 می شود. هرگاه مقدار reset صفر باشد این ترانزیستور باز است و Q مرحله قبل را در خروجی خواهیم

داشت. ایراد این روش نسبتی شدن است و دیگر high قوی نخواهیم داشت و مزیت این ساختار تعداد کم ترانزیستور و در نتیجه مساحت کمتر و مصرف توان کمتر است. بهتر است این ترانزیستور ضعیف باشد تا افت جدی نداشته باشیم.

در ادامه برای حل مشکل این روش و با در نظر گرفتن استفاده از کمترین تعداد ترانزیستور ممکن برای طراحی بهینه قبل از خروجی Q از یک گیت انتقالی استفاده میکنیم تا مشکل نسبیتی شدن خروجی نیز برطرف شود. طبق قواعد طراحی ابعاد nmos ها رو در کوچکترین حالت ممکنه با قواعد انتخاب کرده و برای pmos ها ابعاد دو برابر ان ها را قرار میدهیم و طراحی ابتدایی را طبق این اعداد انجام می دهیم.

### بخش دوم: شماتیک مدار

شکل کلی مدار به صورت زیر می باشد:



در طراحی فوق تحلیل هم پوشانی کلاک ها به صورت زیر است:

(0و0) : در طبقه اول ترانزیستور Q2 روشن می شود و در طبقه دوم هم Q4 روشن می شود. حال اگر  $D=0$  باشد، خروجی طبقه اول یک می شود و این مقدار نمی تواند از طریق ترانزیستور Q3 که pmos است منتقل شود. پس تاثیری در مقدار خروجی نمی گذارد. اگر  $D=1$  باشد، از همان ابتدا از Q1 عبور نمی کند.

(1و1) : در طبقه اول ترانزیستور Q6 روشن می شود و در طبقه دوم هم Q8 روشن می شود. حال اگر  $D=1$  باشد، خروجی طبقه اول صفر می شود و این مقدار نمی تواند از طریق ترانزیستور Q9 که nmos است منتقل شود. پس تاثیری در مقدار خروجی نمی گذارد. اگر  $D=0$  باشد، از همان ابتدا از Q7 عبور نمی کند.

نوع ترانزیستور	W	L
nMOS	6	2
pMOS	12	2

ابعاد برحسب لاندا بیان شده و لاندا در اینجا برابر 0.1 میکرومتر است.

بخش سوم: تحلیل زمانی مدار

برای ساختم همپوشانی دو کلاک از سیگنال pwl استفاده میکنیم و مقدار کلاک وارون را نیم نانو ثانیه تاخیر میدهیم.

### Add a Pulse

Label name :

DC Supply | Clock | Pulse | Sinus | Variable | Ground | **PWL** | Math

Parameters

Level 0 (V):

Level 1 (V):

Insert sequence in table

Seq:

*x=3-state, r=random*  
*0=Vss, 1=Vdd, 2=HVdd,*

Time(ns)	0/1/2/x/r
0.000	0
5.000	1
10.000	0
15.000	1

### Add a Pulse

Label name :

DC Supply | Clock | Pulse | Sinus | Variable | Ground | **PWL** | Math

Parameters

Level 0 (V):

Level 1 (V):

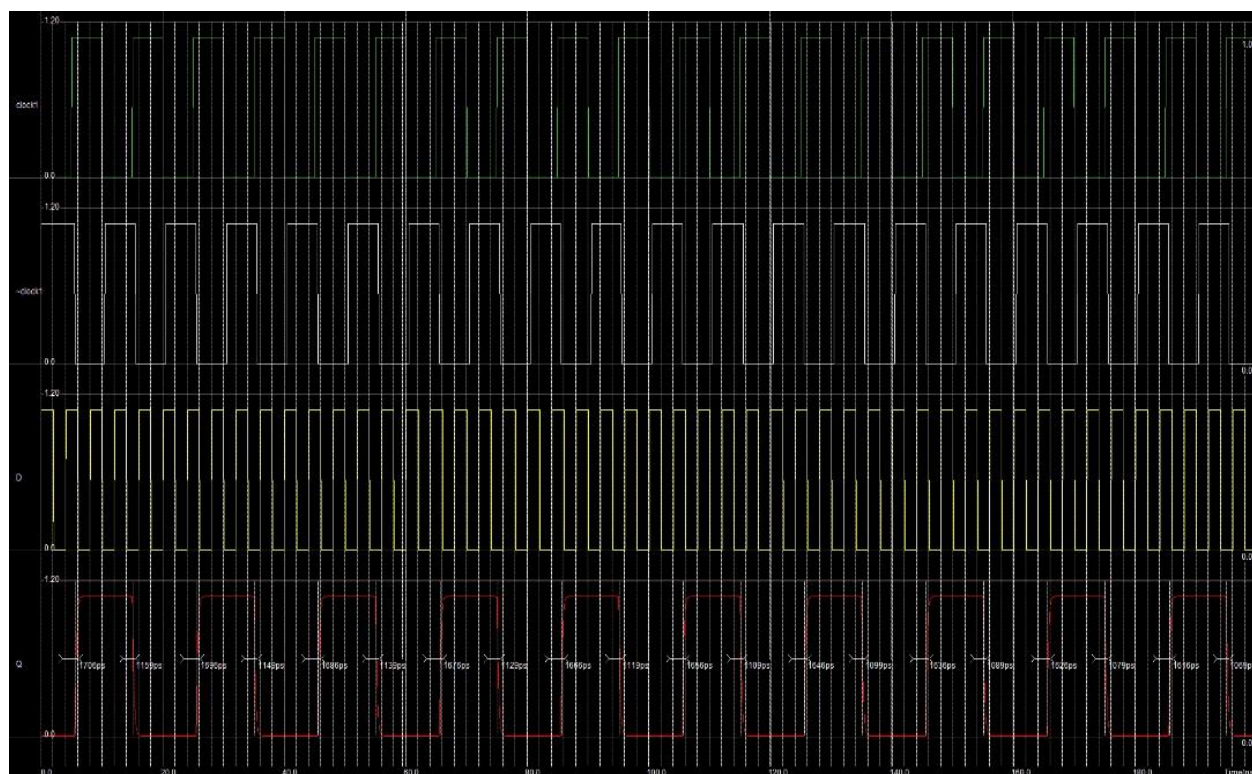
Insert sequence in table

Seq:

*x=3-state, r=random*  
*0=Vss, 1=Vdd, 2=HVdd,*

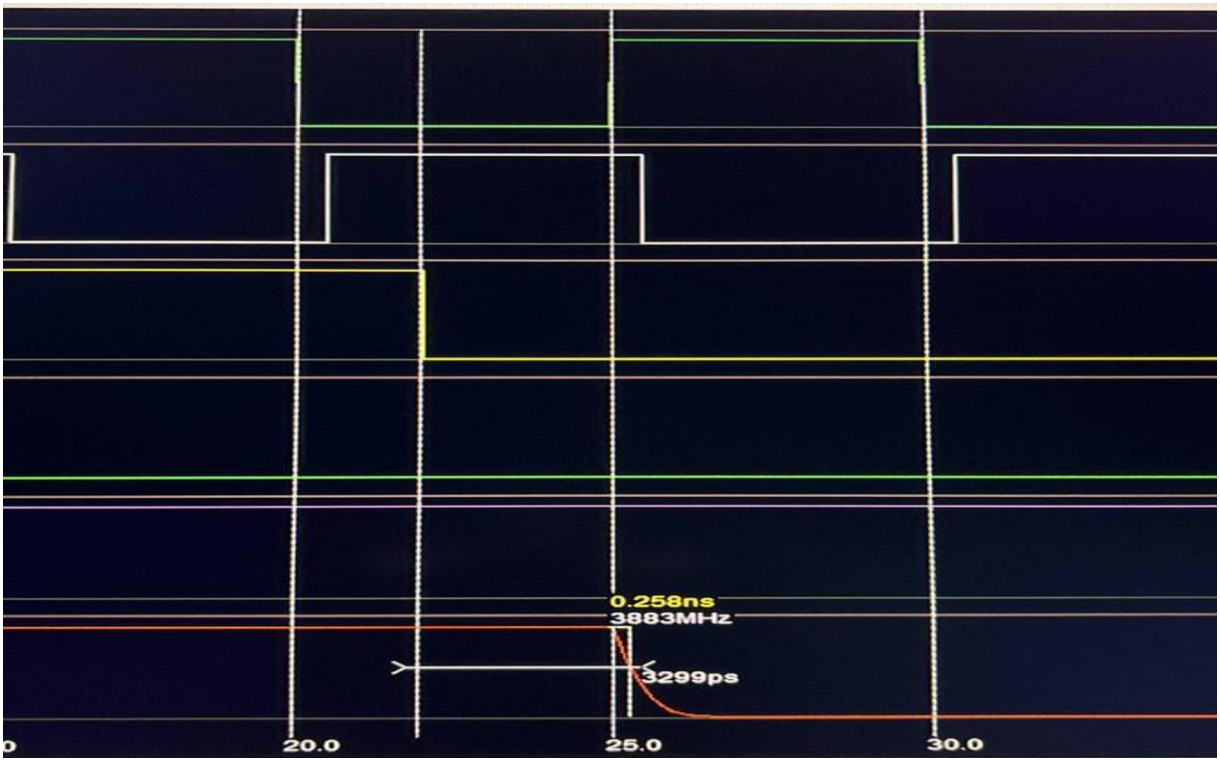
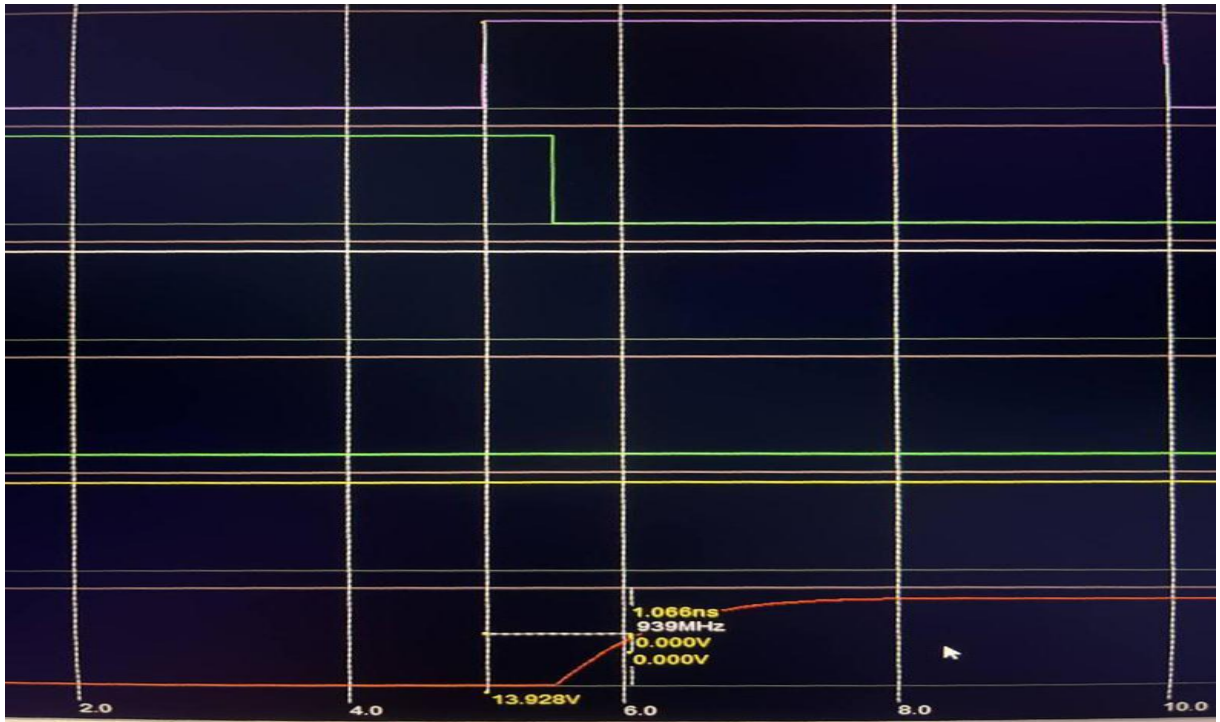
Time(ns)	0/1/2/x/r
0.000	1
5.500	0
10.500	1
15.500	0

سپس با تعریف موج D مدار را به شکل زیر شبیه سازی میکنیم:

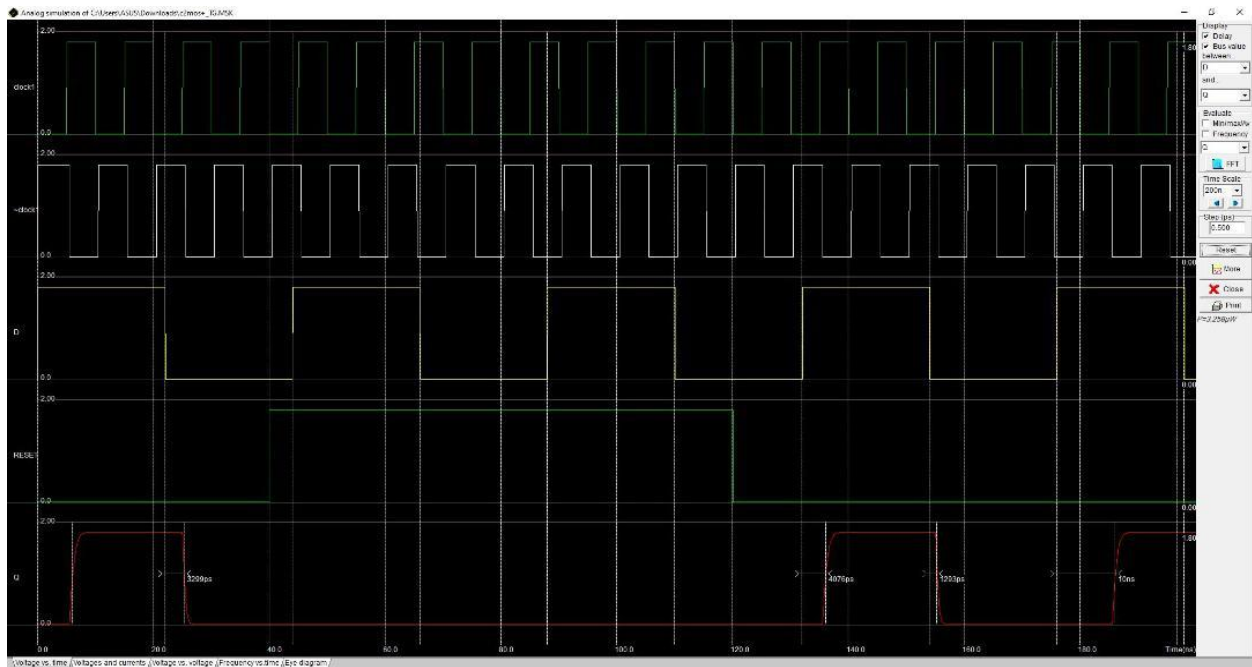


با توجه به نمودار فوق مشاهده می شود که هر بار که کلاک یک می شود، مدار از D نمونه برداری می کند. همان طور که در شکل مشاهده می شود مقدار tpd و tcd که مربوط به مقایسه ورودی و خروجی است به ترتیب 1.1 و 1.6 نانو ثانیه می شود. همچنین مقدار tpcq و tccq که در شکل های زیر مشاهده می شوند برابر 1.06 و 0.258 نانو ثانیه می باشد.



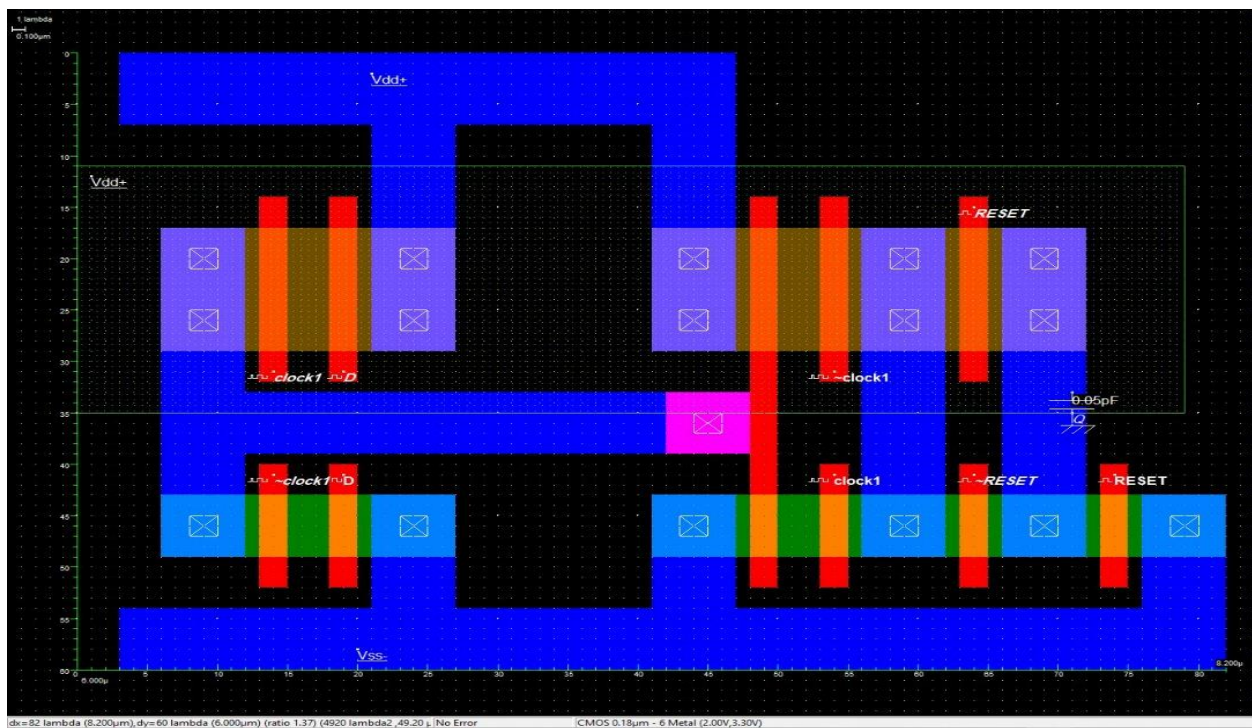


اکنون سیگنال ریست را به مدار می دهیم و می بینیم که در زمانی که ریست برابر یک است خروجی همواره صفر است.



به صورت تجربی دریافتیم که زمان آمادگی و ماندگاری به ترتیب برابر 1 و 1.5 نانو ثانیه است.

بخش چهارم: لی اوت





در پایین تصویر مشاهده می شود که drc خطایی نداده است و مساحت مدار نیز 5292 میکرو متر مربع است. عرض سلول مطابق نعیار خط کش 88.2 میکرومتر و طول آن 60 میکرو متر است.

طراحی در تکنولوژی 180 میکرو انجام شده است و مقدار ولتاژ تغذیه و ولتاژ های ورودی و کلاک نیز 1.8 ولت است. (با ولتاژ 3 هم امتحان شد و تفاوتی ایجاد نمیشد)

#### بخش پنجم: جمع بندی و نتیجه گیری

پارامتر	مقدار
تعداد ترانزیستور	11
مساحت	5292 میکرومتر مربع
توان	18.56 میکرووات
Tpd	1.1 نانو ثانیه
Tcd	1.6 نانو ثانیه
Tpcq	1.06 نانو ثانیه
Tccq	0.256 نانو ثانیه
Tsetup	1 نانو ثانیه
Thold	1.5 نانو ثانیه