

САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ
УНИВЕРСИТЕТ ИТМО

Дисциплина: Архитектура ЭВМ

Отчет

по домашней работе № 2

«Построение сложных логических схем»

Выполнила: Нечаева Анна Анатольевна

Номер ИСУ: 312298

студ. гр. М3235

Санкт-Петербург

2021

Цель работы: моделирование сложных логических схем.

Инструментарий и требования к работе: работа выполняется в logisim evolution.

Теоретическая часть

Для начала рассмотрим основные элементы, использующиеся для хранения информации. Триггеры – устройства, обладающие способностью находиться в одном из двух устойчивых состояний: логической единицы или логического нуля, и под воздействием входящих сигналов быстро изменять свое состояние. Отличительная черта триггеров – запоминание предыдущего состояния, то есть выходные сигналы зависят не только от текущих входных сигналов, но и от последовательности поступивших на входы сигналов в предыдущие моменты времени. Например, RS-триггер при подаче на оба входа сигнала «0» сохраняет состояние, в котором он находился до этого. Схема RS-триггера, дополненная синхронизацией, изображена на рисунке 1.

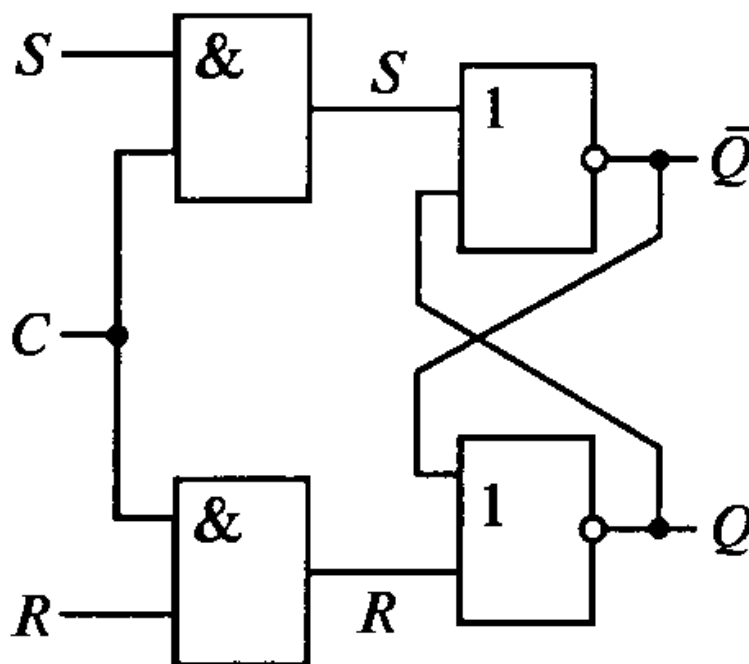


Рисунок 1 – Схема строения RS-триггера, дополненного синхронизацией

Недостаток RS-триггера – наличие запрещенного состояния. Перейдем к рассмотрению еще одного триггера – JK. В отличие от RS схема JK-триггера не имеет запрещенного состояния: при подаче двух единиц он превращается в счетный триггер. Таблица истинности JK-триггера (см. таблицу 1) аналогична RS-триггеру, но при подаче «1» и «1» на входы вместо запрещенного состояния он переходит в счетный режим – меняет свое состояние на противоположное. JK-триггер также считается универсальным триггером, потому что на основе него можно реализовать любой другой. Основная область применения – создание на их основе цифровых счетчиков.

Таблица 1 – Таблица состояний синхронного JK-триггера

| Управляющие сигналы | | | Состояние выходов | | Режим работы |
|---------------------|---|---|-------------------|----------------------|--|
| С | J | K | Q | \overline{Q} | |
| 0 | 0 | 0 | Q_{i-1} | $\overline{Q_{i-1}}$ | Сохранение предыдущего вычисленного значения |
| 0 | 0 | 1 | | | |
| 0 | 1 | 0 | | | |
| 0 | 1 | 1 | | | |
| 1 | 0 | 0 | | | |
| 1 | 0 | 1 | 0 | 1 | Сброс триггера |
| 1 | 1 | 0 | 1 | 0 | Установка триггера |
| 1 | 1 | 1 | \overline{Q} | Q | Счетный режим |

Счетчик – это последовательностная схема, преобразующая поступающие на вход импульсы в код Q, пропорциональный их количеству (здесь и далее будем говорить о суммирующем счетчике). Счетчики делятся на асинхронные и синхронные. В первом случае триггеры переключаются последовательно от разряда к разряду, во втором -

Пусть M – модуль счета, $SUM(C)$ – число импульсов, поступивших на вход в процессе счета, D – начальное значение в счетчике. Тогда справедлива формула 1 – значение кодового слова в зависимости от поступивших данных.

Сумматор – схема, выполняющее арифметическое сложение кодов двух чисел. Пример сумматора изображен на рисунке 2.



The diagram illustrates a 2-bit adder logic. It starts with three inputs: a , b , and z_i (zero input). The first stage takes a and b as inputs to a block labeled $=1$. The output of this block is connected to a second $=1$ block, which also takes z_i as an input. The output of the second $=1$ block is labeled $data$. Additionally, the output of the first $=1$ block is connected to an $\&$ (AND) block, which also takes z_i as an input. The output of this $\&$ block is connected to a third $\&$ block, which also takes z_i as an input. The output of the third $\&$ block is connected to a ≥ 1 block, which also takes z_i as an input. The output of the ≥ 1 block is labeled z_0 .

Рисунок 3 – Схема одноразрядного «вычитателя»

Компаратор – устройство для сравнения кодов двух логических слов, обычно с тремя выходами, соответствующими результату сравнения: например, на верхний выход подается единица, когда первое слово меньше второго, на средний – когда входные выражения равны, а истинное значение на нижнем выходе означает, что первое слово больше второго. Пример схемы изображен на рисунке 4.

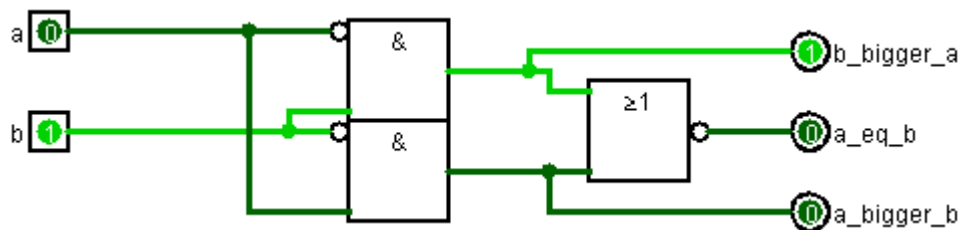


Рисунок 4 – Схема одноразрядного компаратора

Практическая часть

Вариант 62. Асинхронный суммирующий счетчик с последовательным переносом, модуль счета 10.

В нашем случае необходимо 4 триггера, так как $2^3 < 10 < 2^4$. Как было сказано раньше, JK-триггер способен переходить в счетный режим и его основной областью применения является создание цифровых счетчиков, поэтому в рамках данной работы счетчик также реализован на основе набора JK-триггеров, дополненных синхронизацией и специальным входом “before_start”, предназначенным для инициализации изначально необъявленных участков схемы (см. рисунок 5).

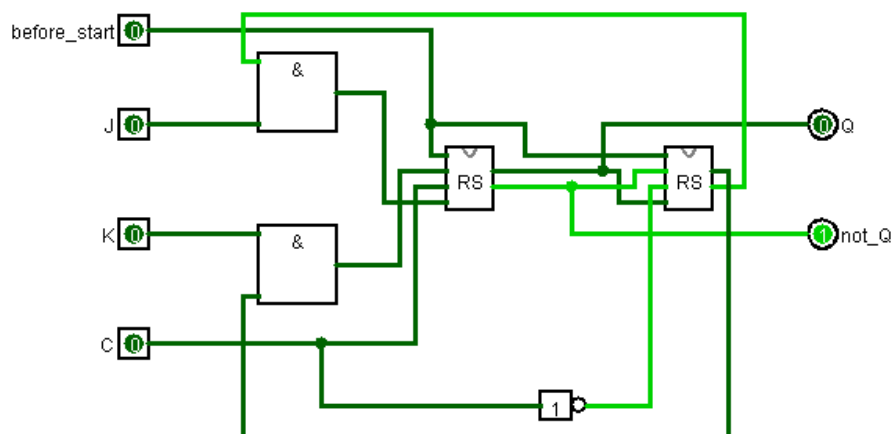


Рисунок 5 – Схема JK-триггера, используемого для построения счетчика
Наш JK-триггер реализован на основе подсхемы также построенного в Logisim RS-триггера (см. рисунок 6).

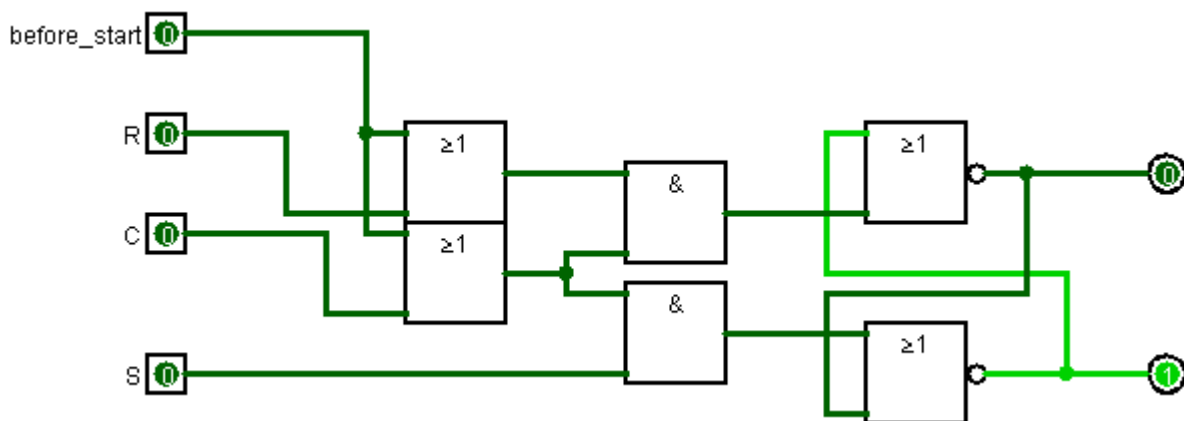


Рисунок 6 – Схема используемого в работе RS-триггера

В начале работы необходимо один раз нажать на кнопку “before_start” для инициализации соответствующих участков схемы. На вход счетчика подаются сигналы с помощью тактовых генераторов, для каждого из которых установлена определенная продолжительность нуля и единицы (эти значения отражены в метках тактовых генераторов). Для тактового генератора «x1_1», соответствующего синхронизации счетчика, выбраны одинаковые значения продолжительности «0» и «1», равные 1-му такту. Для тактовых генераторов «x1_60» и «x1_60», подающих сигналы на входы J и K триггеров, выбрана такая продолжительность «1», чтобы во время одного цикла счета (от 0 до 10) на триггерах поддерживался счетный режим, далее в момент «обнуления» счетчика и подачи сигнала «reset» на все триггеры, на J и K подаются нули.

В качестве выходных элементов используются светодиоды (см. рисунок 7), расположенные так, что «горящие» светодиоды соответствуют единицам в двоичном представлении числа сигналов, поступивших на вход счетчика с момента его запуска, и взятого по модулю 10.

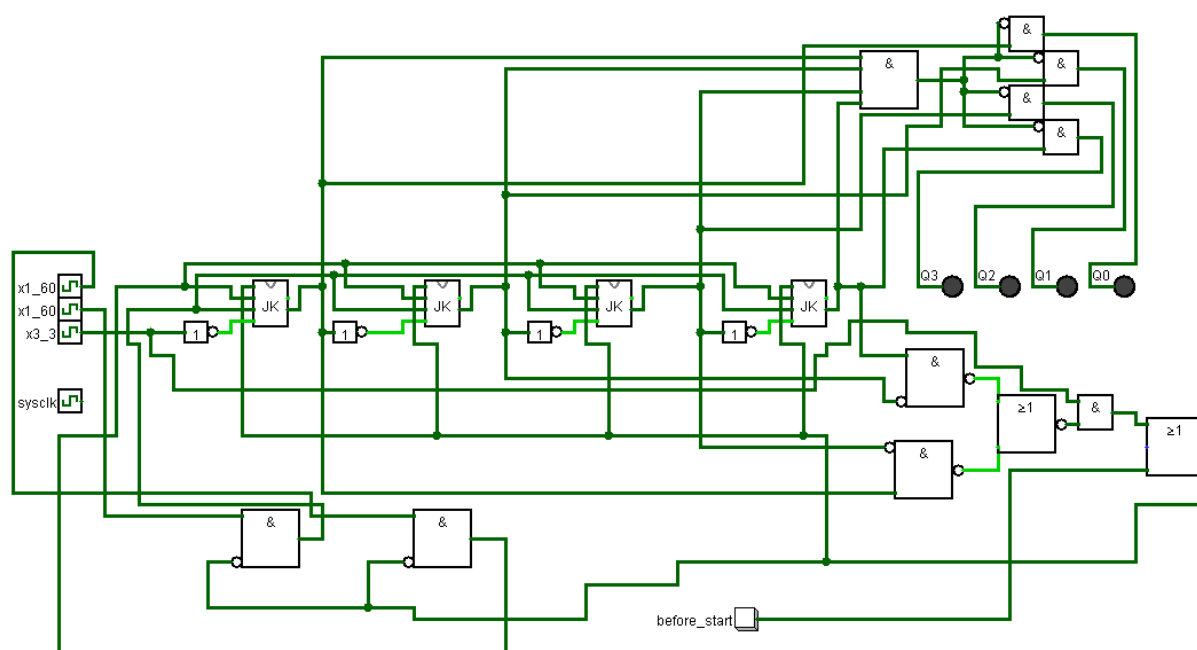


Рисунок 7 – Схема счетчика

Для обеспечения «обнуления» триггеров счетчика при поступлении каждого 10-го сигнала справа на схеме счетчика добавлена конструкция, подающая «1» на вход «before_start» каждого триггера.

Временная диаграмма для построенного счетчика изображена на рисунке 8, также более «удобный» вариант – на рисунке 9. Сигнал под именем «x3_3» соответствует синхронизации счетчика, «x1_60» - сигналы, подаваемые на входы J и K триггеров. Выход «Qi» соответствует значению i-го разряда выводимого числа. Нюанс, после включения подсчет сигналов начинается со второго, так как во время первого происходит перевод триггеров в счетный режим, далее отображаемые значения счетчика корректны.

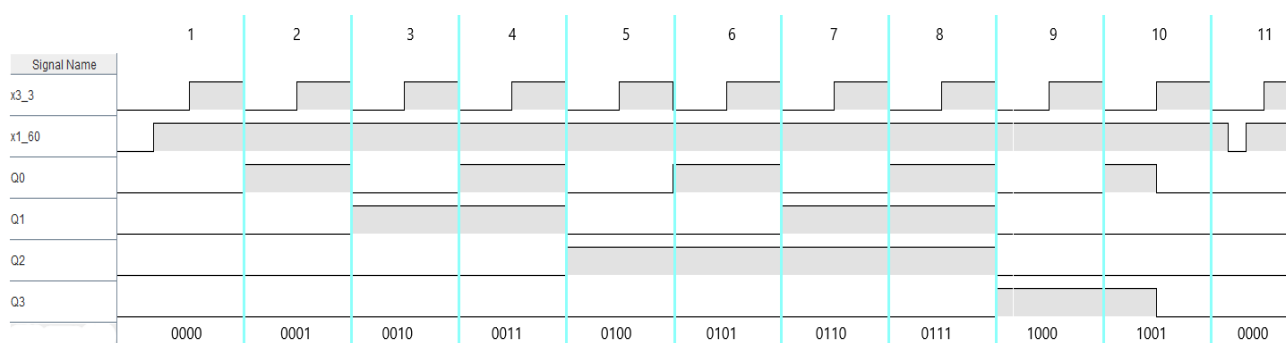


Рисунок 8 – временная диаграмма (вариант 1) асинхронного суммирующего счетчика по модулю 10

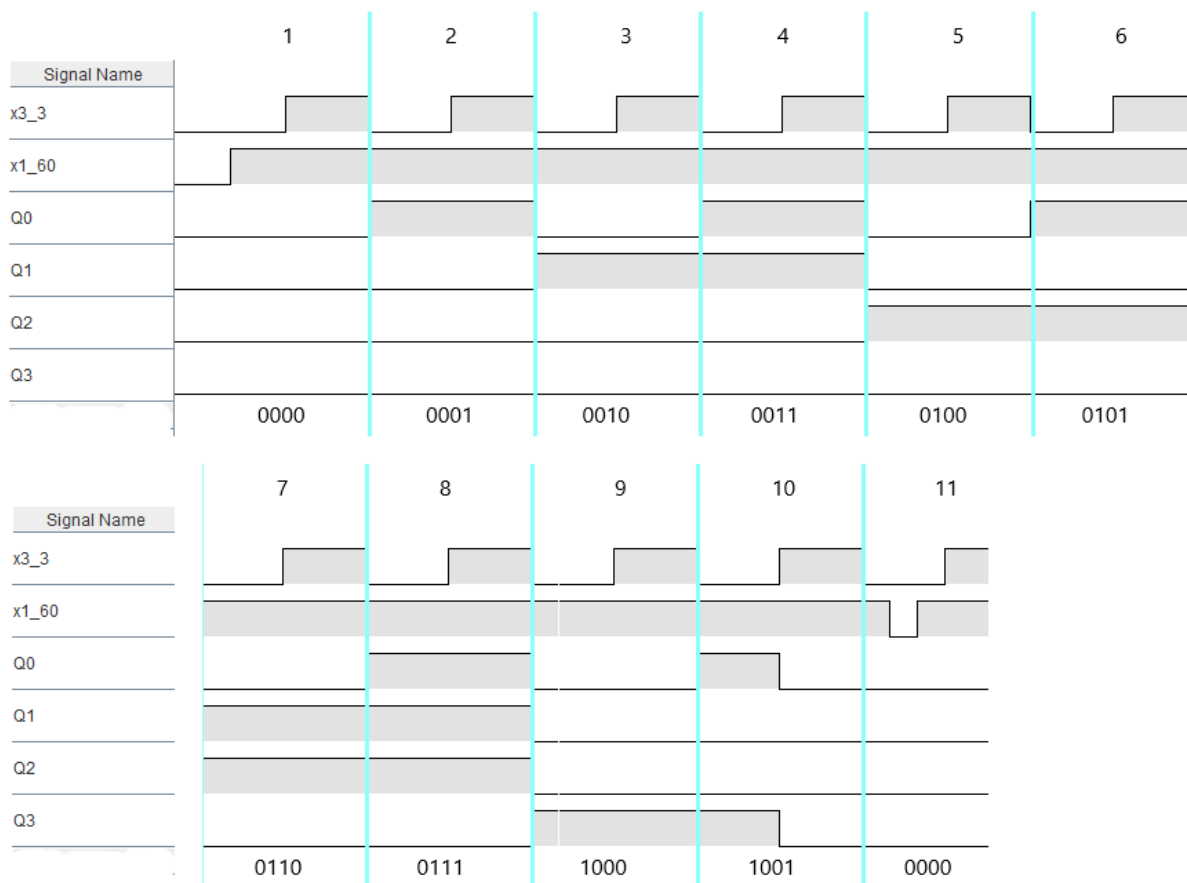


Рисунок 9 – временная диаграмма (вариант 2)

Схема взятия квадратного корня из 8-битного беззнакового числа, округление к 0.

За основу взят классический алгоритм извлечения квадратного корня «в столбик», в нем используются такие действия, как сравнение и вычитание, значит для построения схемы нам необходимы компараторы и «вычитатели» различной разрядности. Пример одnorазрядного «вычитателя» приведен в теоретической части отчета, на рисунке 10 изображена схема 8-ми разрядного «вычитателя», который используется в схеме для вычисления квадратного корня.

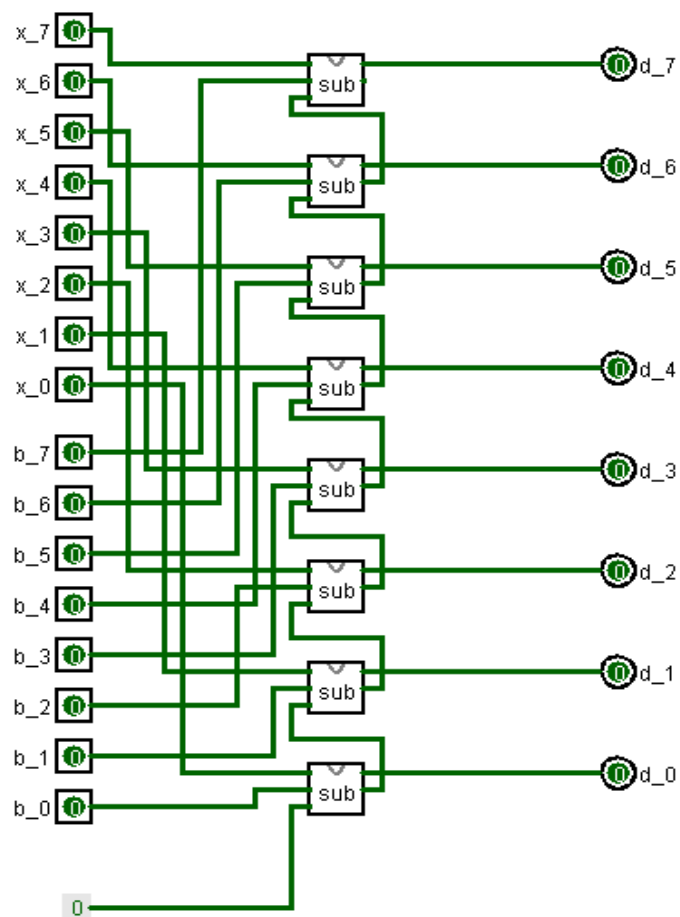


Рисунок 10 – Устройство для вычитания 8-ми разрядных двоичных чисел

На основе 1-разрядного компаратора, также описанного в первой части работы, были построены схемы для сравнения чисел большей разрядности, пример применения можно увидеть на рисунке 11.

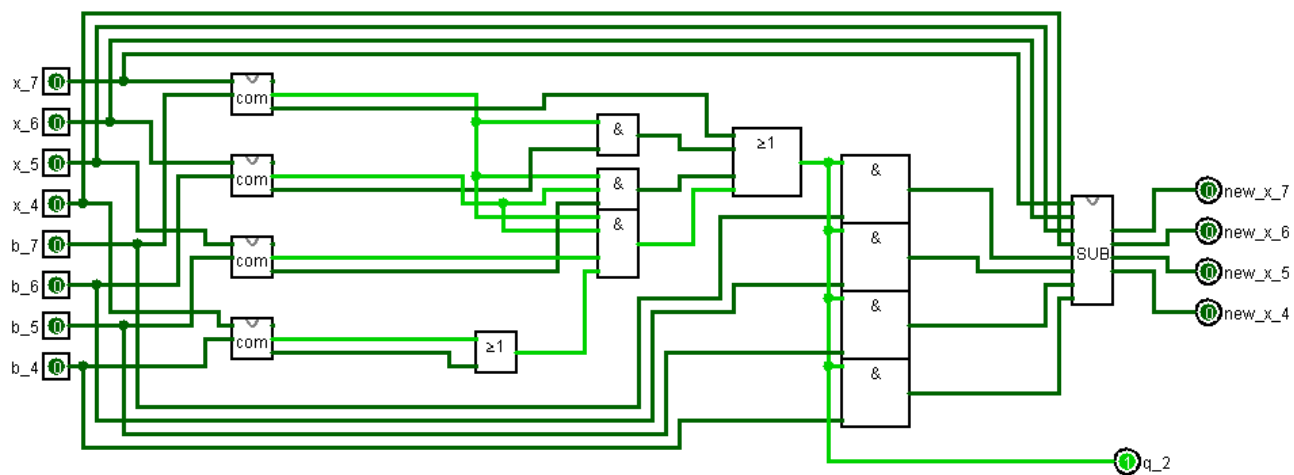


Рисунок 11 – Схема для нахождения второй цифры (считая справа налево) в вычисляемом значении корня

Пояснение к рисунку 11: здесь на вход подаются вычисленные на первом шаге алгоритма значения 7-го и 6-го бита числа, из которого извлекается корень, а также значения следующей пары разрядов: 5-го и 4-го, - они обозначены, как «x_i», на входы «b_i» передают максимальное значение вычитаемого на этом шаге числа (на шаге поиска $x : 10x * x$, сначала по умолчанию считаем, что $x = 1$), далее для каждого разряда происходит сравнение для того, чтобы проверить, что вычитаемое не больше уменьшаемого, если данное условие выполняется, то на выход «q_2» передается единица, иначе ноль, далее с помощью вычитателя соответствующей разрядности («SUB») получаем новые значения рассматриваемых разрядов, которые передаем на подобную описываемой схему разрядности 6, где повторяем аналогичные действия для нахождения значения «q_1». Описываемые выше устройства различной разрядности изображены на общей схеме (см. рисунок 12) и обозначены, как «com».

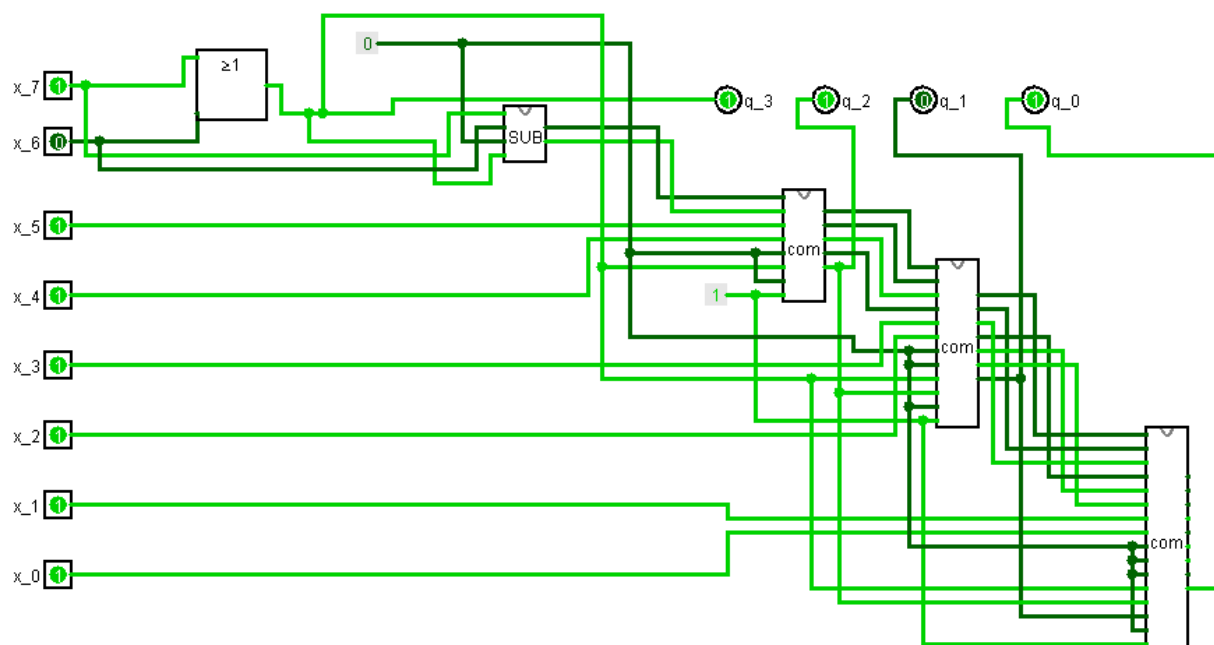


Рисунок 12 – Общая схема извлечения корня