

## 1. 개요

Lab6\_1에서는 JK Flip-Flop을 이용해 Synchronous decade BCD counter를 구현한다. Lab6\_2에서는 JK Flip-Flop을 이용해 두 자릿수 Decade BCD counter를 구현한다. Lab6\_3에서는 Lab6\_ff에서 구현한 D Flip-Flop을 이용해 3 6 9 계수기를 구현한다.

## 2. 이론적 배경

### 2.1. D Flip-Flop

D Flip-Flop은 D의 입력이 곧 Q의 출력과 같아지도록 작동하는 Flip-Flop으로, 주로 값을 저장하는 Register에 많이 사용된다.

### 2.2. 계수기 (Counter)

계수기는 클럭 신호에 따라 주어진 패턴의 숫자를 출력하는 회로로, 계수기를 구성하는 Flip-Flop의 입력을 조합하는 방법에 따라 패턴을 정할 수 있다.

### 2.3. 동기 계수기 (Synchronous Counter)

동기 계수기는 모든 Ripple counter와 다르게, counter를 구성하는 모든 Flip-Flop에 동일한 클럭 신호가 입력되어 Flip-Flop의 출력이 모두 동기화 되어있다. Ripple Counter와 비해 회로는 복잡하나, 출력 속도는 빠르다.

### 2.4. 십진 계수기 (Decade Counter)

십진 계수기는 계수기의 일종으로, 십진수를 0부터 순차적으로 세는 회로이다. 자릿수가 여러 자리인 경우 0부터  $10^{(\text{자릿수})} - 1$ 까지 순차적으로 센다.

### 2.5. 상태 전이도 및 전이표(State Diagram and State Table)

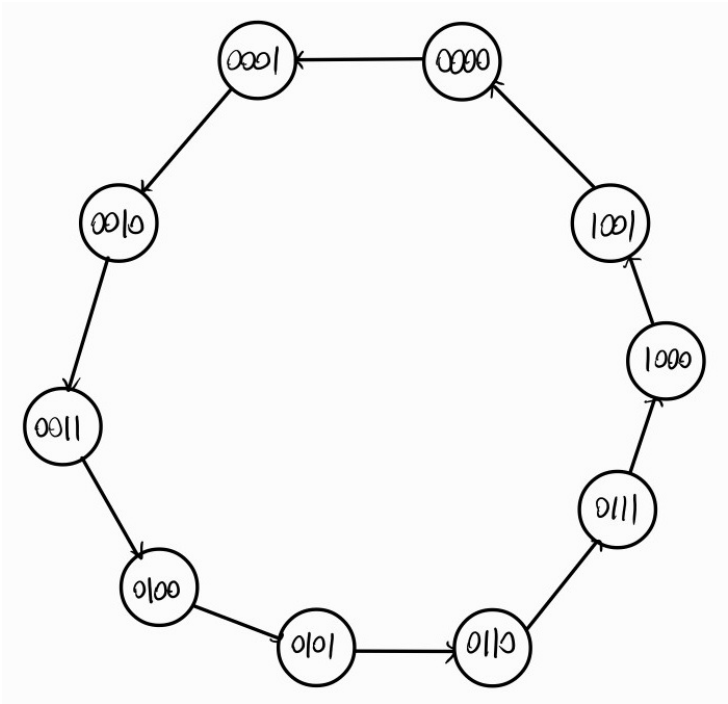
상태 전이도는 순차회로의 상태 변화를 상태와 화살표로 나타낸 그림이다. 상태 전이표는 순차회로의 상태와 다음 상태를 매핑시킨 표이다. 현 상태에서 다음 상태로 넘어가기 위해 필요한 입력 또한 표에 기입하기도 한다.

## 3. 실험 준비

### 3.1. Lab6\_1

[그림 1]은 Synchronous decade BCD counter의 State Diagram이다.

[그림 1] State Diagram of Synchronous decade BCD counter



[표 1]은 Synchronous decade BCD counter의 State transition table이다.

[표 1] State transition table of Synchronous decade BCD counter

$ABCD$	$A^+B^+C^+D^+$	$J_AK_A$	$J_BK_B$	$J_CK_C$	$J_DK_D$
0000	0001	0X	0X	0X	1X
0001	0010	0X	0X	1X	X1
0010	0011	0X	0X	X0	1X
0011	0100	0X	1X	X1	X1
0100	0101	0X	X0	0X	1X
0101	0110	0X	X0	1X	X1
0110	0111	0X	X0	X0	1X
0111	1000	1X	X1	X1	X1
1000	1001	X0	0X	0X	1X
1001	0000	X1	0X	0X	X1

[표 2]는 JK Flip-Flop의 Excitation table이다.

[표 2] Excitation table of JK Flip-Flop

$QQ^+$	$JK$
00	0X

01	1X
10	X1
11	X0

[그림 2]은  $J_A$  의 K-Map이다.

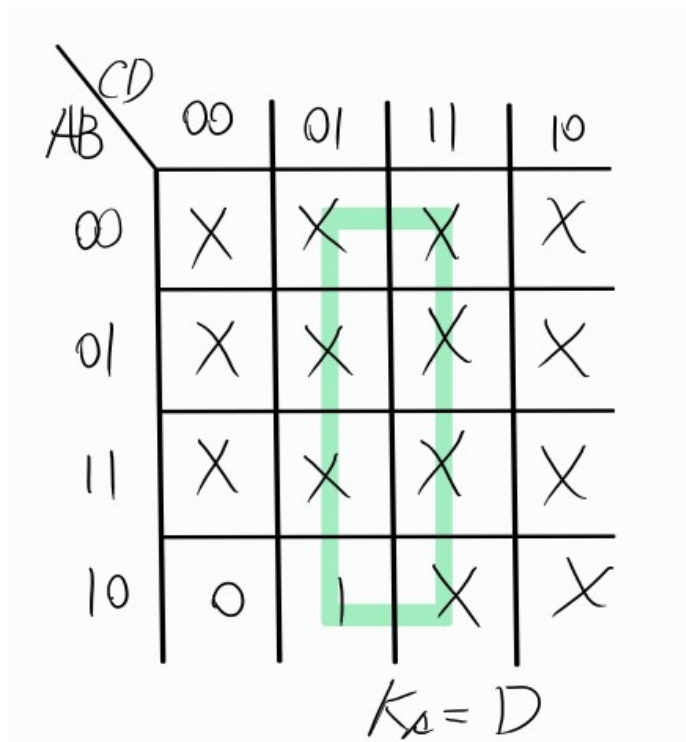
[그림 2] K-Map of  $J_A$

AB \ CD	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$J_A = BCD$

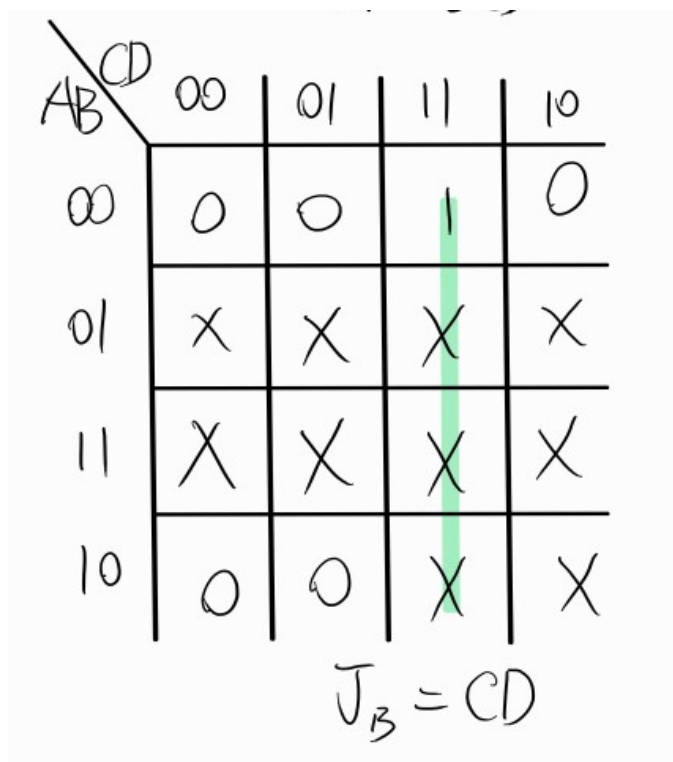
[그림 3]은  $K_A$  의 K-Map이다.

[그림 3] K-Map of  $K_A$



[그림 4]은  $J_B$ 의 K-Map이다.

[그림 4] K-Map of  $J_B$



[그림 5]은  $K_B$  의 K-Map이다.

[그림 5] K-Map of  $K_B$

AB \ CD	CD			
	00	01	11	10
00	X	X	X	X
01	0	0	1	0
11	X	X	X	X
10	X	X	X	X

$K_B = CD$

[그림 6]은  $J_C$  의 K-Map이다.

[그림 6] K-Map of  $J_C$

AB \ CD	CD			
	00	01	11	10
00	0	1	X	X
01	0	1	X	X
11	X	X	X	X
10	0	0	X	X

$J_C = A'D$

[그림 7]은  $K_C$  의 K-Map이다.

[그림 7] K-Map of  $K_C$

AB \ CD	00	01	11	10
00	X	X	1	0
01	X	X	1	0
11	X	X	X	X
10	X	X	X	X

$K_C = D$

[그림 8]은  $J_C$  의 K-Map이다.

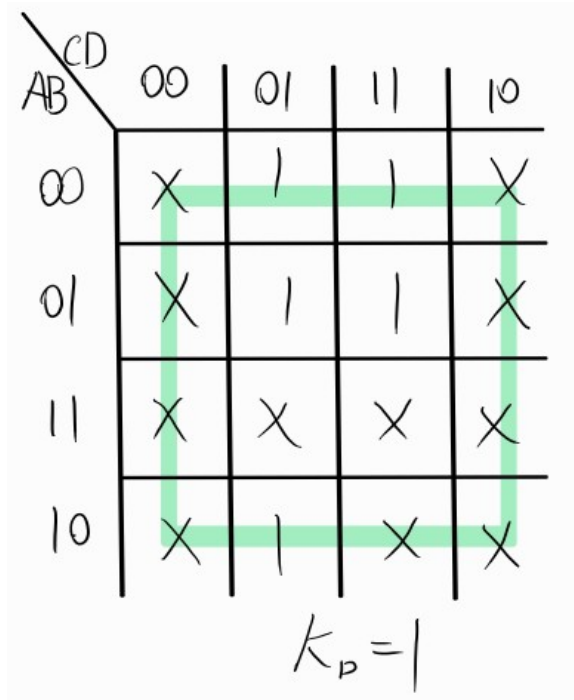
[그림 8] K-Map of  $J_D$

AB \ CD	00	01	11	10
00	1	X	X	1
01	1	X	X	1
11	X	X	X	X
10	1	X	X	X

$\bar{J}_D = 1$

[그림 9]은  $K_D$ 의 K-Map이다.

[그림 9] K-Map of  $K_D$



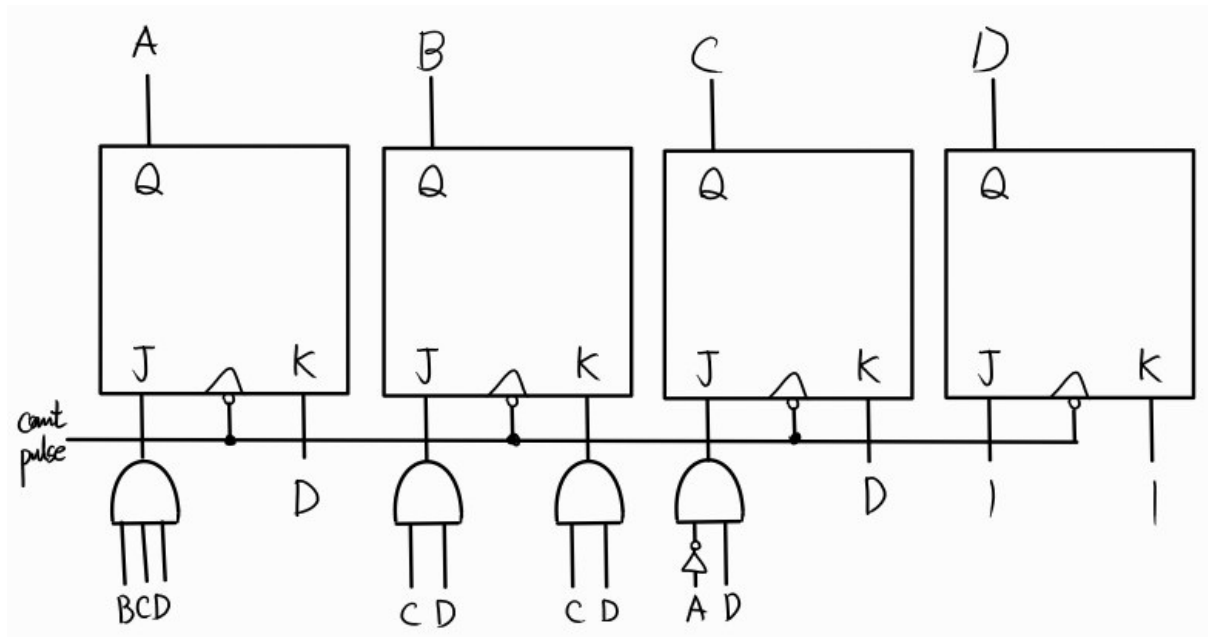
[표 3]은 JK Flip-Flop의 입력을 Simplification한 결과이다.

[표 3] Simplified Expression of input of JK Flip-Flop

$J_A = BCD$
$K_A = D$
$J_B = CD$
$K_B = CD$
$J_C = AD$
$K_C = D$
$J_D = 1$
$K_D = 1$

[그림 10]은 Synchronous Decade BCD Counter의 회로이다

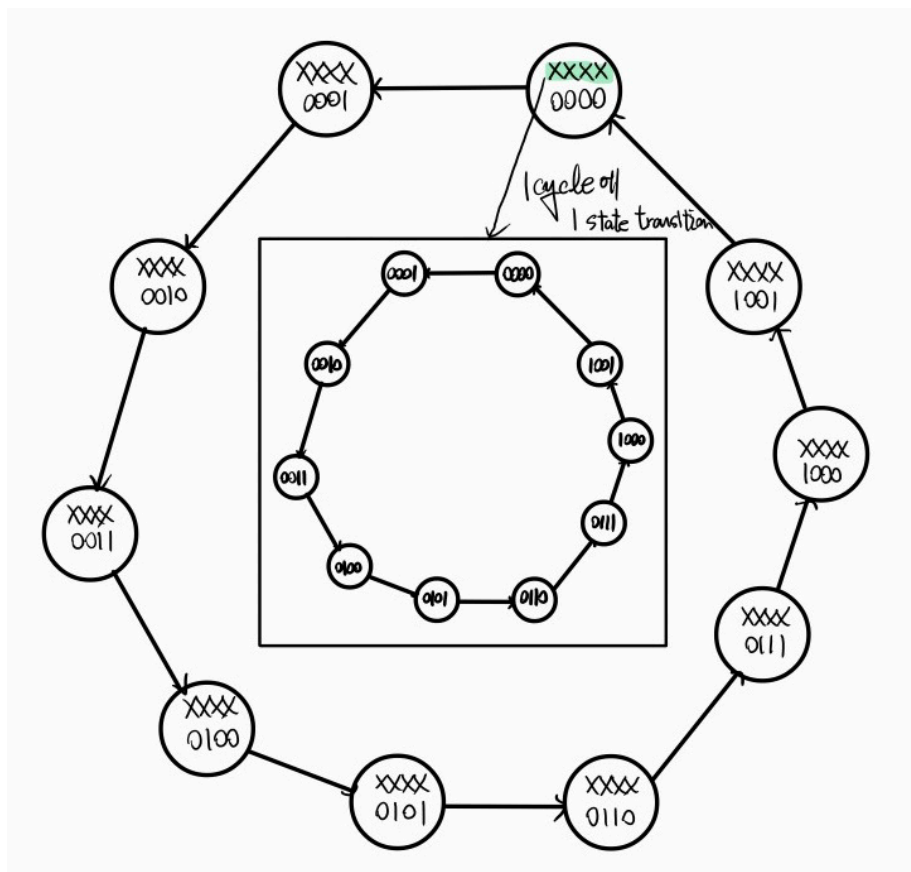
[그림 10] Circuit of Synchronous Decade BCD Counter



3.2. Lab6\_2

[그림 11]은 두 자릿수 Decade counter의 State diagram이다.

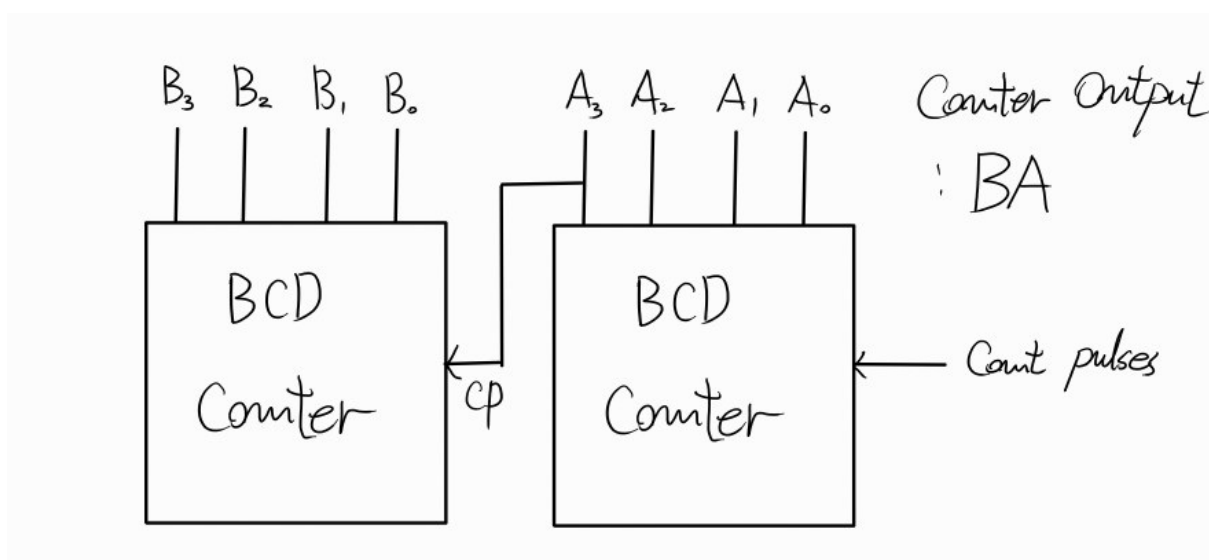
[그림 11] State Diagram of 2 digit BCD counter





[그림 12]는 Lab6\_1의 BCD counter를 이용한 두 자릿수 BCD counter이다.

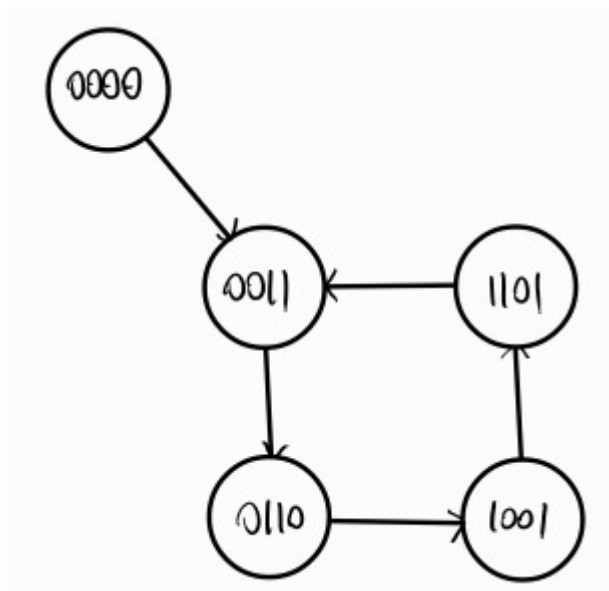
[그림 12] Circuit of 2 digit BCD counter



### 3.3. Lab6\_3

[그림 13]은 3, 6, 9 계수기의 State diagram이다.

[그림 13] State diagram of 3 6 9 counter



[표 4]는 3, 6, 9 계수기의 State transition table이다.

[표 4] State transition table of 3, 6, 9 counter

$ABCD$	$A^+B^+C^+D^+$	$D_A$	$D_B$	$D_C$	$D_D$
0000	0011	0	0	1	1
0001	----	X	X	X	X

0010	----	X	X	X	X
0011	0110	0	1	1	0
0100	----	X	X	X	X
0101	----	X	X	X	X
0110	1001	1	0	0	1
0111	----	X	X	X	X
1000	----	X	X	X	X
1001	1101	1	1	0	1
1010	----	X	X	X	X
1011	----	X	X	X	X
1100	----	X	X	X	X
1101	0110	0	1	1	0
1110	----	X	X	X	X
1111	----	X	X	X	X

[그림 14]는  $D_A$  의 K-Map이다.

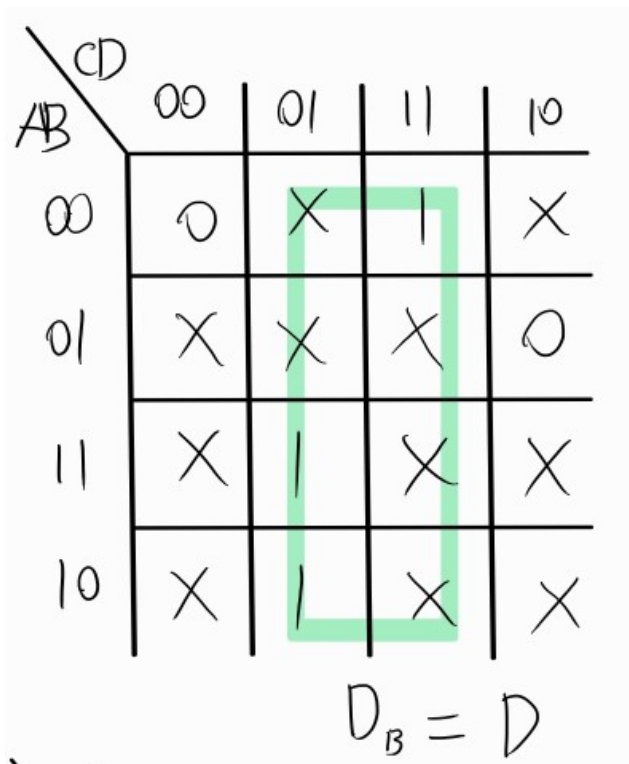
[그림 14] K-Map of  $D_A$

AB \ CD	CD			
	00	01	11	10
00	0	X	0	X
01	X	X	X	1
11	X	0	X	X
10	X	1	X	X

$D_A = AB' + CD'$

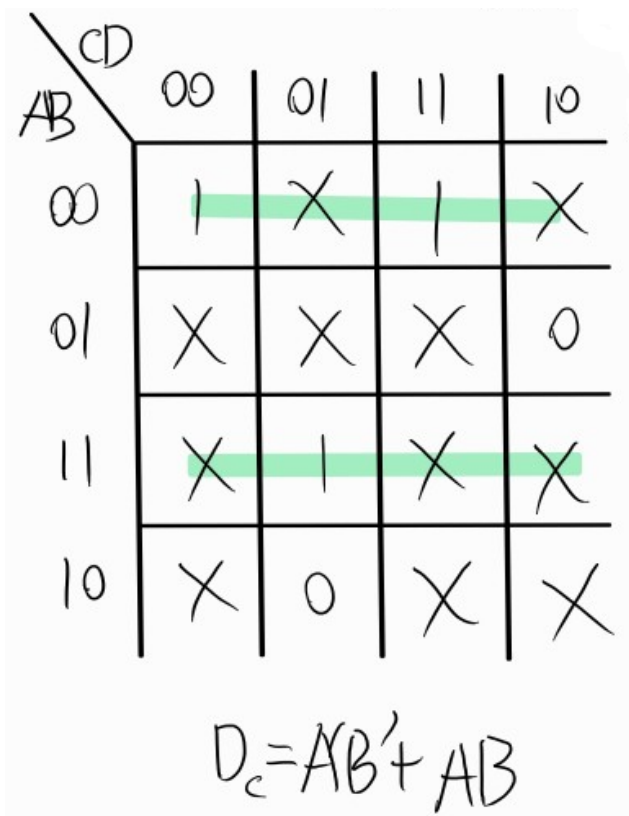
[그림 15]는  $D_B$  의 K-Map이다.

[그림 15] K-Map of D<sub>B</sub>



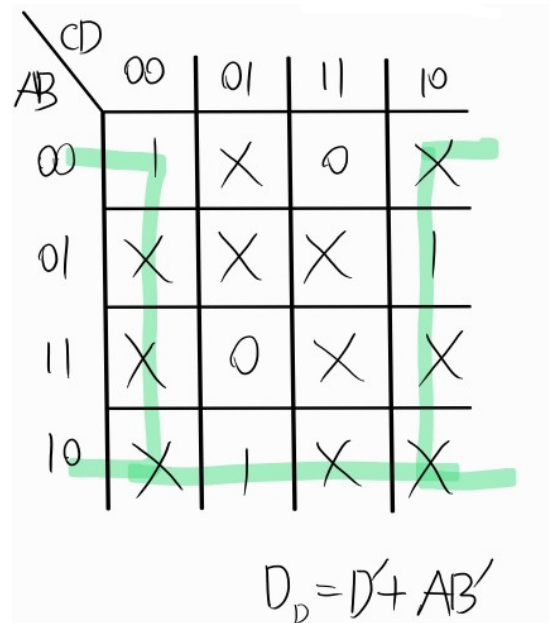
[그림 16]는 D<sub>C</sub>의 K-Map이다.

[그림 16] K-Map of D<sub>C</sub>



[그림 17]은  $D_D$  의 K-Map이다.

[그림 17] K-Map of  $D_D$



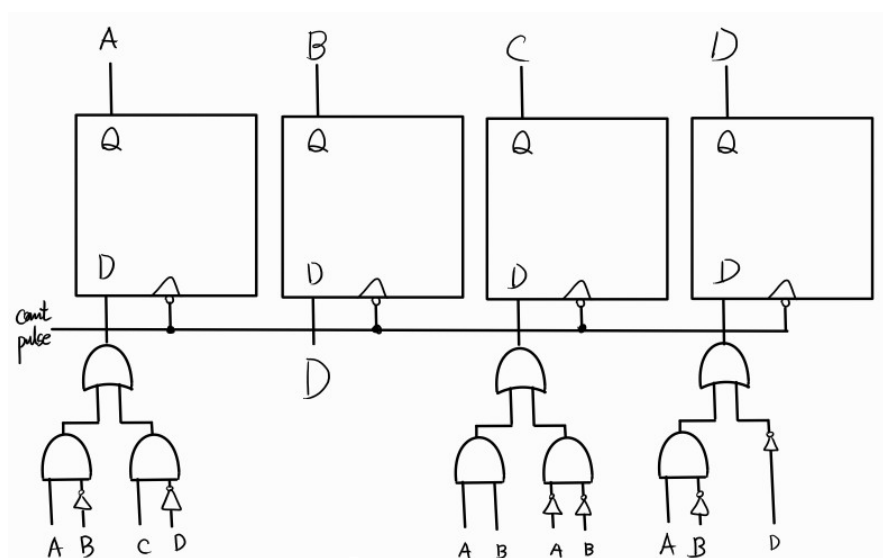
[표 5]은 D Flip-Flop의 입력을 Simplification한 결과이다.

[표 5] Simplified expression of input of D Flip-Flop

$D_A = AB' + CD'$
$D_A = D$
$D_B = AB + AB'$
$D_B = D' + AB'$

[그림 18]은 3 6 9 counter의 회로도다.

[그림 18] Circuit of 369 counter

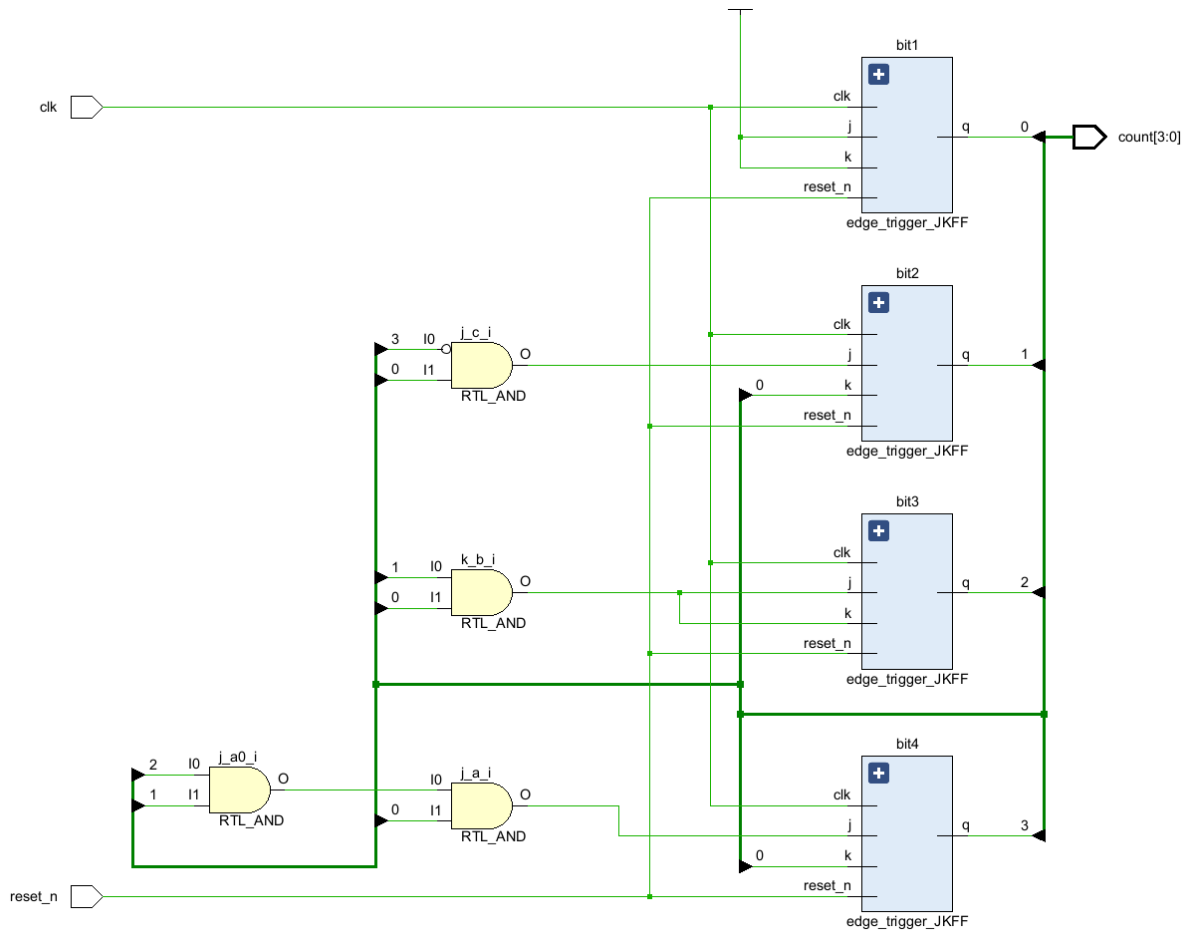


## 4. 결과

### 4.1. Lab6\_1

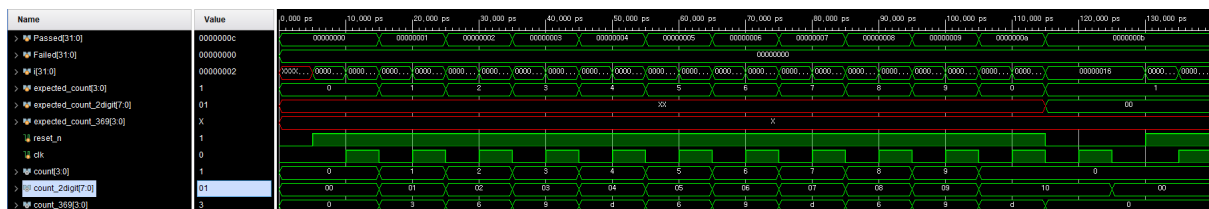
[그림 19]은 Synchronous decade BCD counter의 Schematic이다.

[그림 19] Schematic of Synchronous decade BCD counter



[그림 20]은 Synchronous decade BCD counter의 Simulation이다.

[그림 20] Simulation of Synchronous decade BCD counter

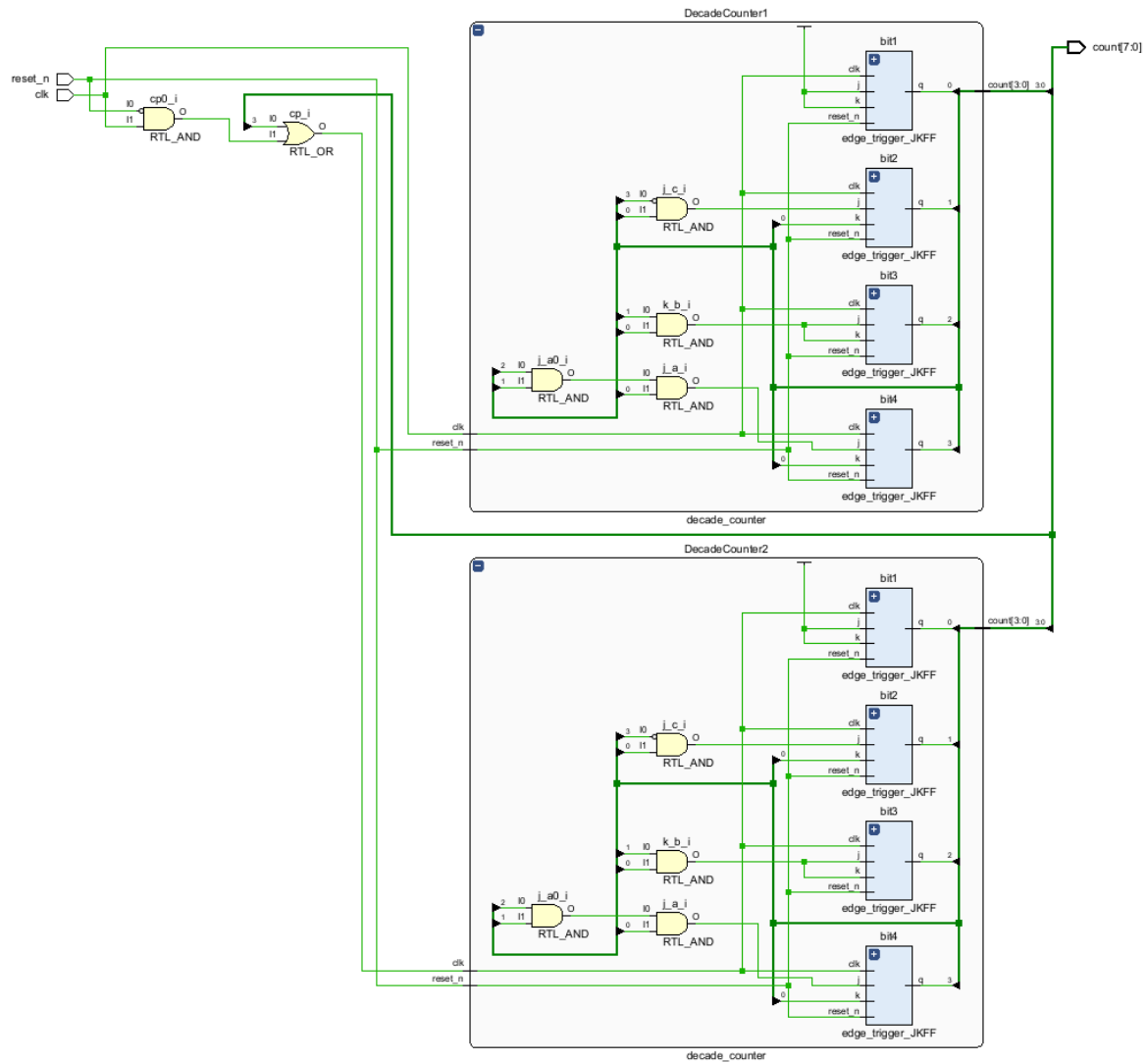


시뮬레이션 결과 총 0, 1, 2 ..., 9, 0이 되도록 count pulse를 counter에게 입력했고, Passed가 총 11번 증가했으므로 구현이 제대로 되었음을 알 수 있다.

### 4.2. Lab6\_2

[그림 21]는 두 자릿수 BCD counter의 Schematic이다.

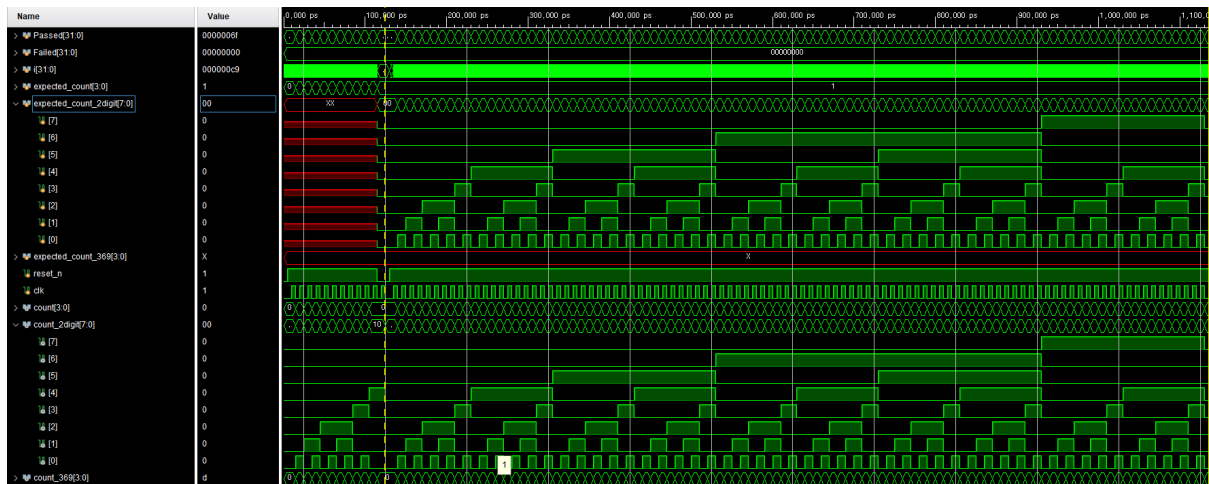
[그림 21] Schematic of 2 digit BCD counter



DecadeCounter2도 reset 시키기 위해서는, `reset_n`이 0일 때 DecadeCounter2에 CLK가 입력되어야 하므로 회로에 `~reset_n & clk` 회로를 추가했다.

[그림 22]는 두 자릿수 BCD counter의 Simulation 결과이다.

[그림 22] Simulation of 2 digit BCD counter

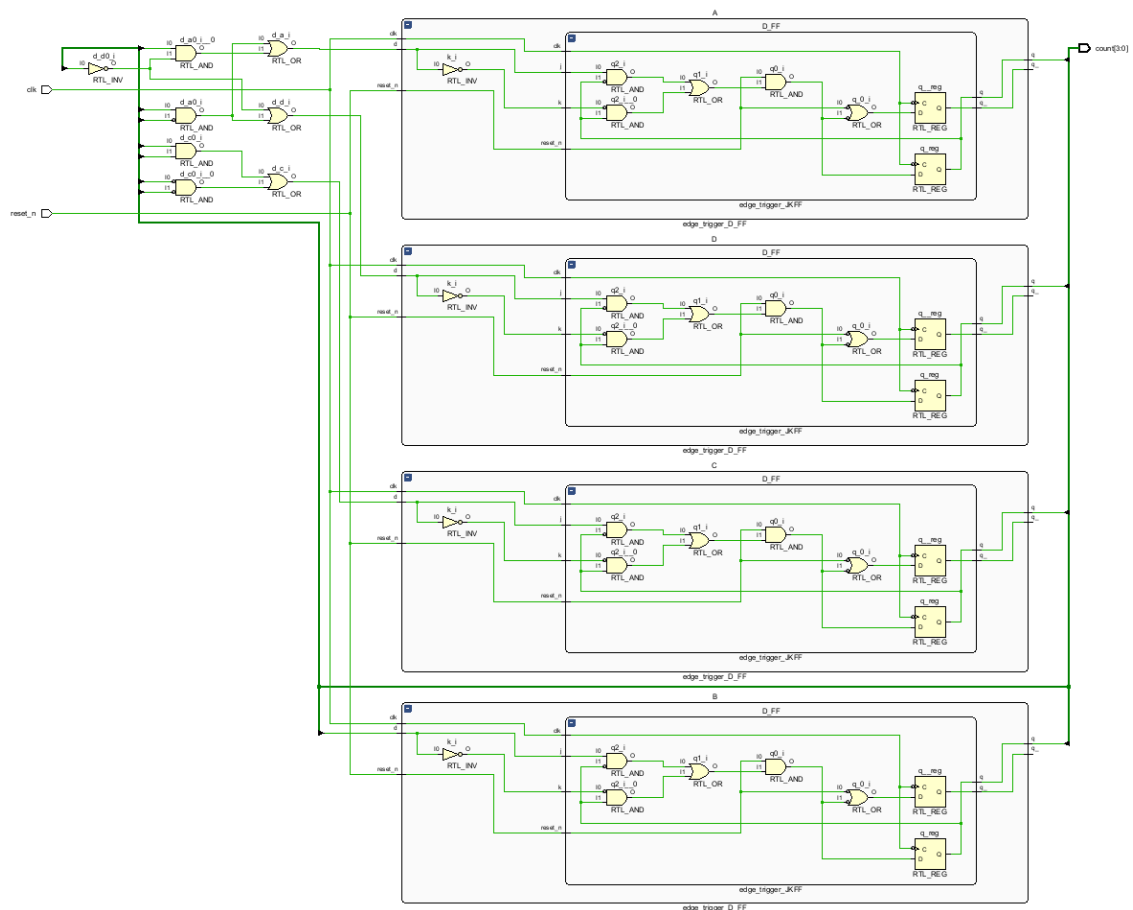


시뮬레이션 결과 총 0, 1, 2 ..., 99, 0이 되도록 count pulse를 counter에게 입력했고, Passed가 총 101번 증가했으므로 구현이 제대로 되었음을 알 수 있다.

#### 4.3. Lab6\_3

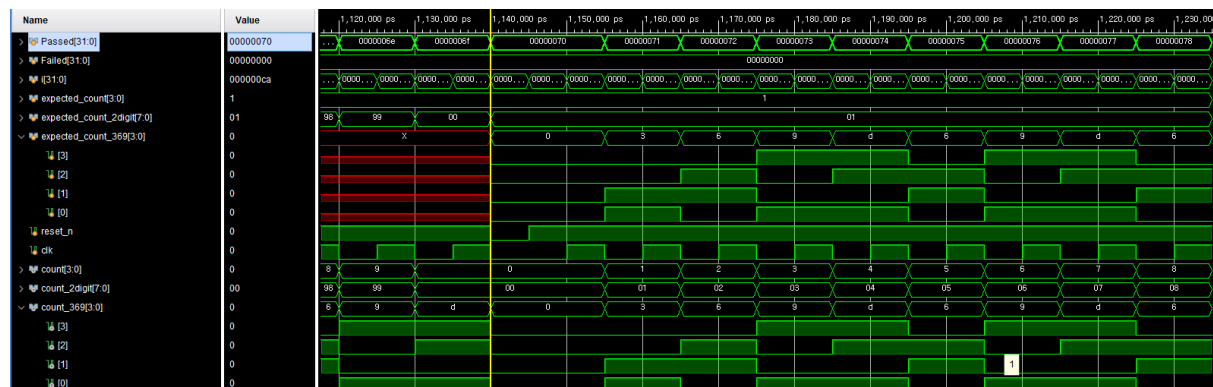
[그림 23]은 3 6 9 counter의 Schematic이다.

[그림 23] Schematic of 369 counter



[그림 24]은 369 counter의 Simulation이다.

[그림 24] Simulation of 369 counter



시뮬레이션 결과 총 0, 3, 6, 9, 13, 6, 9, 13, 6이 되도록 count pulse를 counter에게 입력했고, Passed가 총 8번 증가(negative edge에서 count하므로 마지막 결과 무시, counter가 2사이클 돌도록 testbench를 짰으므로 counter의 구현 문제없음)했으므로 구현이 제대로 되었음을 알 수 있다.

## 5. 논의

Lab6\_1에서는 BCD counter를 input simplification을 하면서 직접 구현할 수 있었다. Lab6\_2에서는 두 자릿수 BCD counter를 직접 구현할 수 있었다. Lab6\_3에서 369 counter를 직접 구현할 수 있었다. counter의 state를 설계하고 k-map을 통해 simplification을 직접 해보니, counter의 최적 설계에 대한 이해가 어느정도 된 것 같다.