



学院: 数据科学与计算机学院 专业: 计算机类

姓名: 廖永滨 学号: 17341097 日期: 2018 年 4 月 18 日

实验题目: 组合逻辑电路分析与设计

预习报告

一.设计代码转换电路, 输入为 4 位 8421 码, 输出为 4 位循环码。

1.逻辑真值表

B ₃	B ₂	B ₁	B ₀	G ₃	G ₂	G ₁	G ₀
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

表 (一)

2.由真值表列出逻辑表达式

$$G_3 = B_3$$

$$G_2 = \overline{B_3} B_2 \overline{B_1} B_0 + \overline{B_3} B_2 \overline{B_1} B_0 + \overline{B_3} B_2 B_1 \overline{B_0} + \overline{B_3} B_2 B_1 B_0 + B_3 \overline{B_2} \overline{B_1} \overline{B_0} + B_3 \overline{B_2} \overline{B_1} B_0 + B_3 \overline{B_2} B_1 \overline{B_0} + B_3 \overline{B_2} B_1 B_0$$

$$G_1 = \overline{B_3} \overline{B_2} B_1 B_0 + \overline{B_3} \overline{B_2} B_1 B_0 + \overline{B_3} B_2 \overline{B_1} B_0 + \overline{B_3} B_2 \overline{B_1} B_0 + B_3 \overline{B_2} \overline{B_1} \overline{B_0} + B_3 \overline{B_2} \overline{B_1} B_0 + B_3 \overline{B_2} B_1 \overline{B_0} + B_3 \overline{B_2} B_1 B_0$$

$$G_0 = \overline{B_3} \overline{B_2} \overline{B_1} B_0 + \overline{B_3} \overline{B_2} B_1 \overline{B_0} + \overline{B_3} B_2 \overline{B_1} B_0 + \overline{B_3} B_2 B_1 \overline{B_0} + B_3 \overline{B_2} \overline{B_1} \overline{B_0} + B_3 \overline{B_2} \overline{B_1} B_0 + B_3 \overline{B_2} B_1 \overline{B_0} + B_3 \overline{B_2} B_1 B_0$$



3. 卡诺图化简

3.1 G_2 化简

B_3B_2	00	01	11	10
B_1B_0				
00		1		1
01		1		1
11		1		1
10		1		1

化简得: $G_2 = \overline{B_3}B_2 + B_3\overline{B_2} = B_2 \oplus B_3 = \overline{\overline{\overline{\overline{B_2}B_3B_2B_3}}}$

3.2 G_1 化简

B_3B_2	00	01	11	10
B_1B_0				
00		1	1	
01		1	1	
11	1			1
10	1			1

化简得: $G_1 = \overline{B_2}B_1 + B_2\overline{B_1} = B_1 \oplus B_2 = \overline{\overline{\overline{\overline{B_1}B_2B_1B_2}}}$

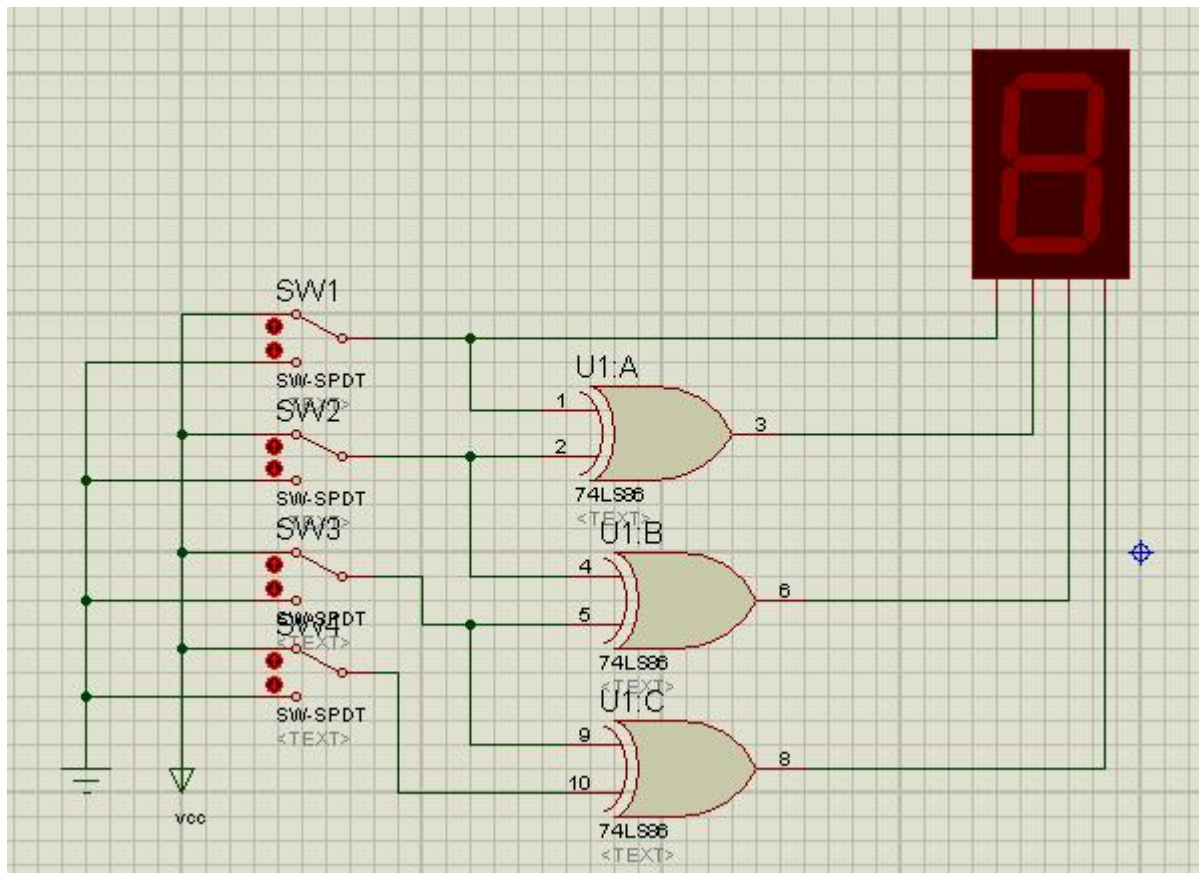
3.3 G_0 化简

B_3B_2	00	01	11	10
B_1B_0				
00				
01	1	1	1	1
11				
10	1	1	1	1

化简得: $G_0 = \overline{B_0}B_1 + B_0\overline{B_1} = B_0 \oplus B_1 = \overline{\overline{\overline{\overline{B_0}B_1B_0B_1}}}$



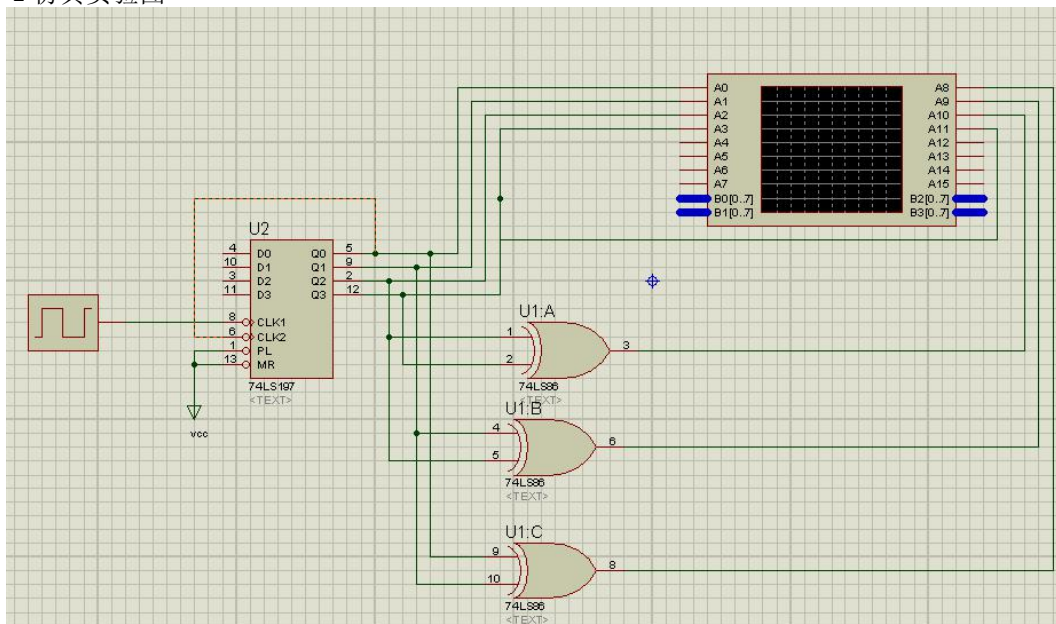
4.由化简式设计出转换电路图



左边开关自上而下分别为 $B_3B_2B_1B_0$, 转换电路后输入 16 进制数字显示频, 从上至到分别是 $G_3G_2G_1G_0$, 经检验, 输入输出符合真值表。

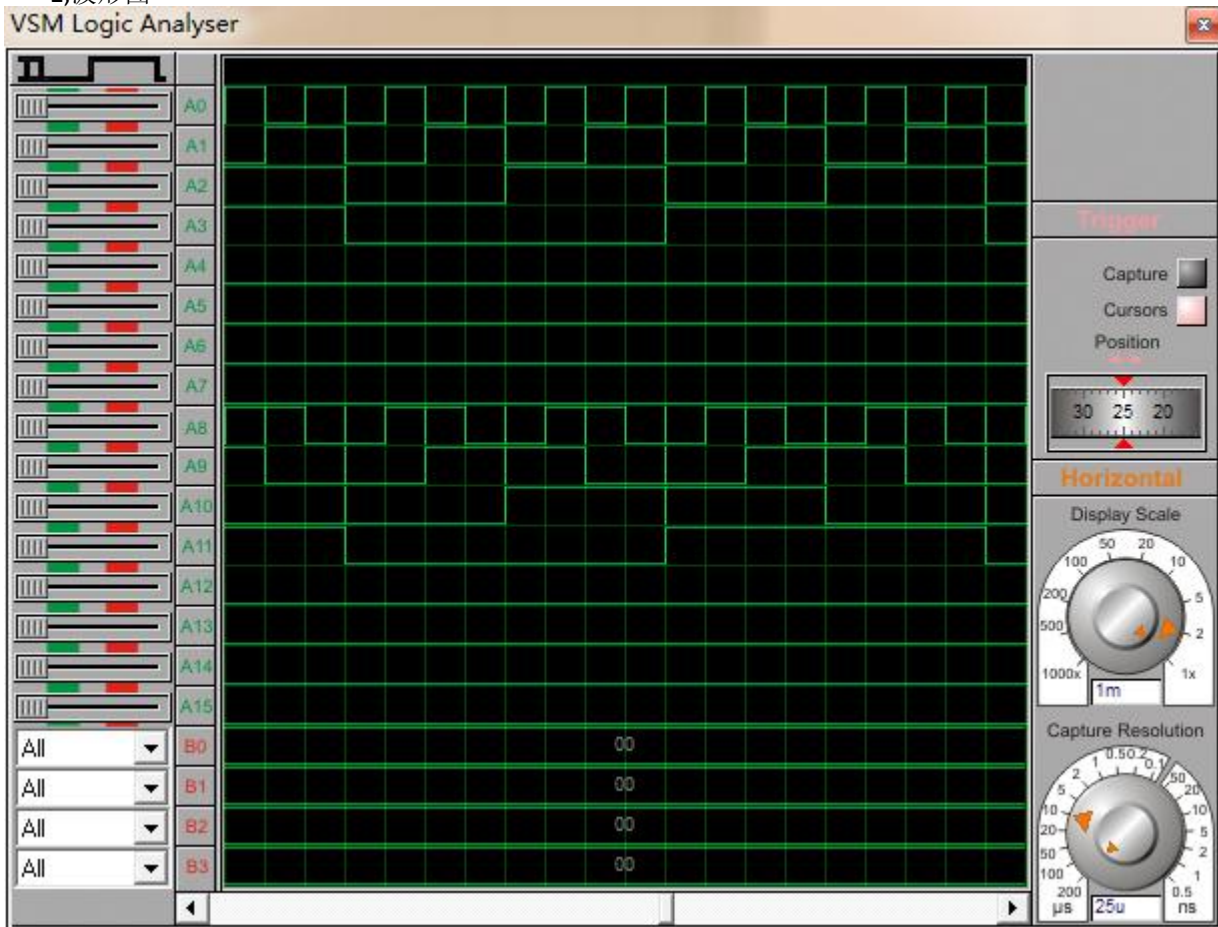
5.用集成异步下降沿触发的异步计数器 74LS197 构成十六进制计数器作为代码转换的输入信号源。用示波器观察并记录 CP、Q3、Q2、Q1、Q0 和 G3、G2、G1、G0 的波形。

1 仿真实验图





2. 波形图



仿真结果与估计一致

实验报告

一、实验仪器及器件

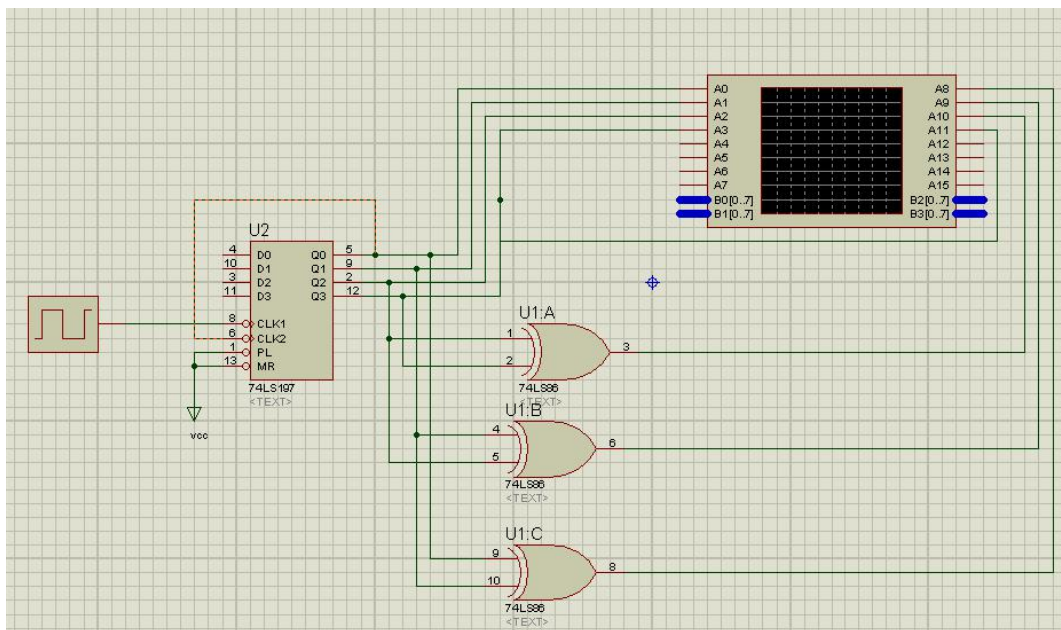
1. 数字电路实验箱、万用表、示波器。
2. 器件：74LS00 *2、74LS86 *1、74LS197 *1

二、代码转换电路设计

具体设计和仿真已在预习报告中完成。

三、转换电路的效果检验

1. 按仿真实验连接电路图（接口位置有些许调整）



备注：实验箱中 A0 A1 等等接口并未严格按照图中连接

2. 观察示波器中输入信号和输出信号波形，波形图在实验结果分析与讨论处。

四、实验结果分析与讨论

1. 输入信号波形图

2. 输出信号波形图



注：黑色双线外框内为一个周期的波形。D0、D1、D2、D3 通道分别为真值表中的 B3、B2、B1、B0。

D4、D5、D6、D7 通道分别为真值表中的 Q3、Q2、Q1、Q0。

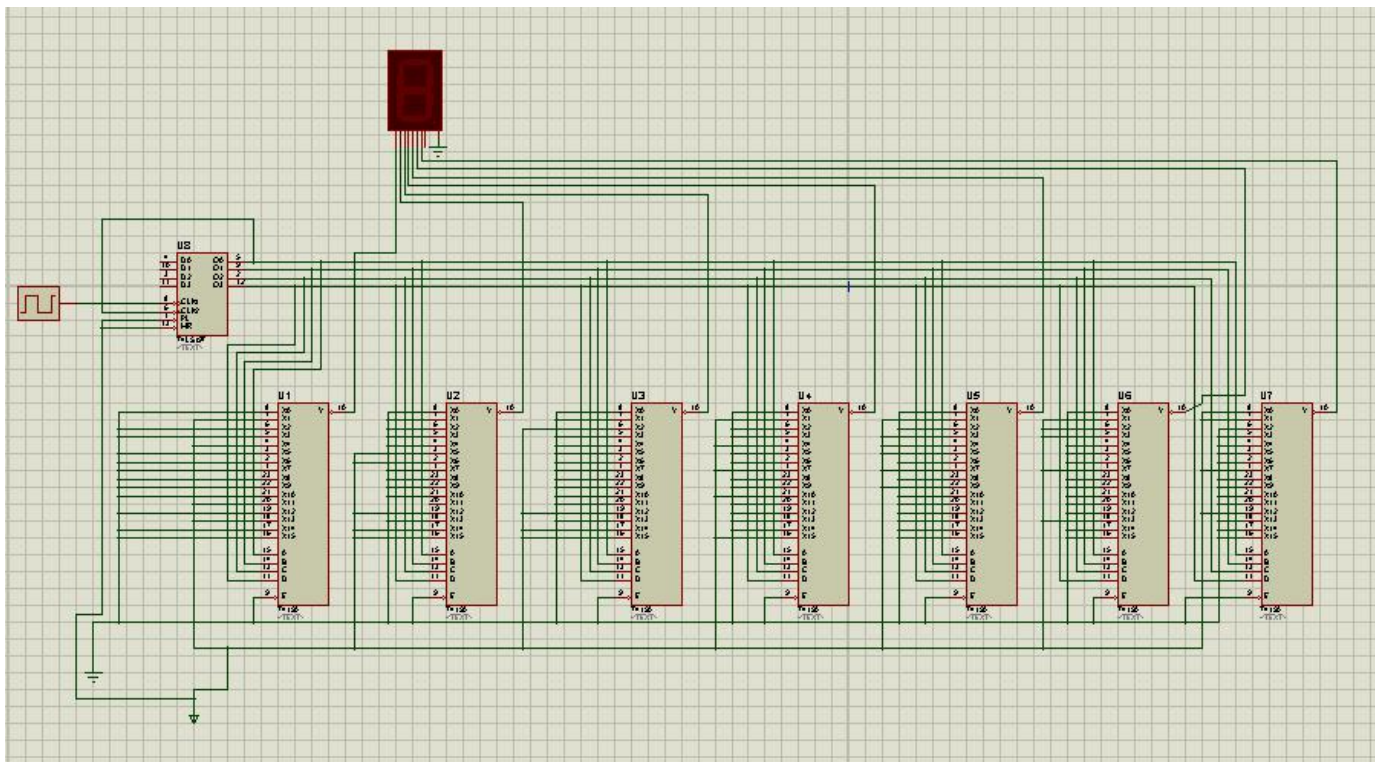


上图为输出和输入的波形图,其结果和仿真实验一致。

五、附加部分

1. 目的:在仿真 isis 中实现 7segmpx4cc 晶体管的功能

2. 实验图如下:



3 实验图解析

3.1 初步解析

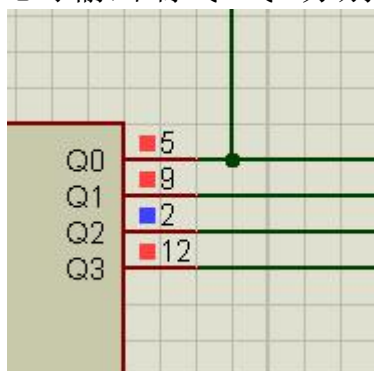
实现 4 位二进制码转相应 7 位码即可实现目的。

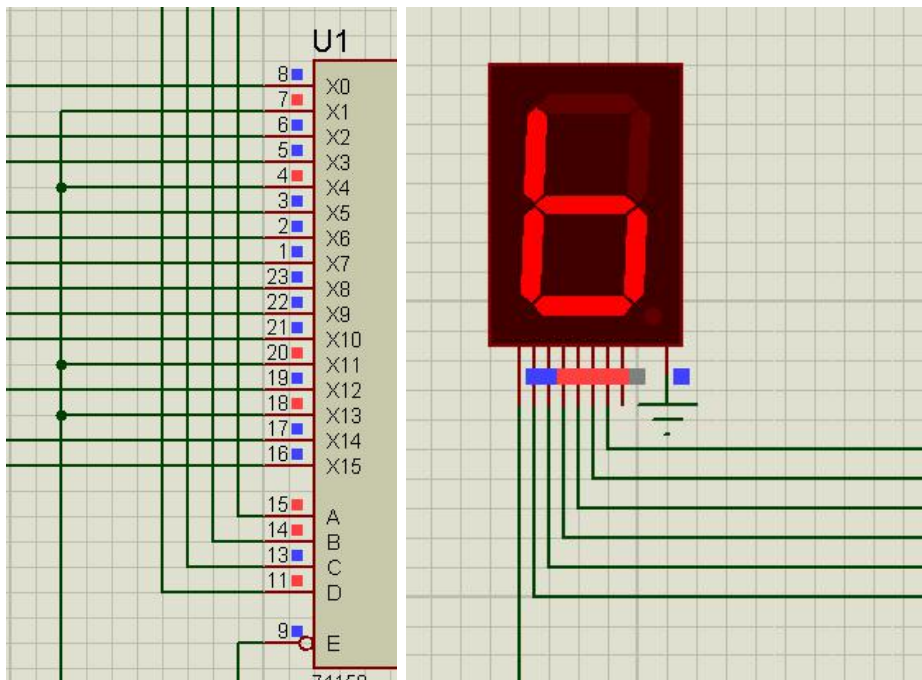
此时采用 7 个取 16 选 1 的 74150 仪器可以实现要求。

3.2 详细解析

以输入信号 1011 为例,输出应为 b

此时输出端 Q3-Q0 分别为 1011, 将该信号输出给 7 个选择器





以第一个 74150 为例子，当获得信号为 1011 时，选择 X11 端，由于我们已经知道 b 字母对应的 a 晶体管信号应该为 0，于是事先将 x11 端接高，这样，输出取反后变为 0，此时 a 管灭

第二个 74150 同样，X11 端接高，于是 b 管灭

其他 74150 同理，X11 端接地，于是其他管亮，显示字母 b

由上述分析可知，只要将 7 个 74150 的 16 个管脚对应接地或接高，即可实现 4 位 2 进制码转化为 7 位 7seg 码。

备注:从左到右 7 个 74150 分别负责 a b c d e f g 七个管脚对应编码的转换

每个 74150 从上到下分别负责 对应从 0 - f 十六进制码该管脚的真假值,