



Министерство науки и высшего образования Российской Федерации  
Федеральное государственное бюджетное образовательное учреждение  
высшего образования  
«Московский государственный технический университет  
имени Н.Э. Баумана  
(национальный исследовательский университет)»  
(МГТУ им. Н.Э. Баумана)

---

ФАКУЛЬТЕТ \_\_\_\_\_ Робототехники и комплексной автоматизации (РК)

КАФЕДРА \_\_\_\_\_ Системы автоматизированного проектирования (РК-6)

## **ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ**

по дисциплине: «Схемотехника»

Студент Журавлев Николай Вадимович

Группа РК6-62Б

Тип задания Лабораторная работа №4

Название «Разработка VHDL-описания  
последовательных схем с регулярной структурой»

Студент \_\_\_\_\_ **Журавлев Н.В.**  
*подпись, дата* *фамилия, и.о.*

Преподаватель \_\_\_\_\_ **Берчун Ю.В.**  
*подпись, дата* *фамилия, и.о.*

Оценка \_\_\_\_\_

Москва, 2022 г.

## Оглавление

Цель работы .....	3
Задание .....	3
Схема .....	3
Программный код построения.....	3
Построение временных диаграмм .....	6
Заключение .....	7

## Цель работы

Ознакомиться с системой VHDL, построить модель счётчика и построить временные диаграммы в данной системе.

## Задание

Требуется синтезировать функциональный узел ЭВМ с памятью. Тип узла указывается в варианте задания (синхронный реверсивный счётчик на синхронных двухступенчатых JK-триггерах с запрещающими связями).

## Схема

Схема представлена на рис. 1.

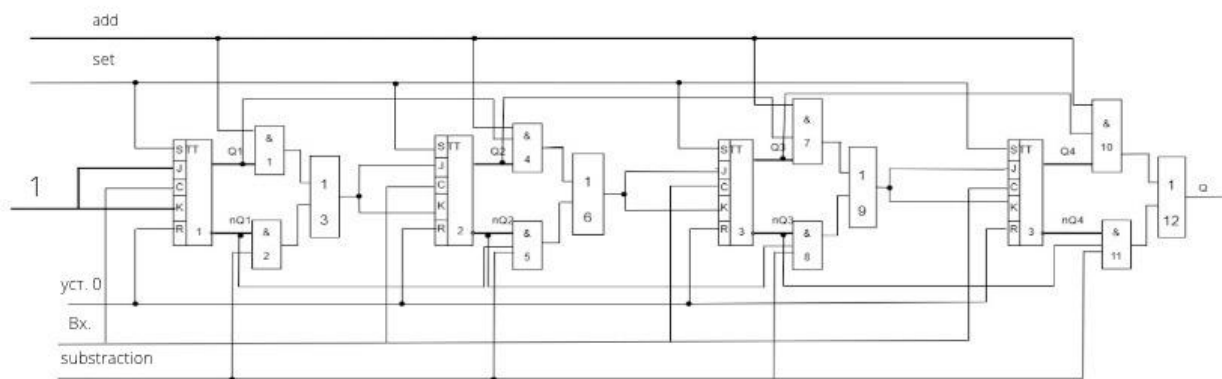


Рисунок 1. Схема узла ЭВМ

## Программный код построения

В листинге 1 описан программный код, в результате исполнения которого будет построен нужный счётчик.

Листинг 1. Реализация логического элемента и-не

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity s_counter is
    generic (
        LENGTH: natural := 3
    )
```

```

);
port (
    clk : in STD_LOGIC;
    reset : in STD_LOGIC;
    set : in STD_LOGIC;
    add : in STD_LOGIC;
    subtraction : in STD_LOGIC;
    q: out STD_LOGIC_vector(LENGTH downto 1)
);
end s_counter;

```

architecture s\_counter of s\_counter is

```

    component JK_trigger
        port (
            nS : in STD_LOGIC;
            J : in STD_LOGIC;
            C : in STD_LOGIC;
            K : in STD_LOGIC;
            nR : in STD_LOGIC;
            Q : out STD_LOGIC;
            nQ : out STD_LOGIC
        );
    end component;

```

end component;

component and\_2

```

    port (
        x1 : in STD_LOGIC;
        x2 : in STD_LOGIC;

```

```

        y : out STD_LOGIC
    );
end component;

component and_3
    port (
        x1 : in STD_LOGIC;
        x2 : in STD_LOGIC;
        x3 : in STD_LOGIC;
        y : out STD_LOGIC
    );
end component;

component or_2
    port (
        x1 : in STD_LOGIC;
        x2 : in STD_LOGIC;
        y : out STD_LOGIC
    );
end component;

signal A1n, A2n, ORn, Qn, nQn : std_logic_vector(LENGTH downto 1);
begin
    GEN_COUNTER:
    TRIGGER1: if I = 1 generate
        A1: and_2
        port map (Qn(I), add, A1n(I));
        A2: and_2

```

```

        port map (nQn(I), subtraction, A2n(I));    OR1
        : or_2
        port map (A1n(I), A2n(I), ORn(I));        EI:
        JK_trigger
    port map (set, '1', clk, '1', reset, Qn(I), nQn(I));    end
    generate TRIGGER1;
    for I in 1 to LENGTH generate
        And1n: and_3
        port map (Qn(I), add, Qn(I - 1), A1n(I));
        And2n: and_3
        port map (nQn(I), subtraction, nQn(I - 1), A2n(I));
        OR1: or_2
        port map (A1n(I), A2n(I), ORn(I));
        EI: JK_trigger
        port map (set, ORn(I - 1), clk, oRn(I - 1), reset, Qn(I),
nQn(I));

        end generate TRIGGER_OTHER;
        q(I) <= Qn(I);
    end generate GEN_COUNTER;
end s_counter;

```

### Построение временных диаграмм

Для построения временной диаграммы, привяжем изменение сигнала с клавишей на клавиатуре. Выберем в разделе Stimulators вкладку Type, где выбираем Hotkey, в котором выбираем сигнал и кнопку, которая с ним будет ассоциироваться.

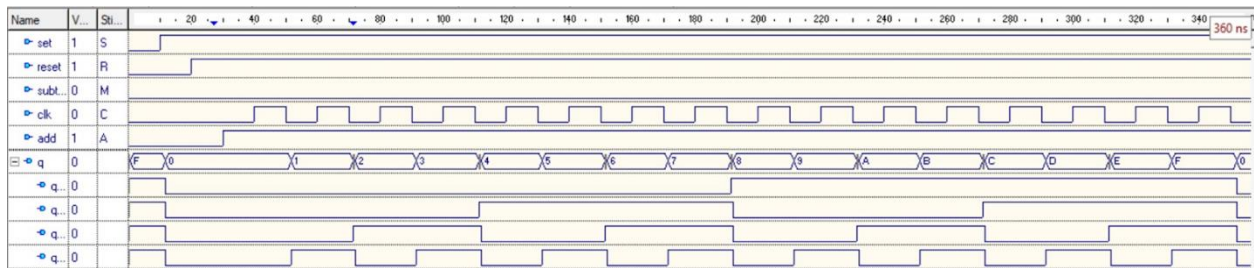


Рисунок 2. Временная диаграмма сложения

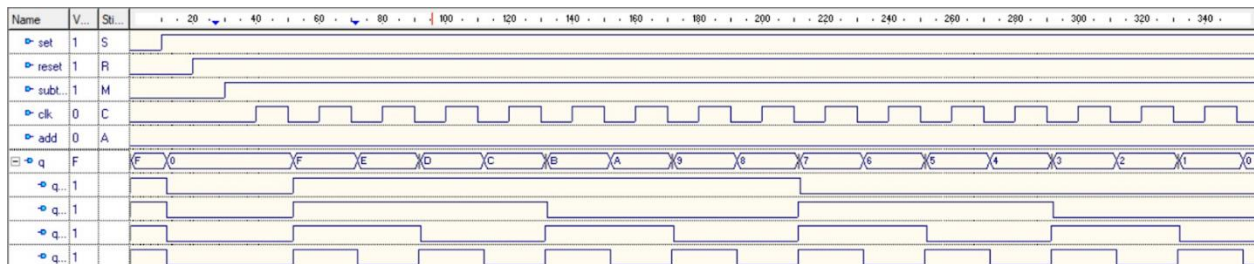


Рисунок 3. Временная диаграмма вычитания

### Заключение

В ходе лабораторной работы были изучены возможности VHDL по моделированию функциональных узлов ЭВМ с памятью. Так же были построены временные диаграммы для них.





