



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ Робототехники и комплексной автоматизации (РК)

КАФЕДРА _____ Системы автоматизированного проектирования (РК-6)

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ

по дисциплине: «Схемотехника»

Студент Журавлев Николай Вадимович

Группа РК6-62Б

Тип задания Лабораторная работа №2

Название «Построение триггеров в VHDL»

Студент _____ Журавлев Н.В.
подпись, дата *фамилия, и.о.*

Преподаватель _____ Берчун Ю.В.
подпись, дата *фамилия, и.о.*

Оценка _____

Москва, 2022 г.

Оглавление

Цель работы	3
Задание	3
Программный код построения триггера и его составных частей	3
Построение временных диаграмм	5
Заключение	6
Список литературы	6

Цель работы

Ознакомиться с системой VHDL, построить модель триггера и построить временные диаграммы в данной системе.

Задание

Собрать D-триггер с динамическим управлением записью из простых логических элементов в системе VHDL и построить временную диаграмму.

Программный код построения триггера и его составных частей

В листинге 1 и 2 описан программный код, в результате исполнения которого будет построен нужный триггер.

Листинг 1. Реализация логического элемента и-не

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity na3 is
    port(
        X1 : in STD_LOGIC;
        X2 : in STD_LOGIC;
        X3 : in STD_LOGIC;
        Y : out STD_LOGIC
    );
end na3;
architecture na3 of na3 is
begin
    Y <= not( X1 and X2 and X3) after 10 ns;
end na3;
```

Листинг 2. Реализация триггера

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity DD_trigger is
    port(
        C : in STD_LOGIC;
        D : in STD_LOGIC;
        RA : in STD_LOGIC;
        SA : in STD_LOGIC;
        Q : out STD_LOGIC;
        NQ : inout STD_LOGIC
    );
end DD_trigger;

architecture DD_trigger of DD_trigger is
    signal S1, S2, S3, S4, S5, S6 : STD_LOGIC;
    component na3
        port(
            X1 : in STD_LOGIC;
            X2 : in STD_LOGIC;
            X3 : in STD_LOGIC;
            Y : out STD_LOGIC
        );
    end component na3;
begin
    D1 : na3 port map (SA, S4, S2, S1);
    D2 : na3 port map (S1, C, RA, S2);
    D3 : na3 port map (S2, C, S4, S3);
    D4 : na3 port map (S3, D, RA, S4);
    D5 : na3 port map (SA, S2, S6, S5);
    D6 : na3 port map (S5, S3, RA, S6);
    Q <= S5;
    NQ <= S6;
end DD_trigger;
```

Построение временных диаграмм

Для построения временной диаграммы, привяжем изменение сигнала с клавишей на клавиатуре. Выберем в разделе Stimulators вкладку Type, где выбираем Hotkey, в котором выбираем сигнал и какая кнопка с ним будет ассоциироваться.

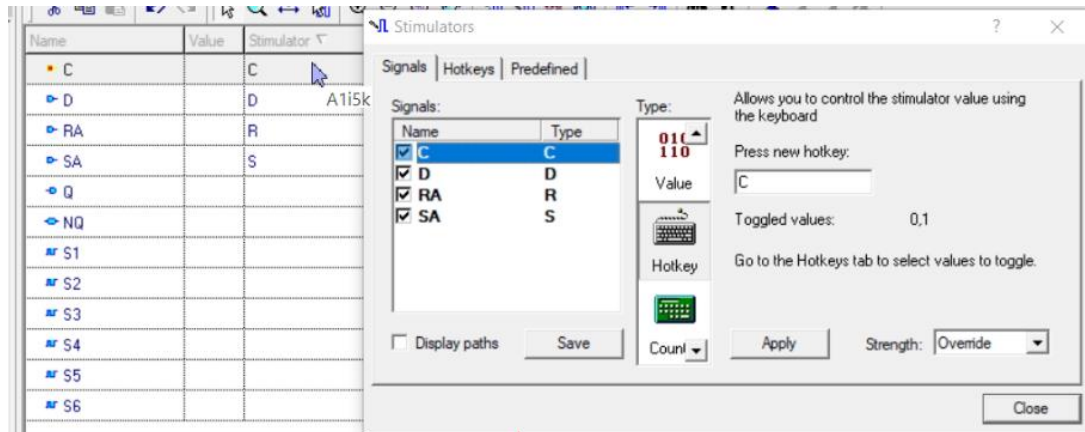


Рис 1. Ассоциация кнопок с сигналами

Время моделирования примем равным 100 ns. Затем, меняя выбранные сигналы получим временную диаграмму, представленную на рис. 3.

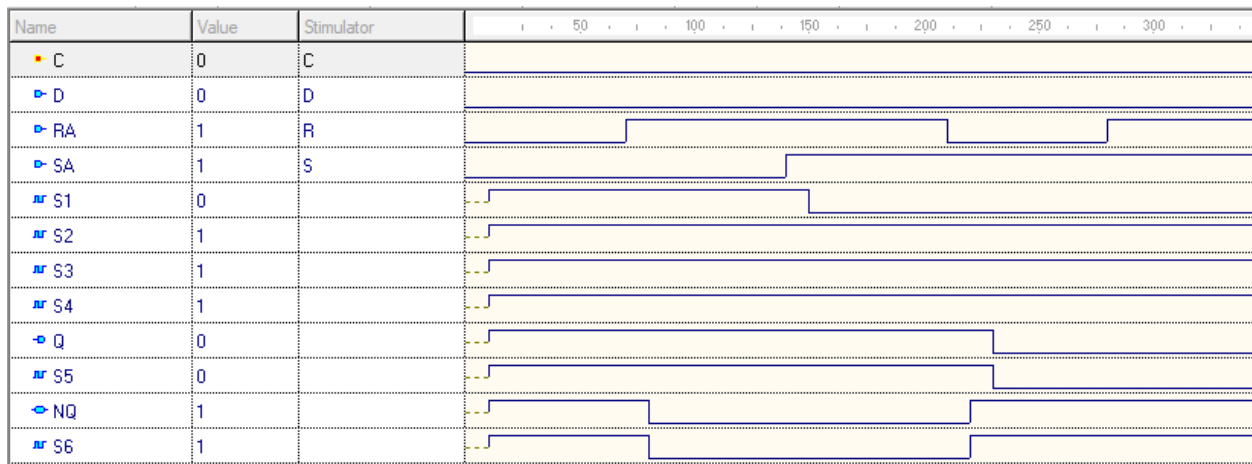


Рис 2. Инициализация триггера

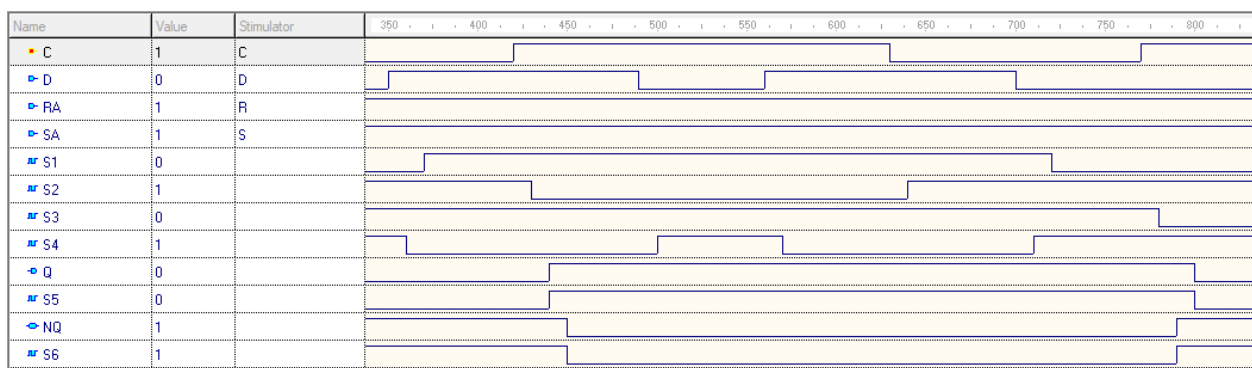


Рис 3. Временная диаграмм

Заключение

В ходе лабораторной работы были изучены возможности VHDL по моделированию триггеров из простых логических функций. Так же были построены временные диаграммы для D-триггера с динамическим управлением записью.

Список литературы

1. РК6. Схемотехника. Подготовка к лабораторным работам. <https://youtu.be/86vlp-E12Qo> .
2. Берчун Ю.В. Методические указания по курсу «ЭВМ и ПУ» «Язык описания электронной аппаратуры VHDL». 2006.

