



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет имени
Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ Робототехники и комплексной автоматизации (РК)

КАФЕДРА _____ Системы автоматизированного проектирования (РК-6)

ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ

по дисциплине: «Схемотехника»

Студент Журавлев Николай Вадимович

Группа РК6-62Б

Тип задания Лабораторная работа №1

Название «Знакомство с VHDL»

Вариант лабораторной работы 5

Студент _____ **Журавлев Н.В.**
подпись, дата *фамилия, и.о.*

Преподаватель _____ **Берчун Ю.В.**
подпись, дата *фамилия, и.о.*

Оценка _____

Москва, 2022 г.

Оглавление

Цель работы	3
Задание	3
Построение Карт Карно и получение МДНФ для каждого выхода	4
Программный код выражений, которым соответствуют МДНФ каждого из выходов	5
Построение временных диаграмм	6
Получение таблицы истинности.....	7
Заключение	8
Список литературы	9

Цель работы

Ознакомиться с системой VHDL, построить модель системы логических функций и построить временные диаграммы в данной системе.

Задание

Задано устройство, имеющее 4 входа и 3 выхода, таблицы истинности, представленной на рис. 1. Требуется с использованием карт Карно получить минимальные ДНФ или КНФ (на выбор) для каждого выхода. Затем с использованием этих выражений получить поведенческую модель на VHDL. Задержки в данном задании ставятся нулевые. Необходимо построить временную диаграмму, чтобы подтвердить, что таблица истинности реализуется правильно для всех комбинаций входных сигналов.

Для моделирования системы логических функций требуется:

1. Определить для каждой функции системы форму её реализации – прямую или инверсную.
2. Минимизировать представление функций с помощью карт Карно.
3. Составить поведенческую VHDL-модель, употребив логические операторы и операторы назначения сигналов.

Вариант 5						
x1	x2	x3	x4	y1	y2	y3
0	0	0	0	0	1	0
0	0	0	1	0	0	0
0	0	1	0	0	1	1
0	0	1	1	1	1	1
0	1	0	0	0	1	1
0	1	0	1	1	0	0
0	1	1	0	1	0	0
0	1	1	1	0	0	0
1	0	0	0	1	1	0
1	0	0	1	0	1	0
1	0	1	0	0	1	0
1	0	1	1	0	0	1
1	1	0	0	0	1	0
1	1	0	1	0	1	0
1	1	1	0	1	0	1
1	1	1	1	0	0	1

Рис 1. Исходная таблица истинности.

Построение Карт Карно и получение МДНФ для каждого выхода

Для выхода y_1 построим карту Карно:

y_1

$x_1, x_2 \backslash x_3, x_4$	00	01	11	10
00	0	0	1	0
01	0	1	0	1
11	0	0	0	1
10	1	0	0	0

Рис 2. Карта Карно для выхода y_1 .

Из карты Карно (Рис. 2) получается следующая МДНФ:

$$y_1 = \overline{x_1} \overline{x_2} x_3 x_4 + \overline{x_1} x_2 \overline{x_3} x_4 + x_2 x_3 \overline{x_4} + x_1 \overline{x_2} \overline{x_3} \overline{x_4}$$

Для выхода y_2 построим карту Карно:

y_2

$x_1, x_2 \backslash x_3, x_4$	00	01	11	10
00	1	0	1	1
01	1	0	0	0
11	1	1	0	0
10	1	1	0	1

Рис 3. Карта Карно для выхода y_2 .

Из карты Карно (Рис. 2) получается следующая МДНФ:

$$y_2 = \overline{x_2} \overline{x_4} + \overline{x_3} \overline{x_4} + x_1 \overline{x_3} + \overline{x_1} \overline{x_2} x_3$$

Для выхода y_3 построим карту Карно:

y_3

$x_1, x_2 \backslash x_3, x_4$	00	01	11	10
00	0	0	1	1
01	1	0	0	0
11	0	0	1	1
10	0	0	1	0

Рис. 4. Карта Карно для выхода y_3 .

Из карты Карно (Рис. 2) получается следующая МДНФ:

$$y_3 = \overline{x_1}x_2\overline{x_3}\overline{x_4} + \overline{x_1}\overline{x_2}x_3 + x_1x_2x_3 + x_1x_3x_4$$

**Программный код выражений, которым соответствуют МДНФ каждого
из выходов**

В листинге 1 описан программный код, в результате исполнения которого будет построена временная диаграмма.

Листинг 1. Программный код.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;

entity lab1 is
    port(
        x1 : in STD_LOGIC;
        x2 : in STD_LOGIC;
        x3 : in STD_LOGIC;
        x4 : in STD_LOGIC;
        y1 : out STD_LOGIC;
        y2 : out STD_LOGIC;
        y3 : out STD_LOGIC
    );
end lab1;

--}} End of automatically maintained section

architecture lab1 of lab1 is
begin

    y1 <= ((not(x1) and not(x2)) and (x3 and x4)) or ((not(x1) and x2)
and (not(x3) and x4)) or ((x2 and x3) and not(x4)) or ((x1 and
not(x2)) and (not(x3) and not(x4))) after 0 ns;
    y2 <= (not(x2) and (not(x4))) or (not(x3) and not(x4)) or (x1 and
not(x3)) or ((not(x1) and not(x2)) and x3) after 0 ns;
    y3 <= (((not(x1) and x2) and (not(x3)) and not(x4))) or (((not(x1)
and not(x2)) and x3)) or ((x1 and x2) and x3) or ((x1 and x3) and
x4) after 0 ns;

end lab1;
```

Построение временных диаграмм

Построив карты Карно и составив МДНФ для каждого выхода, введём выражения в систему VHDL без указания задержек, задаем им нулевые значения. Далее строим временные диаграммы. Назначим входным сигналам x_1 , x_2 , x_3 , x_4 частоты 10, 20, 40, 80 соответственно. Ввод значений входных сигналов представлен на рис. 5.

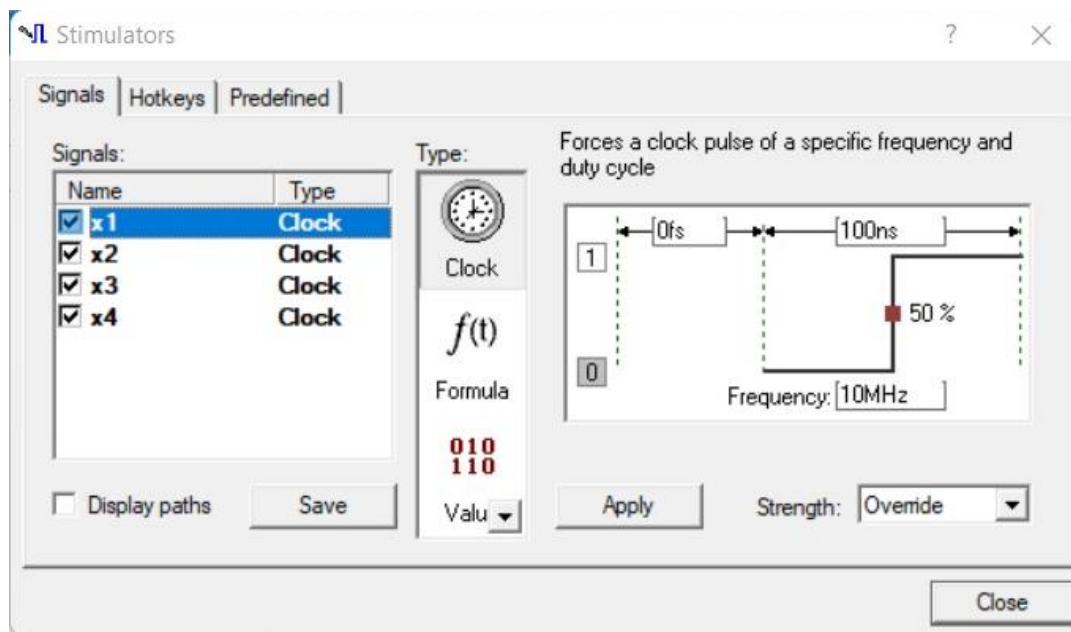


Рис. 5. Ввод значений входных сигналов.

Время моделирования примем равным 300 ns. После этого запустим симуляцию с помощью кнопки Run for 3 раза. Выведенная временная диаграмма представлена на рис. 6.

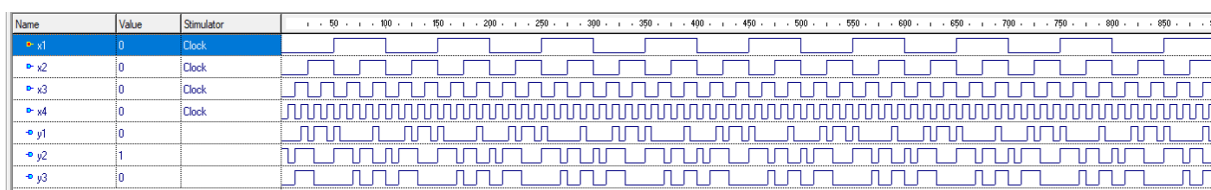


Рис. 6. Временная диаграмма.

Получение таблицы истинности

С помощью инструмента New List получим таблицу истинности по временным диаграммам. Из-за нулевых задержек некоторым входным данным будут соответствовать сразу несколько строк. Это может быть следствием мгновенного переключения сигналов, из-за чего система не понимает, к какому состоянию отнести сигнал. Эти строки нужно отбросить. Тогда полученная таблица истинности будет иметь вид, представленный на рис. 7.

Time	Delta	x1	x2	x3	x4	y1	y2	y3
0.000	1	0	0	0	0	0	1	0
6.250 ns	1	0	0	0	1	0	0	0
12.500 ns	1	0	0	1	0	0	1	1
18.750 ns	1	0	0	1	1	1	1	1
25.000 ns	1	0	1	0	0	0	1	1
31.250 ns	1	0	1	0	1	1	0	0
37.500 ns	0	0	1	1	0	1	0	0
43.750 ns	1	0	1	1	1	0	0	0
50.000 ns	1	1	0	0	0	1	1	0
56.250 ns	1	1	0	0	1	0	1	0
62.500 ns	0	1	0	1	0	0	1	0
68.750 ns	1	1	0	1	1	0	0	1
75.000 ns	1	1	1	0	0	0	1	0
81.250 ns	0	1	1	0	1	0	1	0
87.500 ns	1	1	1	1	0	1	0	1
93.750 ns	1	1	1	1	1	0	0	1

Рис. 7. Полученная таблица истинности.

Заключение

В ходе лабораторной работы были изучены возможности VHDL по моделированию систем логических функций. Так же были построены временные диаграммы по МДНФ каждого выхода, которые были составлены по картам Карно, и по полученным диаграммам была построена таблица истинности.

Список литературы

1. РК6. Схемотехника. Подготовка к лабораторным работам.
<https://youtu.be/86vlp-E12Qo> .
2. Берчун Ю.В. Методические указания по курсу «ЭВМ и ПУ» «Язык описания электронной аппаратуры VHDL». 2006.