**Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования**



**«Московский государственный технический университет имени Н.Э. Баумана**

**(национальный исследовательский университет)»**

**(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ Робототехники и комплексной автоматизации (РК) .

КАФЕДРА Системы автоматизированного проектирования (РК-6) .

**ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ**

по дисциплине: «Схемотехника»

Студент Журавлев Николай Вадимович

Группа РК6-62Б

Тип задания Лабораторная работа №4

Название «Разработка VHDL-описания последовательных схем с регулярной структурой»

Студент **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Журавлев Н.В.**

*подпись, дата фамилия, и.о.*

Преподаватель **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_Берчун Ю.В.\_\_**

*подпись, дата фамилия, и.о.*

Оценка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

*Москва, 2022 г.*

## Оглавление

[Цель работы 3](#_Toc105373076)

[Задание 3](#_Toc105373077)

[Схема 3](#_Toc105373078)

[Программный код построения 3](#_Toc105373079)

[Построение временных диаграмм 6](#_Toc105373080)

[Заключение 7](#_Toc105373081)

# Цель работы

Ознакомиться с системой VHDL, построить модель счётчика и построить временные диаграммы в данной системе.

# Задание

Требуется синтезировать функциональный узел ЭВМ с памятью. Тип узлауказывается в варианте задания (синхронный реверсивный счётчик на синхронных двухступенчатых JK-триггерах с запрещающими связями).

# Схема

Схема представлена на рис. 1.

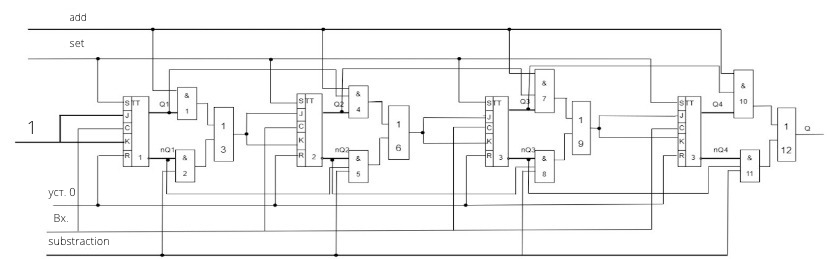


Рисунок 1. Схема узла ЭВМ

# Программный код построения

В листинге 1 описан программный код, в результате исполнения которого будет построен нужный счётчик.

Листинг . Реализация логического элемента и-не

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.all;  entity s\_counter is  generic (  LENGTH: natural := 3  );  port (  clk : in STD\_LOGIC;  reset : in STD\_LOGIC;  set : in STD\_LOGIC;  add : in STD\_LOGIC;  substraction : in STD\_LOGIC;  q: out STD\_LOGIC\_vector(LENGTH downto 1)  );  end s\_counter;    architecture s\_counter of s\_counter is  component JK\_trigger  port (  nS : in STD\_LOGIC;  J : in STD\_LOGIC;  C : in STD\_LOGIC;  K : in STD\_LOGIC;  nR : in STD\_LOGIC;  Q : out STD\_LOGIC;  nQ : out STD\_LOGIC  );  end component;    component and\_2  port (  x1 : in STD\_LOGIC;  x2 : in STD\_LOGIC;  y : out STD\_LOGIC  );  end component;    component and\_3  port (  x1 : in STD\_LOGIC;  x2 : in STD\_LOGIC;  x3 : in STD\_LOGIC;  y : out STD\_LOGIC  );  end component;    component or\_2  port (  x1 : in STD\_LOGIC;  x2 : in STD\_LOGIC;  y : out STD\_LOGIC  );  end component;    signal A1n, A2n, ORn, Qn, nQn : std\_logic\_vector(LENGTH downto 1);  begin  GEN\_COUNTER:  TRIGGER1: if I = 1 generate  A1: and\_2  port map (Qn(I), add, A1n(I));  A2: and\_2  port map (nQn(I), substraction, A2n(I)); OR1  : or\_2  port map (A1n(I), A2n(I), ORn(I)); EI:  JK\_trigger  port map (set, '1', clk, '1', reset, Qn(I), nQn(I)); end  generate TRIGGER1;  for I in 1 to LENGTH generate  And1n: and\_3  port map (Qn(I), add, Qn(I - 1), A1n(I));  And2n: and\_3  port map (nQn(I), substraction, nQn(I - 1), A2n(I));  OR1: or\_2  port map (A1n(I), A2n(I), ORn(I));  EI: JK\_trigger  port map (set, ORn(I - 1), clk, oRn(I - 1), reset, Qn(I), nQn(I));  end generate TRIGGER\_OTHER;  q(I) <= Qn(I);  end generate GEN\_COUNTER;  end s\_counter; |

# Построение временных диаграмм

Для построения временной диаграммы, привяжем изменение сигнала с клавишей на клавиатуре. Выберем в разделе Stimulators вкладку Type, где выбираем Hotkey, в котором выбираем сигнал и кнопку, которая с ним будет ассоциироваться.

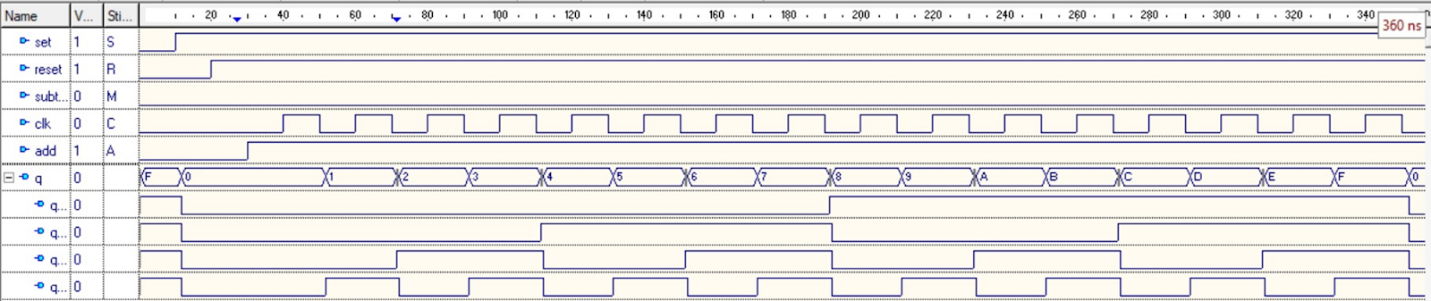


Рисунок 2.Временная диаграмма сложения

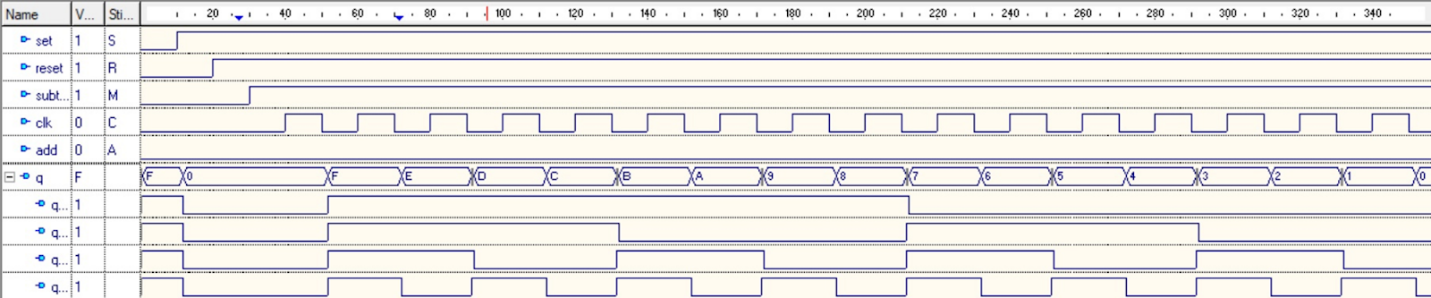


Рисунок 3. Временная диаграмма вычитания

# Заключение

В ходе лабораторной работы были изучены возможности VHDL по моделированию функциональных узлов ЭВМ с памятью. Так же были построены временные диаграммы для них.