**Министерство науки и высшего образования Российской Федерации Федеральное государственное бюджетное образовательное учреждение высшего образования**



**«Московский государственный технический университет имени Н.Э. Баумана**

**(национальный исследовательский университет)»**

**(МГТУ им. Н.Э. Баумана)**

ФАКУЛЬТЕТ Робототехники и комплексной автоматизации (РК) .

КАФЕДРА Системы автоматизированного проектирования (РК-6) .

**ОТЧЕТ ПО ЛАБОРАТОРНОЙ РАБОТЕ**

по дисциплине: «Схемотехника»

Студент Журавлев Николай Вадимович

Группа РК6-62Б

Тип задания Лабораторная работа №2

Название «Построение триггеров в VHDL»

Студент **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ Журавлев Н.В.**

*подпись, дата фамилия, и.о.*

Преподаватель **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_Берчун Ю.В.\_\_**

*подпись, дата фамилия, и.о.*

Оценка \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

*Москва, 2022 г.*

## Оглавление

[Цель работы 3](#_Toc104246994)

[Задание 3](#_Toc104246995)

[Программный код построения триггера и его составных частей 3](#_Toc104246996)

[Построение временных диаграмм 3](#_Toc104246997)

[Заключение 5](#_Toc104246998)

[Список литературы 5](#_Toc104246999)

# Цель работы

Ознакомиться с системой VHDL, построить модель триггера и построить временные диаграммы в данной системе.

# Задание

Собрать D-триггер с динамическим управлением записью из простых логических элементов в системе VHDL и построить временную диаграмму.

# Программный код построения триггера и его составных частей

В листинге 1 и 2 описан программный код, в результате исполнения которого будет построен нужный триггер.

Листинг . Реализация логического элемента и-не

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.all;  entity na3 is  port(  X1 : in STD\_LOGIC;  X2 : in STD\_LOGIC;  X3 : in STD\_LOGIC;  Y : out STD\_LOGIC  );  end na3;  architecture na3 of na3 is  begin  Y <= not( X1 and X2 and X3) after 10 ns;  end na3; |

Листинг . Реализация триггера

|  |
| --- |
| library IEEE;  use IEEE.STD\_LOGIC\_1164.all;  entity DD\_trigger is  port(  C : in STD\_LOGIC;  D : in STD\_LOGIC;  RA : in STD\_LOGIC;  SA : in STD\_LOGIC;  Q : out STD\_LOGIC;  NQ : inout STD\_LOGIC  );  end DD\_trigger;  architecture DD\_trigger of DD\_trigger is  signal S1, S2, S3, S4, S5, S6 : STD\_LOGIC;  component na3  port(  X1 : in STD\_LOGIC;  X2 : in STD\_LOGIC;  X3 : in STD\_LOGIC;  Y : out STD\_LOGIC  );  end component na3;  begin  D1 : na3 port map (SA, S4, S2, S1);  D2 : na3 port map (S1, C, RA, S2);  D3 : na3 port map (S2, C, S4, S3);  D4 : na3 port map (S3, D, RA, S4);  D5 : na3 port map (SA, S2, S6, S5);  D6 : na3 port map (S5, S3, RA, S6);  Q <= S5;  NQ <= S6;  end DD\_trigger; |

# Построение временных диаграмм

Для построения временной диаграммы, привяжем изменение сигнала с клавишей на клавиатуре. Выберем в разделе Stimulators вкладку Type, где выбираем Hotkey, в котором выбираем сигнал и какая кнопка с ним будет ассоциироваться.

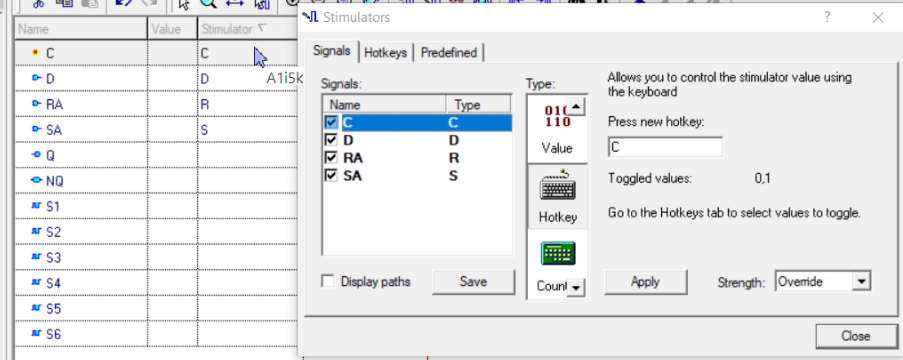


Рис . Ассоциация кнопок с сигналами

Время моделирования примем равным 100 ns. Затем, меняя выбранные сигналы получим временную диаграмму, представленную на рис. 3.

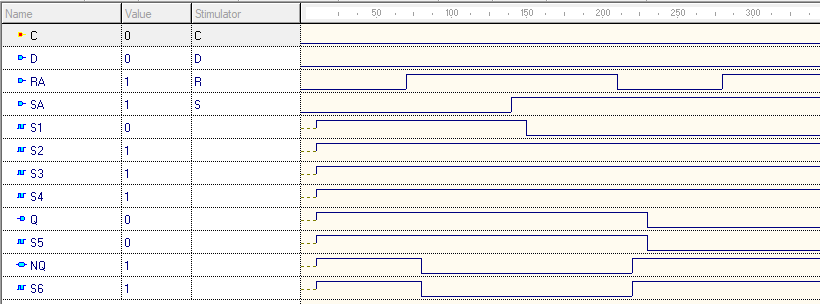


Рис . Инициализация триггера

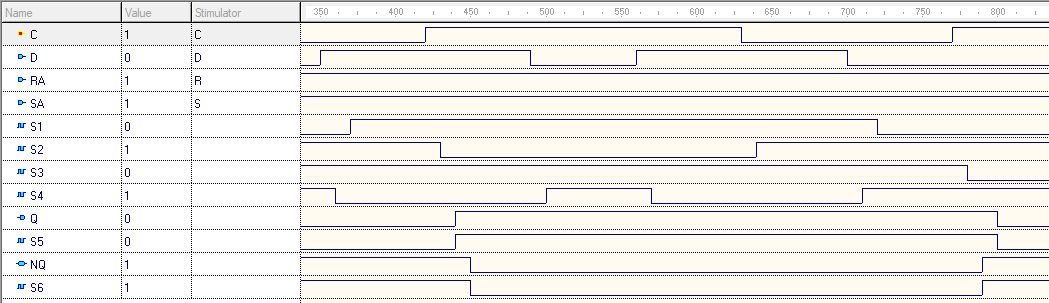


Рис . Временная диаграмм

# Заключение

В ходе лабораторной работы были изучены возможности VHDL по моделированию триггеров из простых логических функций. Так же были построены временные диаграммы для D-триггера с динамическим управлением записью.

# Список литературы

1. РК6. Схемотехника. Подготовка к лабораторным работам. [https://youtu.be/86vlp-E12Qo](https://vk.com/away.php?utf=1&to=https%3A%2F%2Fyoutu.be%2F86vlp-E12Qo) .
2. Берчун Ю.В. Методические указания по курсу «ЭВМ и ПУ» «Язык описания электронной аппаратуры VHDL». 2006.