

# Отчет по диссертации

## «Исследование методов генерации программ для тестирования модулей управления памяти микропроцессоров»

Корныхин Евгений Валерьевич

научный руководитель: д.ф. - м.н. Петренко Александр Константинович

**Постановка задачи** Системное функциональное тестирование микропроцессоров выполняется с использованием множества программ на языке ассемблера (*тестовых программ*). Среди всевозможных методов автоматической генерации тестовых программ выделяются методы, транслирующие заранее подготовленные *тестовые шаблоны* в тестовые программы. Тестовые шаблоны представляют собой декларативное описание тестовых программ, включающее требования на последовательность инструкций, на аргументы инструкций, на состояние микропроцессора (тестовые ситуации). Такие тестовые шаблоны могут быть получены систематически на основе модели микропроцессора, что делает актуальным их использование для обеспечения качественного тестирования. Для тестирования модулей управления памяти (MMU) микропроцессоров тестовые шаблоны включают в себя требования на успешность обращения к управляемым ими буферами (кэш-попадания и кэш-промахи).

Среди существующих методов построения тестовых программ для тестовых шаблонов можно выделить методы, использующие *разрешение ограничений* (в зарубежной литературе этот термин называется *constraints*). Предлагаемые в литературе (среди открытых источников) методы для построения и разрешения ограничений, описывающих кэш-попадания и кэш-промахи, либо являются немасштабируемыми, либо плохо переносимыми на разные архитектуры микропроцессоров.

Поэтому была поставлена задача исследования и разработки методов построения тестовых программ для тестовых шаблонов, нацеленных на тестирование модулей управления памяти микропроцессоров с улучшением показателей масштабируемости и переносимости.

**Результаты** Основные научные результаты, полученные в рамках диссертационной работы, состоят в следующем:

1. предложена модель модулей управления памятью (выделяются *кэширующие буферы* и *таблицы* и на них определяются отношения);
2. предложен метод генерации ограничений (т.н. метод *совместной генерации ограничений*) для тестовых шаблонов, нацеленных на тестирование инструкций обращения к памяти; метод использует данное начальное состояние микропроцессора и строит тестовую программу, не меняющую состояние MMU; метод не является полным, однако его корректность в диссертации доказана;
3. предложен метод *зеркальной генерации* ограничений для тестовых шаблонов, нацеленных на тестирование инструкций обращения к памяти; метод не использует данное начальное состояние микропроцессора; в отличие от метода совместной генерации метод

зеркальной генерации является полным для важных стратегий вытеснения (критерий полноты приведен в диссертации), кроме того в диссертации доказана корректность этого метода;

4. предложен метод описания стратегий вытеснения в кэширующих буферах в виде ограничений *перебором диапазонов вытеснения*;
5. предложен метод описания стратегий вытеснения в кэширующих буферах в виде ограничений *с использованием функций полезности*;
6. предложено новое определение стратегии вытеснения PseudoLRU *на ветвях бинарного дерева*.

Кроме рассмотрения общего случая в диссертации приведены классы тестовых шаблонов, для которых достаточно использовать более простые ограничения. Предложенные методы генерации ограничений для тестовых шаблонов (методы совместной и зеркальной генерации ограничений) не фиксируют способ построения ограничений, описывающих стратегии вытеснения. В диссертации приведены сведения о том, какие методы генерации ограничений для шаблонов и для стратегий вытеснения сочетаются лучше других в зависимости от структуры шаблонов и модели микропроцессора.

**Эксперименты** Был написан прототип генератора тестовых программ для микропроцессора архитектуры MIPS. Были проведены эксперименты, показавшие, что использование совместной генерации на произвольных начальных данных дает возможность построить тестовые программы для 35-40% тестовых шаблонов; на подготовленных начальных данных применением совместной генерации удастся достичь 55-60% покрытия для тестовых шаблонов. Зеркальным методом (в силу его полноты) удалось построить тестовые программы для всех тестовых шаблонов.

Кроме того в диссертации построены модели модулей управления памятью для таких архитектур микропроцессоров как PowerPC, Alpha и Pentium. Это дает возможность применить предлагаемые в диссертации методы построения генераторов тестовых программ и для этих архитектур.

**Публикации** Основные результаты диссертации докладывались на следующих конференциях и семинарах:

1. Второй весенний коллоквиум молодых исследователей в области программной инженерии (SYRCoSE: Spring Young Researchers Colloquium on Software Engineering, г. Санкт-Петербург, 2008 г.);
2. XVI Международная конференция студентов, аспирантов и молодых учёных «Ломоносов» (г.Москва, 2009 г.);
3. XVI Всероссийская межвузовская научно-техническая конференция студентов и аспирантов «Микроэлектроника и информатика - 2009» (г.Москва, Зеленоград, 2009 г.);
4. Третий весенний коллоквиум молодых исследователей в области программной инженерии (SYRCoSE: Spring Young Researchers Colloquium on Software Engineering, г. Москва, 2009 г.);
5. IV летняя международная школа аспирантов по научным вычислениям (г.Москва, 2009 г.);
6. Семинарах Института системного программирования РАН (г. Москва, 2009 г.).

Публикации в научных журналах и сборниках:

1. Корныхин Е. Генерация тестовых данных для тестирования механизмов кэширования и трансляции адресов микропроцессоров // Программирование, т.36(1), 2010 (готовится к печати);
2. Корныхин Е. Генерация тестовых данных для системного функционального тестирования FIFO-кэш-памяти микропроцессоров // Вычислительные методы и программирование, т.10, 2009;
3. Корныхин Е. Генерация тестовых данных для тестирования арифметических операций центральных процессоров // Труды Института Системного Программирования РАН, т.15, 2008;
4. Корныхин Е. Генерация тестовых данных для системного функционального тестирования микропроцессоров с учетом кэширования и трансляции адресов // Труды Института Системного Программирования РАН, 2009;
5. Kornikhin E. Test Data Generation for Arithmetic Subsystem of CPUs MIPS64 // Proc. of Spring Young Researchers Colloquium on Software Engineering, 2008;
6. Корныхин Е. Система генерации тестовых программ с использованием ограничений ТЕСЛА // Сборник тезисов конференции Ломоносов, 2009;
7. Корныхин Е. Система генерации тестовых данных для системного функционального тестирования микропроцессоров ТЕСЛА // Сборник тезисом конференции «Микро-электроника и информатика», 2009;
8. Kornikhin E. Test Data Generation for LRU Cache-Memory testing // Proc. of Spring Young Researchers Colloquium on Software Engineering, 2009;
9. Kornikhin E. SMT-based Test Program Generation for Cache-memory Testing // Proc. of the 7th IEEE EAST-WEST DESIGN & TEST SYMPOSIUM, 2009.

18 сентября 2009 года  
Корныхин Е.В.