

## Chaves Muniesa, Pedro Manuel

### T2.2 RISC-V (40 min)

IA: Si, 7/10

*RISC- V (a): Describir en media-una página una característica de la arquitectura RISC-V no citada en la página 25 de este documento sobre la ALMa.*

En la página 25 se mencionan las siguientes características a cerca del ALMa RISC-32b con coma flotante:

- Mem:  $2^{32}$  x 8b, con instrucciones y datos alineados
- PC: 32 bits, cc = <cc.N, cc.Z >
- Brent: 32 reg x 32 bits (r0 = 0)
- BRfp: 32 reg x 64 bits
  - o Ld, st, addf, multf, ...

Una propiedad que no se menciona y que considero adecuada en el ámbito de los Centros de Datos a cerca de RISC-V es su capacidad de **escalabilidad y modularidad**. Esto permite implementar procesadores con un número de núcleos elevado, cache multinivel y soporte de memoria virtual avanzada (Sv48 y Sv57), características necesarias para manejar inmensas cargas de trabajo [1]. También veo adecuado mencionar que RISC-V integra extensiones enfocadas en **virtualización, seguridad y confiabilidad**, además de la gestión de interrupciones e IOMMU, lo que asegura el aislamiento de procesos y la protección en entornos multiusuario [2]. El ser una arquitectura abierta y libre de regalías, facilita la personalización de hardware optimizado para tareas específicas, mejorando de esta manera la **eficiencia energética y reduciendo costes** [3]. Todas estas propiedades, junto con un conjunto de software cada vez más extenso, hacen que RISC-V no solo sea una alternativa viable frente a arquitecturas tradicionales, sino también una plataforma en expansión en aplicaciones de alto rendimiento [4].



## Referencias

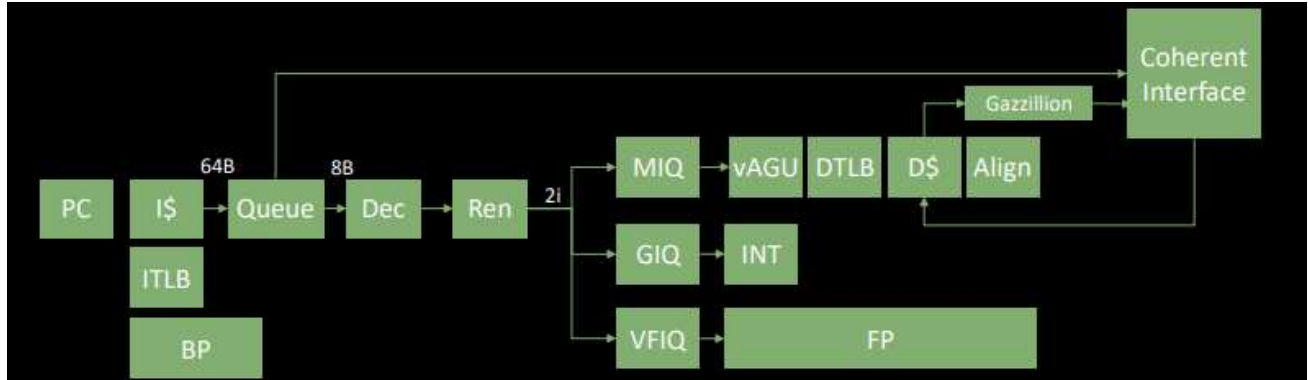
[1] SiFive – *SiFive Announces High-Performance RISC-V Datacenter Processor for AI Workloads* (2023). Disponible en: [sifive.com](https://sifive.com)

[2] Transforming Network Infrastructure – *Ventana Micro Systems Unveils Veyron V1, a RISC-V Data Center Class CPU* (2022). Disponible en: [transformingnetworkinfrastructure.com](https://transformingnetworkinfrastructure.com)

[3] Datacenter Dynamics – *Scaleway launches first RISC-V servers on the cloud* (2023). Disponible en: [datacenterdynamics.com](https://datacenterdynamics.com)

[4] RISC-V International – *RISC-V Specifications* (2024). Disponible en: [riscv.org](https://riscv.org)

RISC-V (b): Buscar un diagrama de organización relacionado con el procesador RISC-V “Atrevido” de la compañía Semidynamicas (C/ Galileo 303, Planta 2, Barcelona, 08028). Puede ser de todo el procesador o de una parte. Describir la función de los bloques principales.



#### 1. PC (Program Counter) y Fetch / I-cache / ITLB

- Función:** obtiene la siguiente instrucción desde memoria/instrucción cache (I\$). El ITLB traduce direcciones virtuales de instrucción a físicas usando el MMU (soporta Sv48 en las configuraciones anunciadas). Permite un fetch rápido y con baja latencia.
- Por qué importa:** reduce latencia de acceso a código y soporta grandes espacios virtuales requeridos por cargas de datos en centros de datos. [1][2].

#### 2. Branch Predictor (BP)

- Función:** predice la dirección de salto/condicionales para mantener la tubería llena. Entrega direcciones al fetch y ayuda a evitar burbujas por branches.
- Por qué importa:** en diseños OOO y wide (2/4-way) la predicción eficaz mejora IPC significativamente. [1].

#### 3. Decode / Micro-ops queue

- Función:** traduce instrucciones RISC-V (y extensiones) a micro-ops/operaciones internas; agrupa y alia instrucciones para enviar al renaming/issue.
- Por qué importa:** punto donde se detectan instrucciones vectoriales / VPU y se enrutan apropiadamente. [1].

#### 4. Renaming & Register Alias Table (RAT) / Free List

- Función:** mapea registros arquitecturales a registros físicos para eliminar dependencias falsas (WAR/WAW). Mantiene listas de registros libres y estado para recuperación en fallos.
- Por qué importa:** habilita ejecución fuera de orden segura y el gran paralelismo prometido por Atrevido (permite muchas instrucciones en vuelo). [1].

#### 5. Issue Queue / Wakeup / Reservation Stations (IQ / Window)

- Función:** almacena micro-ops renombradas hasta que sus operandos estén listos; realiza wakeup cuando fuentes están disponibles y envía instrucciones a las unidades funcionales.

- b. **Por qué importa:** la capacidad y política de la ventana determinan cuántas instrucciones pueden estar pendientes y la throughput del core. Atrevido anuncia altas capacidades (muchas miss outstanding). [1][4].
6. **Unidades de Ejecución (Execution Units)**
- a. **Enteras (ALU, branch units):** operaciones aritméticas y lógicas, cálculo de direcciones, etc.
  - b. **Punto Flotante (FPU):** operaciones FP simples/dobles (si se incluye extensión F/D).
  - c. **Multipliación/División:** unidades dedicadas para operaciones costosas.
  - d. **Vector / VPU lanes:** el VPU de Semidynamics es *lane-based* — múltiples lanes cada una con FMA / INT / DIV y una red cross-lane (XL) para operaciones como rgather/compress/expand; soporta RVV 1.0 y longitudes VLEN configurables (128b–4096b). [1][2].
  - e. **Por qué importa:** la presencia de un VPU fuerte y unidades dedicadas aumenta rendimiento en ML/HPC; el diseño lane-based permite escalabilidad y paralelismo por datos. [1][2].
7. **Load/Store Unit (AGU) / D-cache / DTLB / Gazzillion Misses™**
- a. **Función:** gestiona accesos a memoria: genera direcciones (AGU), traduce con DTLB, accede al D-cache; la tecnología “Gazzillion Misses™” permite una altísima concurrencia de miss outstanding (decenas hasta 128+), haciendo streaming en background para ocultar la latencia de memoria.
  - b. **Por qué importa:** en aplicaciones de streaming y big-data el cuello de botella es la memoria; esta subsistema reduce stalls por misses y mantiene ocupadas las unidades de ejecución. [1][4].
8. **Coherent Interface / NoC (CHI) o AXI**
- a. **Función:** conectividad fuera del core: cuando se usa en sistemas coherentes multiprocesador, el core puede conectarse a una NoC coherente via CHI; en configuraciones más simples usa AXI. Soporte coherente permite compartir caches entre cores.
  - b. **Por qué importa:** esencial si quieres cluster de núcleos para data-center con coherencia de memoria. [2][5].
9. **Retirement / Reorder Buffer (ROB) / Commit logic**
- a. **Función:** confirma (commits) los resultados en orden arquitectural, gestiona excepciones y recuperación on-misspeculation.
  - b. **Por qué importa:** asegura correcta arquitectura programática aun con ejecución fuera de orden y renombrado. [1].
10. **MMU / Soporte Sv39/48/57 y IOMMU (cuando aplica)**
- a. **Función:** traducción y protección de direcciones virtuales; soporte para grandes espacios virtuales (Sv48, Sv57 anunciados) e IOMMU para aislamiento de dispositivos.
  - b. **Por qué importa:** interoperabilidad con Linux y entornos cloud/datacenter, requisitos de virtualización y seguridad. [2][3].

## Referencias

[1] Roger Espasa (Semidynamics) — *Atrevido: SemiDynamics Out-of-Order RISC-V Core* (presentación PDF, RISC-V Week 2022). PDF con diagramas (VPU, bloques del core). Disponible en: <https://www.european-processor-initiative.eu/wp-content/uploads/2022/06/Roger-Espasa-%40-RISC-V-Week.pdf>

[2] Semidynamics — *Atrevido (producto)* — página de producto / configurator. Disponible en: <https://semidynamics.com/en/products/atrevido>

[3] Semidynamics — press release / anuncio Atrevido 423 (2023). Ej.: Design-Reuse / Semidynamics press. Disponible en: <https://www.design-reuse.com/news/14504-semidynamics-announces-fully-customisable-4-way-atrevido-423-risc-v-core-for-big-data-applications/>

[4][5] Cobertura técnica (artículos): TechDesignForums / Embedded Computing / eeNews que resumen la arquitectura, la tecnología “Gazzillion Misses” y el enfoque en AI/HPC. Ej.:  
<https://www.techdesignforums.com/blog/2023/04/17/semidynamics-atrevido-risc-v-core-hpc/> y  
<https://embeddedcomputing.com/technology/open-source/risc-v-open-source-ip/semidynamics-released-its-4-way-atrevido-423-risc-v-core>