

## Partie 1

**On reprendra le design utilisé lors du TP précédent**

**Q1 :** Ajouter une IP UART\_lite et étudier sa documentation (PG142). Relier Tx à Rx. Tester sur la carte. On vérifiera que ce qui est envoyé en Tx est bien reçu en Rx.

**Q2 :** On reliera maintenant Rx et Tx sur le PMOD JA1 et JA2. Modifier le fichier de contrainte en conséquence et tester. Relier un oscilloscope en tx et capturer une trame asynchrone. Relier maintenant 2 cartes zedboard ensemble et vérifier la bonne communication.

**Q3 :** Ecrire une routine d'émission et une de réception dans un projet Vitis et tester le bon fonctionnement.

## Partie 2

Dans cette partie, on crée notre propre composant en VHDL et on l'interfacera sur un bus axi.

**Q4 :** Créer un module VHDL permettant de générer un signal PWM (rapport cyclique variable). Tester en simulation.

En entrée, on dispose d'une horloge à 100 MHz, d'un signal de reset actif à l'état haut et d'un bus sur 16 bits qui permet de définir le rapport cyclique du signal carré (0 -> 0%, 65535 -> 100%).

**Q5 :** A l'aide du module VHDL interface\_axi.vhd, on va « intégrer » le composant PWM défini en Q4 dans l'espace du bus AXI. On intégrera 4 canaux PWM.