

《集成电路设计导论》实验

实验 3——算数运算电路实验

（实用型移位式二进制乘法器电路）

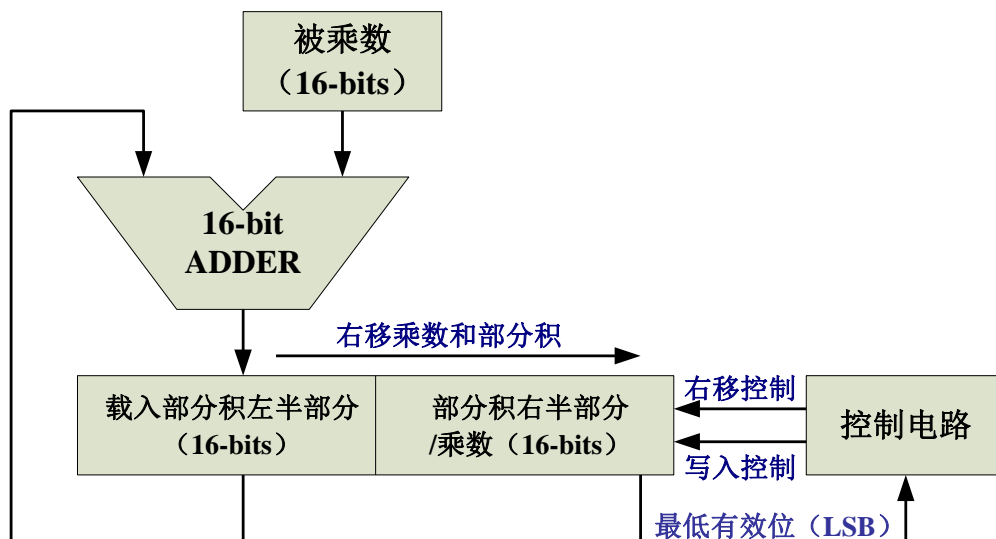
1、电路功能

设计一个 16-bit 的移位式乘法器电路，要求：

- （1） 采用最简单的方式产生部分积；
- （2） 采用右移部分积之和的部分积求和累加方式；
- （3） 结果乘积寄存器为 32-bit。

2、电路设计

采用 Verilog HDL 硬件描述语言进行，用 ModelSim EDA 软件进行仿真。



注：进行 16-bit 加法运算时，为了确保运算数据的动态范围，需要将加法结果的进位位包括在内！

3、实验内容

- （1） 详细分析实验电路的设计，明确电路结构及各个功能部件的功能，并在 ModelSim EDA 软件环境下对其进行初步的仿真验证；
- （2） 更改测试文件相关部分的参数值，对乘法器的正确性进行完备的测试。

4、实验报告中需要解答的问题

- （1） 根据对实验电路的分析，绘制该移位式乘法器电路详细的电路结构框图，并对电路描述中关键进程的相关功能、信号和参数的作用进行说明；
- （2） 采用 Verilog HDL 自主设计一个 4-bit 二进制计数器，要求该计数器具有异步/同步复位 (`async_rst/sync_rst`)、同步置数输入/置数控制 (`d_in/ld`)、计数时钟使能 (`enb`) 和计满指示 (`cout`)。

