## **Speech Content**

- ★ IR Drop 從晶片源頭供電到 instance 所消耗的電壓
- ★ high-frequency high-speed circuit when F>100MHz, can be called a high-frequency circuit when the delay of the digital signal in the circuit on the transmission line is greater than 1/2 rise time, it is called a high-speed circuit.
- ★ dummy metal Dummy metal fill is to satisfy the metal density for particular area.
- ★ Electromigration 通電導體內的電子運動, 導致導體的原子擴散、損失的一種現象
- ★ **ESD** 靜電放電,在絕緣介質的兩面分別有正負電荷,且逐漸累積時,絕緣介質上的電壓也會增加,當電壓高於一定程度後,一部分絕緣介質變為導體,使電流能夠通過。
- ★ Latch-up 指 cmos 晶片中, 在 VDD 和 GND 之間由於寄生的 PNP 和 NPN 雙極性 BJT 相互影響而產生的低阻抗通路, 它的存在會使 VDD 和 GND 之間產生大電流。
- ★ STA(static timing analysis) 分析同步邏輯電路設計是否合格的方式,僅判斷每個 path 的 timing(延遲長度)是否符合限制
- **★ FTA(Function timing analysis)** concurrently consider input vectors and path sensitization to verify timing performance. Accurate but slow to achieve 100% coverage
- ★ SSTA STA 的進化版,因為在計算 delay 時會有些隨機的變數,SSTA 會考慮不同 delay 之間的關係並考慮統計與分布並計算出相對準確的值。
- ★ False path 雖然有接線但絕對不可能走到的 path
- ★ Setup time 訊號必須在 clock edge 之前維持穩定多久
- ★ Hold time 訊號必須在 clock edge 來之後保持穩定多久
- ★ 3DIC 以堆疊的結構製造 IC,使訊號傳輸的距離變小
- ★ CoWos(Chip-on-Wafer-Substrate) 一種 2.5D 封裝技術,是先將晶片通過 CoW 的封裝過程連接 至矽晶圓,再把 CoW 晶片與基板連接,整合成 CoWoS
- ★ InFO(Integrated Fan-out) InFO 技術起源於 FOWLP, Fan-out 可通過 Epoxy 澆鑄,允許引腳超過 晶片,所以可以支援更多引腳,引腳密度更高
- ★ TSV(Through-Silicon Via) 一種能讓 3D 封裝遵守 Moore's Law 演進的互連技術, TSV 可像三明治 一樣堆疊晶片,可以電力互相連接的三次元堆疊封裝
- ★ PVT(Process Voltage Temperature) 電壓.溫度.工藝等條件組合,形成 PVT 條件,用于時序分析
- ★ Euler Path in standard cells Euler Path 是指一條經過圖中每一條邊皆恰好一次的路徑,可以優化 layout 內的 routing,簡便晶片的排序和空間
- ★ AI-driven EDA 在佈局和設計路線流程之前,就先評估設計的線路可能的錯誤。透過 AI 有助於 獲得更好的數據和最佳化的晶片佈局

- **★ RC extraction** to create an accurate analog model of the circuit, so that detailed simulations can emulate actual digital and analog circuit responses
- **★ RCLK** a very important pin. When driven High, the contents of Shift Register are copied into the Storage/Latch Register, which ultimately shows up at the output.