

컴퓨터과학기초

13주차

# 플립플롭(2)

인하공업전문대학 컴퓨터정보과

이수정 교수








지난 시간

---

## Ch.8 플립플롭

1. 기본적인 플립플롭
2. SR 플립플롭
3. D 플립플롭
4. JK 플립플롭

5. T 플립플롭
  6. 비동기 입력
  7. 플립플롭의 동작 특성
  8. 멀티바이브레이터
- 

# 조합논리회로와 순서논리회로

## 조합논리회로 (combinational logic circuit)

- 현재 입력의 조합에 의해서만 출력이 결정되는 논리회로

## 순서논리회로 (sequential logic circuit)

- 현재의 입력과 이전의 출력상태에 의해서 출력이 결정되는 논리회로
- 회로의 상태를 기억하는 기억 소자가 필요

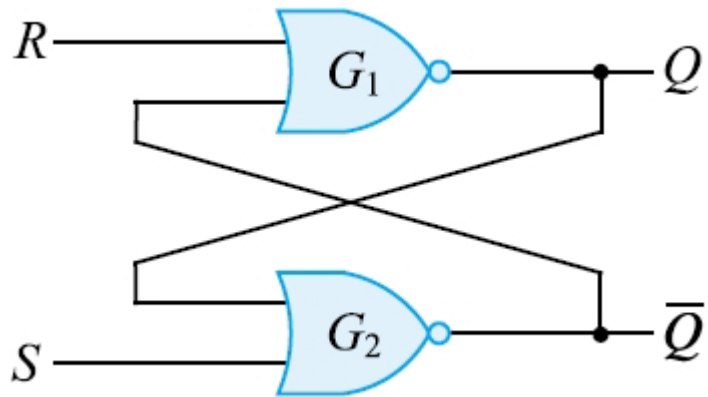
# 1. 기본적인 플립플롭

- 플립플롭(flip-flop)과 래치(latch)는 두 개의 안정된(bi-stable) 상태 중 하나를 가지는 1비트 기억소자
- 플립플롭 : 동기식 순서 논리 소자. 클록 신호에 따라 정해진 시점에서의 입력을 샘플하여 출력에 저장
- 래치 : 비동기식 순서 논리 소자. 클록 신호에 관계없이 언제든지 출력을 변화시킴
- 플립플롭과 래치도 게이트로 구성되지만 조합논리회로와 달리 궤환(feed back)이 있다.
- 래치회로는 근본적으로는 플립플롭과 유사한 기능을 수행

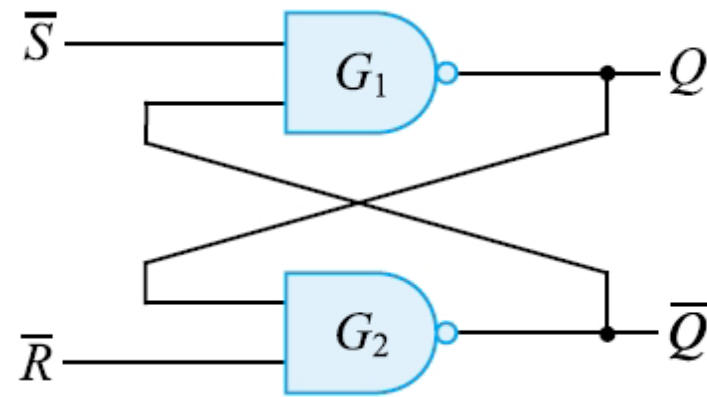
# 1. 기본적인 플립플롭

## ■ 기본적인 플립플롭 회로

- NOR 게이트 래치 또는 NAND 게이트 래치



<NOR 래치회로>



<NAND 래치회로>

# 1. 기본적인 플립플롭

## 1) NOR 게이트로 구성된 SR 래치

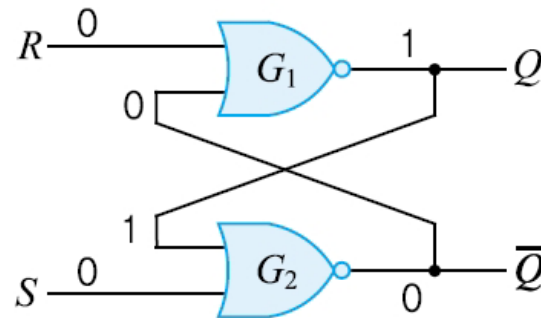
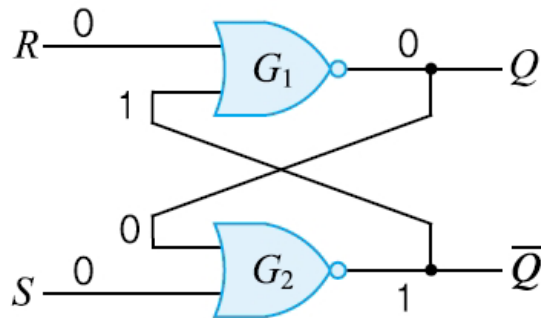
$S$	$R$	$Q(t+1)$
0	0	$Q(t)$ (불변)
0	1	0
1	0	1
1	1	(부정)

<진리표>

$A$	$B$	$F$
0	0	1
0	1	0
1	0	0
1	1	0

<NOR 진리표>

(1)  $S = 0, R = 0$  일 때



👉 출력은 현재상태 유지



# 1. 기본적인 플립플롭

## 2) NAND 게이트로 구성된 SR 래치

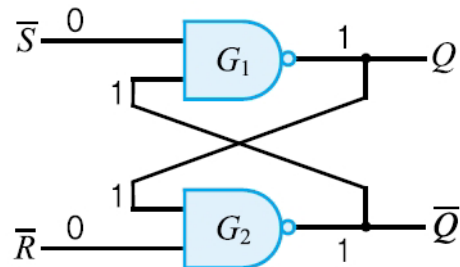
$\bar{S}$	$\bar{R}$	$Q(t+1)$
0	0	(부정)
0	1	1
1	0	0
1	1	$Q(t)$ (불변)

<진리표>

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

<NAND 진리표>

(1)  $\bar{S} = 0, \bar{R} = 0$ 일 때



👉 출력 : 부정 ( $Q = 1, \bar{Q} = 1$ )

# 1. 기본적인 플립플롭

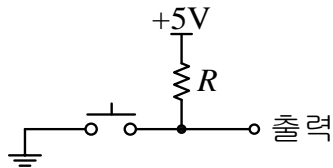
## 3) SR 래치의 응용 예

- 래치 : 기계적인 스위치에서 일어나는 접점(contact)의 바운싱(bouncing) 영향을 제거하는데 사용
- 바운싱 : 기계적인 스위치 내부에 존재하는 스프링의 탄성과 접점면의 불균일성 때문에 스위치를 개폐하는 경우 여러 번 붙었다가 떨어지는 현상

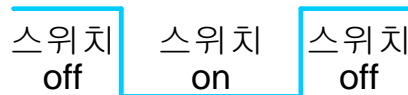


# 1. 기본적인 플립플롭

- 스위치 접점에서의 바운싱을 제거하기 위해 사용한 SR래치



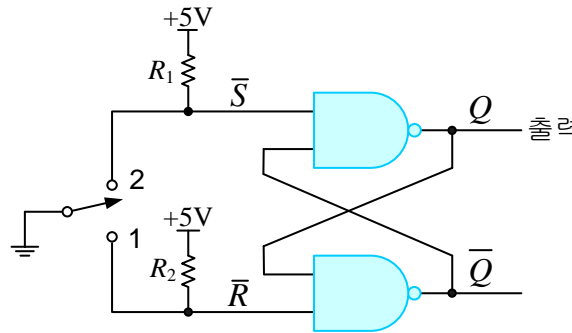
<스위치 회로>



<이상적인 출력>



<실제의 출력>



<래치를 부가한 스위치 회로>

\*풀-업 저항:  $R_1, R_2$



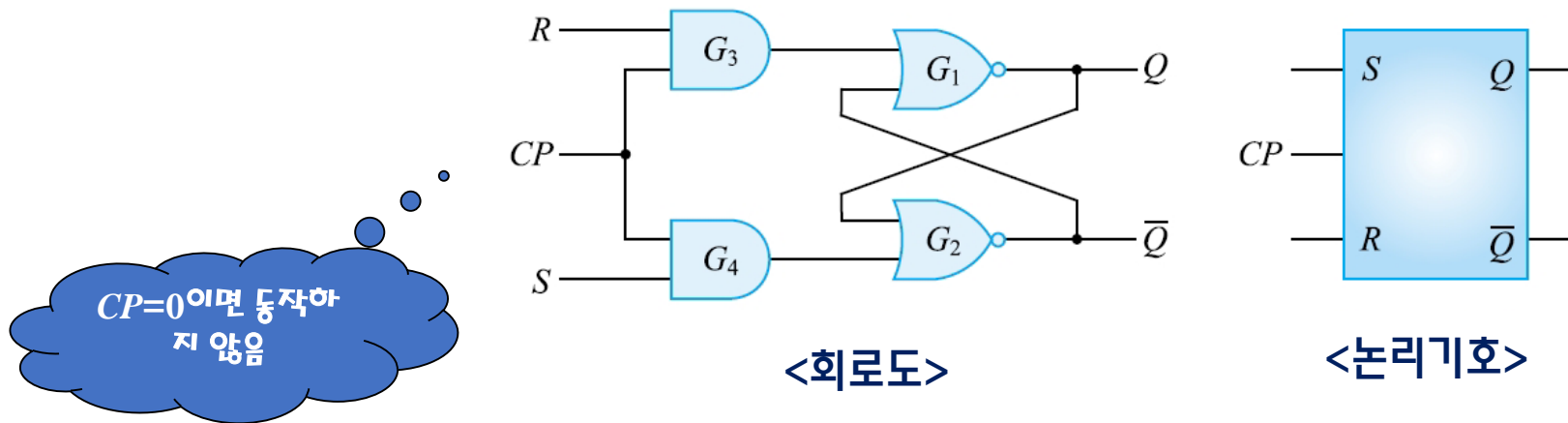
<래치가 없을 때의 출력(Q)>



<래치가 있을 때의 출력(Q)>

## 2. SR 플립플롭

### 1) 클록형 SR 플립플롭



CP=0인 경우	S와 R의 입력에 관계없이 앞단의 AND 게이트 $G_3$ 과 $G_4$ 의 출력이 항상 0이므로 플립플롭의 출력은 불변
CP=1인 경우	S와 R의 입력이 회로 후단의 NOR 게이트 $G_1$ 과 $G_2$ 의 입력으로 전달되어 앞에서 설명한 SR 래치와 같은 동작을 수행

\* 클록형 SR 플립플롭을 Gated SR 래치라고도 한다.

## 2. SR 플립플롭

CP	S	R	$Q(t+1)$
1	0	0	$Q(t)$
1	0	1	0
1	1	0	1
1	1	1	(부정)

<SR 플립플롭의 진리표>

$Q(t)$	S	R	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	(부정)
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	(부정)

<SR 플립플롭의 특성표>

특성 방정식  
(characteristic equation)

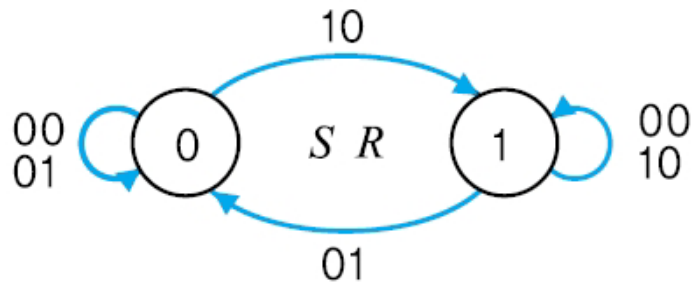
$Q(t) \backslash SR$	00	01	11	10
0			X	1
1	1		X	1

$$Q(t+1) = S + \bar{R}Q(t), \quad SR = 0$$

\*  $Q(t)$  : 현재 상태

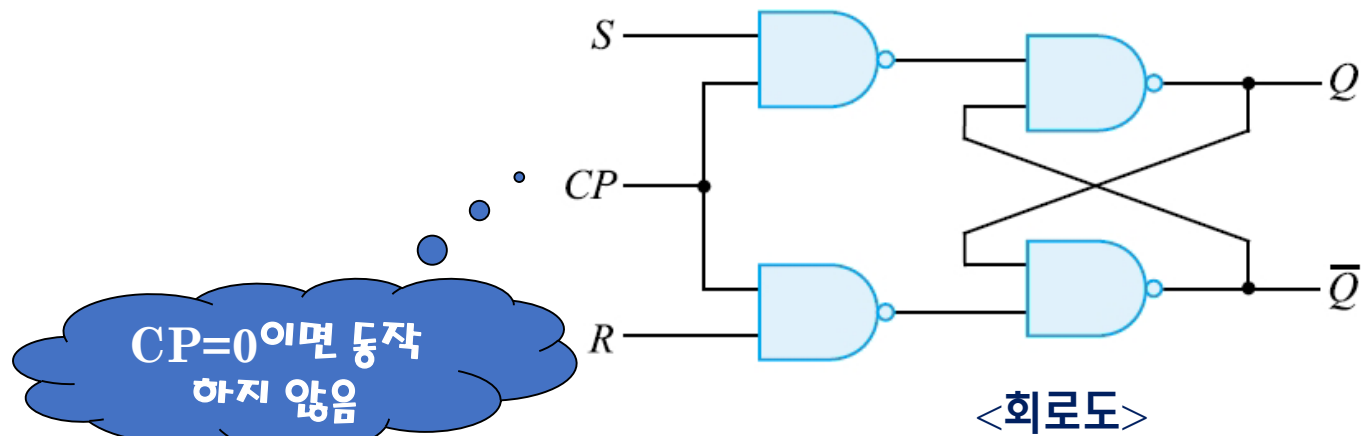
\*  $Q(t+1)$  : 다음 상태

## 2. SR 플립플롭



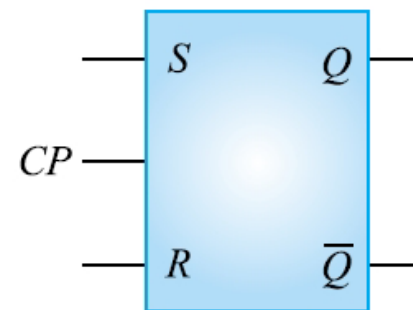
<SR 플립플롭의 상태도>

### ■ 클록형 SR 플립플롭(NAND형)



CP=0이면 동작  
하지 않음

<회로도>



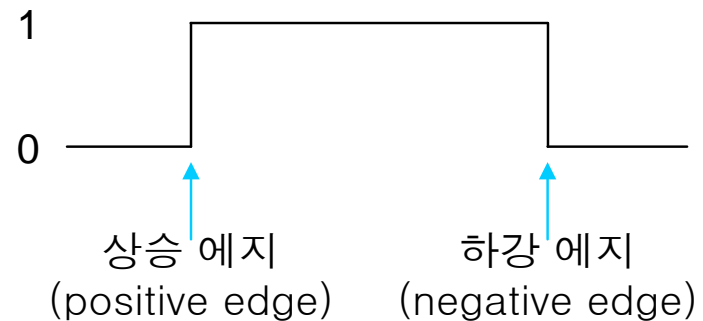
<논리기호>



## 2. SR 플립플롭

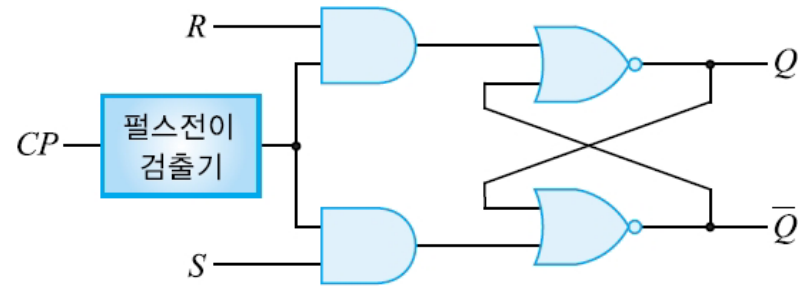
### 2) 에지 트리거 SR 플립플롭

- 클록형 SR 플립플롭은 클록펄스가 1인 상태에서 모든 동작이 수행
- 플립플롭의 동작시간보다도 클록펄스의 지속시간이 길면 플립플롭은 여러 차례 동작이 수행 되기 때문에 예측치 못한 동작을 할 여지가 충분
- 에지 트리거(edge trigger)를 이용
- 트리거 종류 : 레벨(level) 트리거, 에지(edge) 트리거
- 클록형 플립플롭은 레벨 트리거로 동작
- 에지 트리거는 플립플롭의 내부 구조를 바꾸어 클록이 0에서 1로 변하거나 1에서 0으로 변할 때의 순간에만 입력을 받아들이게 하는 방법

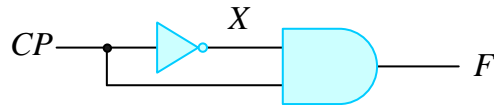


## 2. SR 플립플롭

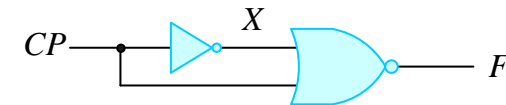
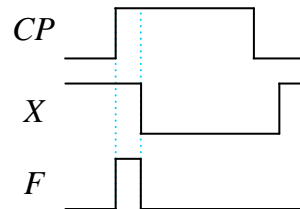
### ■ 에지 트리거 SR 플립플롭



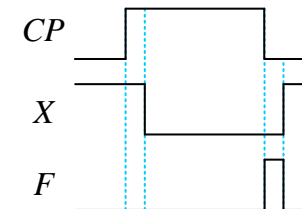
<논리회로도>



<상승에지 펄스전이검출기>



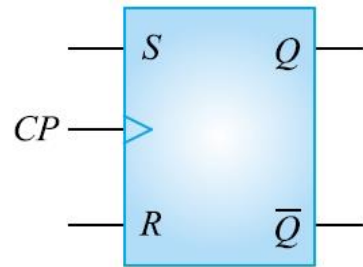
<하강에지 펄스전이검출기>



- S와 R입력을 동기입력(synchronous input)이라 한다.

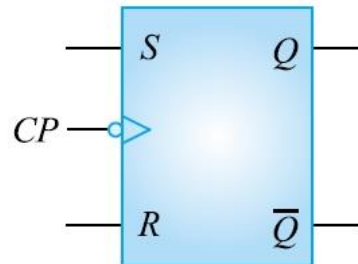
## 2. SR 플립플롭

### ■ 에지 트리거 SR 플립플롭의 논리기호와 진리표



$CP$	$S$	$R$	$Q(t+1)$
$\uparrow$	0	0	$Q(t)$ (불변)
$\uparrow$	0	1	0
$\uparrow$	1	0	1
$\uparrow$	1	1	(부정)

<상승에지 트리거 SR 플립플롭>



$CP$	$S$	$R$	$Q(t+1)$
$\downarrow$	0	0	$Q(t)$ (불변)
$\downarrow$	0	1	0
$\downarrow$	1	0	1
$\downarrow$	1	1	(부정)

<하강에지 트리거 SR 플립플롭>

## 차례

---

### Ch.8 플립플롭

1. 기본적인 플립플롭
2. SR 플립플롭
3. D 플립플롭
4. JK 플립플롭
5. T 플립플롭
6. 비동기 입력
7. 플립플롭의 동작 특성
8. 멀티바이브레이터



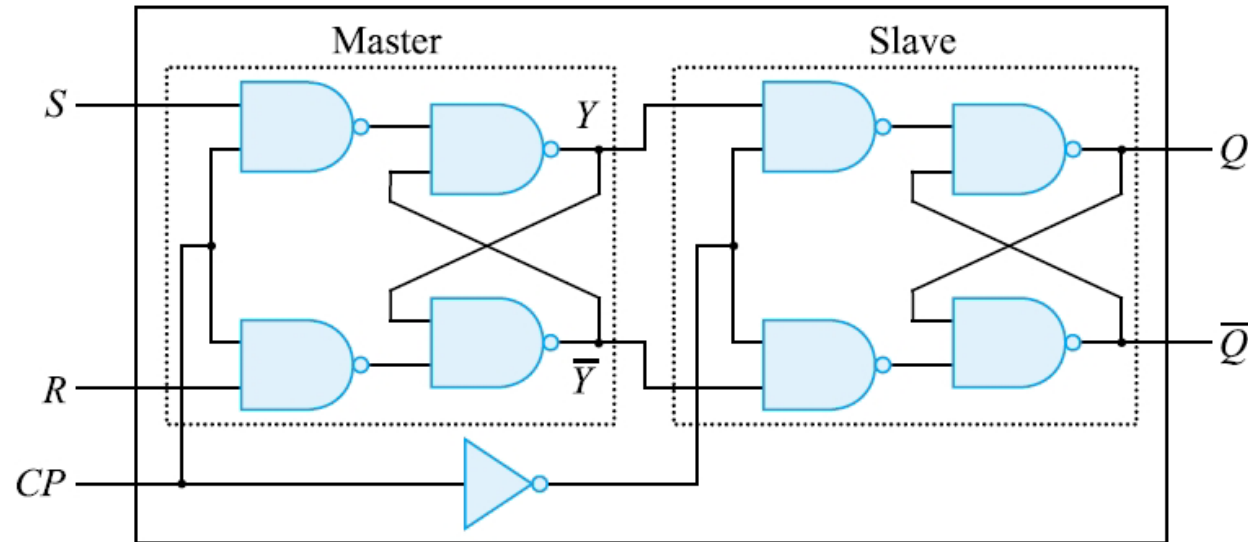
## 2. SR 플립플롭

### 3) 주종형 *SR* 플립플롭

- 주종형(master-slave) 플립플롭
- 레벨 트리거링의 문제점을 해결하기 위한 Another Solution
- 한 클록 주기동안 한 번만 상태가 정의됨
- 외견상 에지 트리거링인 것처럼 동작하지만 에지 트리거링 방식은 아님

## 2. SR 플립플롭

### 3) 주종형 SR 플립플롭



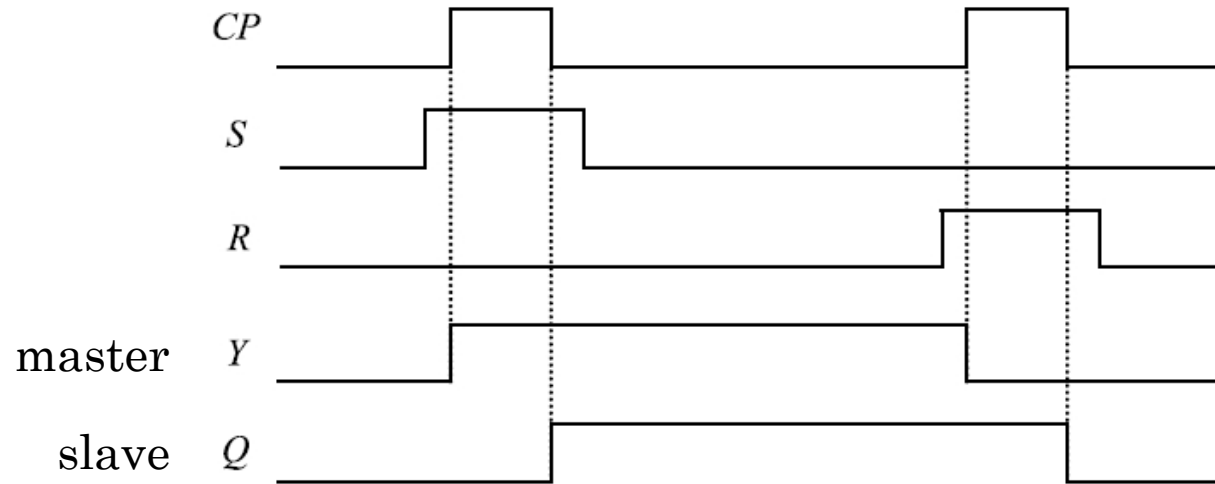
$CP=1$

외부의  $S$ 와  $R$ 의 입력이 **Master** 플립플롭에 전달  
**Slave** 플립플롭은  $CP=0$ 이므로 동작하지 않음.

$CP=0$

**Slave** 플립플롭이 동작하여  $Q = Y, \bar{Q} = \bar{Y}$   
**Master** 플립플롭은  $CP=0$ 이므로 동작하지 않음.

## 2. SR 플립플롭



<주종형 SR 플립플롭의 파형도>

### ■ 레이스(race) 현상

- 플립플롭은 출력이 입력에 피드백되어 있으므로 클록의 레벨 폭이 플립플롭의 지연시간보다 크면 출력 상태에 의해 입력 상태가 바뀌고, 이로 인해 다시 출력 상태가 바뀌어 플립플롭이 안정화되지 못하는 현상이다.

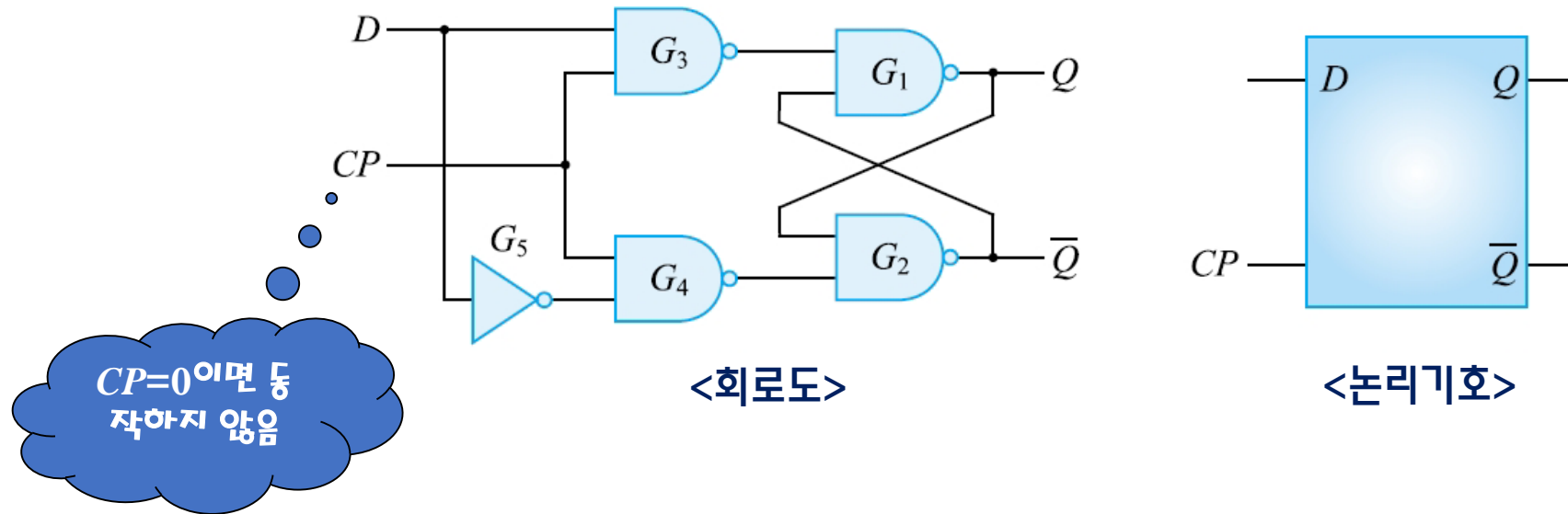
# 3. D 플립플롭

## 1) 클록형 D 플립플롭

- 클록형 SR 플립플롭에서 원하지 않는 상태( $S=R=1$ )를 제거하는 한 가지 방법
- 클록형 D 플립플롭(Clocked D Flip-Flop)은 클록형 SR 플립플롭을 변형한 것
- 입력신호 D가 CP에 동기되어 그대로 출력에 전달되는 특성을 가지고 있음
- D 플립플롭이라는 이름은 데이터(Data)를 전달하는 것과 지연(Delay)하는 역할에서 유래



### 3. D 플립플롭



$CP=1, D=1$	$G_3$ 의 출력은 0, $G_4$ 의 출력은 1이 된다. 따라서 SR 래치의 입력은 $S=0, R=1$ 이 되므로 결과적으로 $Q=1$ 을 얻는다.
$CP=1, D=0$	$G_3$ 의 출력은 1, $G_4$ 의 출력은 0이 된다. 따라서 SR 래치의 입력은 $S=1, R=0$ 이 되므로 결과적으로 $Q=0$ 을 얻는다.

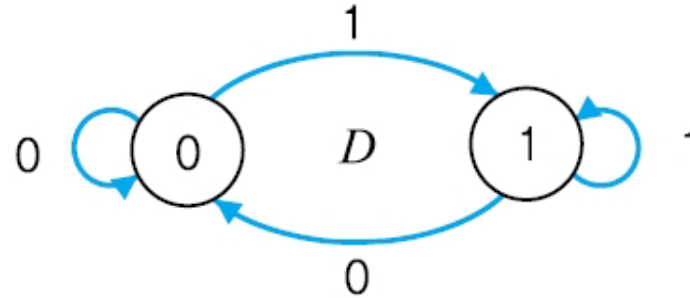
# 3. D 플립플롭

CP	D	$Q(t+1)$
1	0	0
1	1	1

<D 플립플롭의 진리표>

$Q(t)$	D	$Q(t+1)$
0	0	0
0	1	1
1	0	0
1	1	1

<D 플립플롭의 특성표>



<D 플립플롭의 상태도>

$Q(t) \backslash D$	0	1
0		1
1		1

$$Q(t+1) = D$$

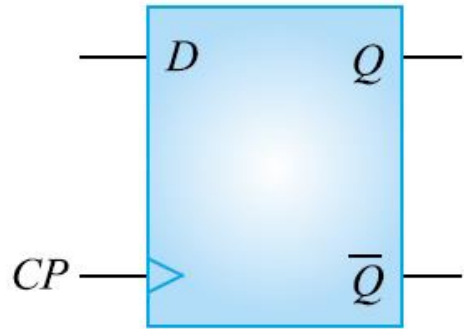
특성 방정식  
(characteristic equation)

\*  $Q(t)$  : 현재 상태  
\*  $Q(t+1)$  : 다음 상태

### 3. D 플립플롭

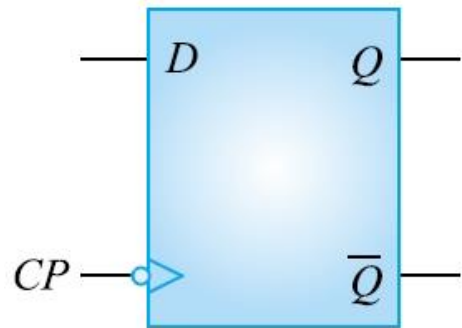
#### 2) 에지 트리거 D 플립플롭

- 클록형 D 플립플롭의 클록펄스 입력에 펄스전이검출기를 추가하여 구성



CP	D	Q(t+1)
↑	0	0
↑	1	1

<상승에지 트리거 D 플립플롭의 논리기호 및 진리표>



CP	D	Q(t+1)
↓	0	0
↓	1	1

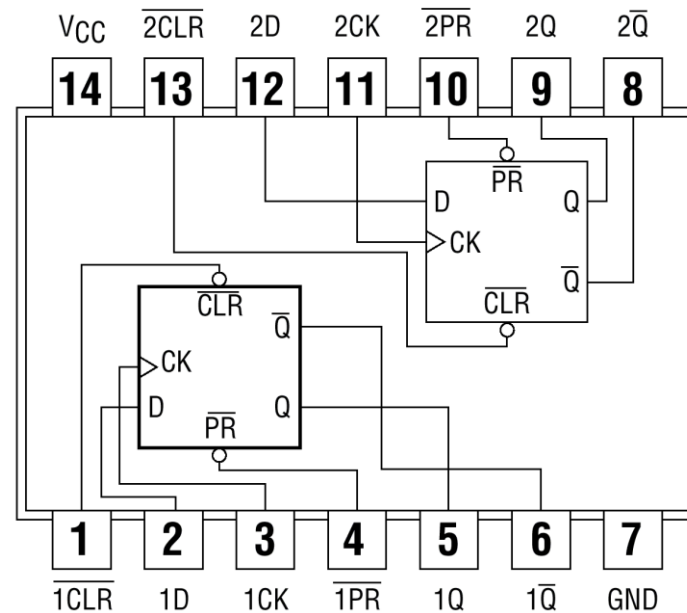
<하강에지 트리거 D 플립플롭의 논리기호 및 진리표>

1001000010000011000010011  
0011000010000011000010011  
0011000010000011000010011

### 3. D 플립플롭

#### ■ 7474(Dual 상승에지 트리거 D 플립플롭)

- $\overline{PR}$  과  $\overline{CLR}$  은 active low이며  $\overline{PR}=0$ 이면 입력  $D$ 나  $CP$ 에 관계없이  $Q=1$ 로 되고 또한  $\overline{CLR}=0$ 이면  $D$ 나  $CP$ 에 관계없이  $Q=0$ 이 된다.



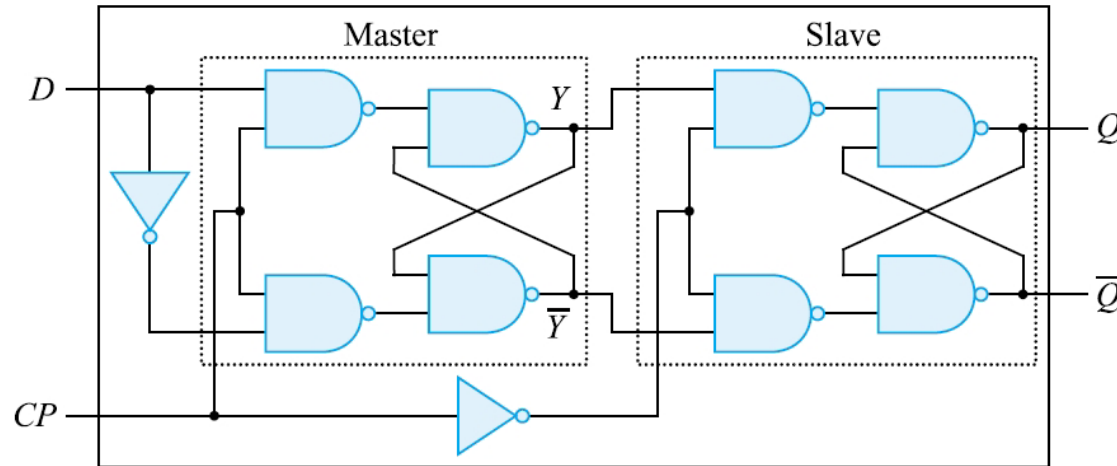
<7474 IC 핀 배치도>



# 3. D 플립플롭

## 3) 주종형 D 플립플롭

- Master 플립플롭의 클럭입력은 클럭펄스가 그대로 입력되고, Slave 플립플롭 부분의 클럭입력에는 반전된 클럭펄스가 입력되도록 구성



$CP=1$	외부의 $D$ 입력이 Master 플립플롭에 전달 Slave 플립플롭은 $CP=0$ 이므로 동작하지 않음.
$CP=0$	Slave 플립플롭이 동작하여 $Q = Y, \bar{Q} = \bar{Y}$ Master 플립플롭은 $CP=0$ 이므로 동작하지 않음.

# 4. JK 플립플롭

## 1) 클록형 JK 플립플롭

- JK 플립플롭은 SR 플립플롭에서  $S=1, R=1$ 인 경우 출력이 불안정한 상태가 되는 문제점을 개선하여  $S=1, R=1$ 에서도 동작하도록 개선한 회로
- JK 플립플롭의 J는 S(set)에, K는 R(reset)에 대응하는 입력
- $J=1, K=1$ 인 경우 JK 플립플롭의 출력은 이전 출력의 보수 상태로 변화
- JK 플립플롭은 플립플롭 중에서 가장 많이 사용되는 플립플롭이다.

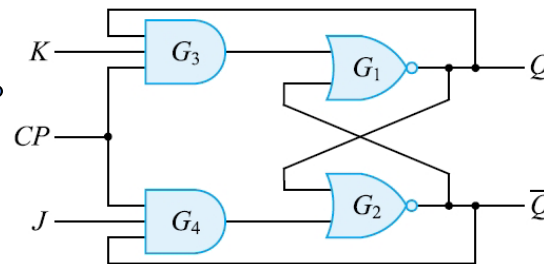
- JK 플립플롭에서 J와 K의 어원에 대한 정확한 근거는 없으나, 미국의 물리학자 잭 킬비 (Jack S. Kilby, 1923~2005)의 이름 이니셜이라는 설이 있다. Texas Instruments사의 엔지니어였던 잭 킬비는 1958년 집적회로를 발명했고, 2000년에 노벨 물리학상을 수상했다.
- 또 다른 설은 가장 흔한 미국 남녀 이름인 John과 Kate에서 따온 말이라고도 하지만 정확한 것은 알려져 있지 않다.

# 4. JK 플립플롭

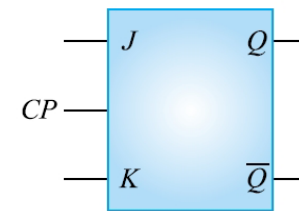
## ■ 동작

- $J=0, K=0$  :  $G_3$ 과  $G_4$ 의 출력이 모두 0이므로  $G_1$ 과  $G_2$ 로 구성된  $SR$  래치는 출력이 변하지 않는다.
- $J=0, K=1$  :  $G_4$ 의 출력은 0이 되고  $G_3$ 의 출력은  $Q(t) \cdot K \cdot CP$  인데  $K=1, CP=1$ 이므로  $Q(t)$ 가 된다.
- $J=1, K=0$  :  $G_3$ 의 출력은 0이 되고  $G_4$ 의 출력은  $\bar{Q}(t) \cdot J \cdot CP$  인데  $J=1, CP=1$ 이므로  $\bar{Q}(t)$ 가 된다.
- $J=1, K=1$  :  $G_3$ 의 출력은  $Q(t) \cdot K \cdot CP$  인데  $K=1, CP=1$ 이므로  $Q(t)$ 가 된다. 또한  $G_4$ 의 출력은  $\bar{Q}(t) \cdot J \cdot CP$  인데  $J=1, CP=1$ 이므로  $\bar{Q}(t)$ 가 된다.  $Q(t)=0$ 인 경우  $SR$  래치의  $S=1, R=0$ 인 경우와 같으므로 출력은  $Q(t+1)=1$ 이 된다. 마찬가지로  $Q(t)=1$ 인 경우  $SR$  래치의  $S=0, R=1$ 인 경우와 같으므로 출력은  $Q(t+1)=0$ 이 된다. 따라서 출력은 보수가 된다.

CP=0이면  
동작하지 않음



<회로도>



<논리기호>

# 4. JK 플립플롭

CP	J	K	$Q(t+1)$
1	0	0	$Q(t)$ (불변)
1	0	1	0
1	1	0	1
1	1	1	$\overline{Q(t)}$ (toggle)

<JK 플립플롭의 진리표>

특성 방정식  
(characteristic equation)

\*  $Q(t)$  : 현재 상태

\*  $Q(t+1)$  : 다음 상태

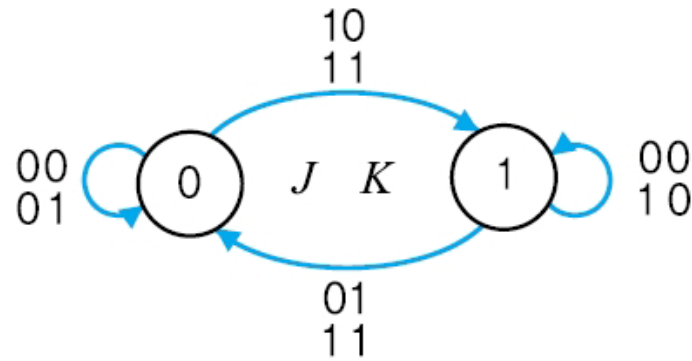
$Q(t)$	J	K	$Q(t+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

<JK 플립플롭의 특성표>

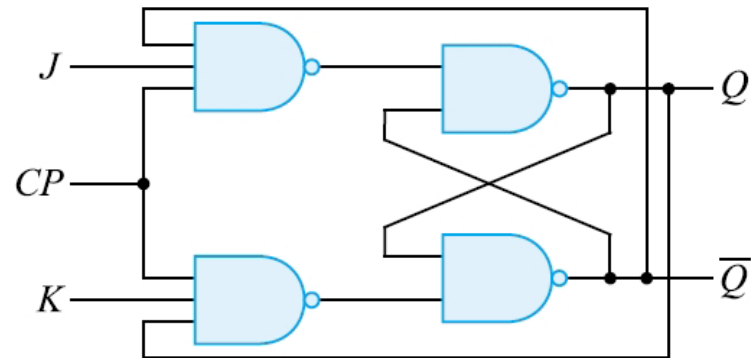
		JK			
		00	01	11	10
$Q(t)$	0			1	1
	1	1			1

$$Q(t+1) = J\overline{Q}(t) + \overline{K}Q(t)$$

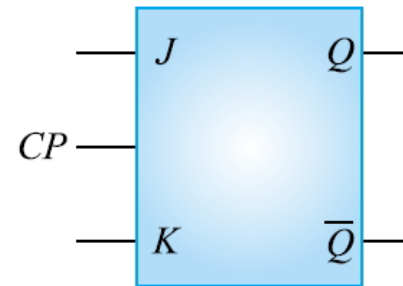
# 4. JK 플립플롭



<JK 플립플롭의 상태도>



<회로도>



<논리기호>

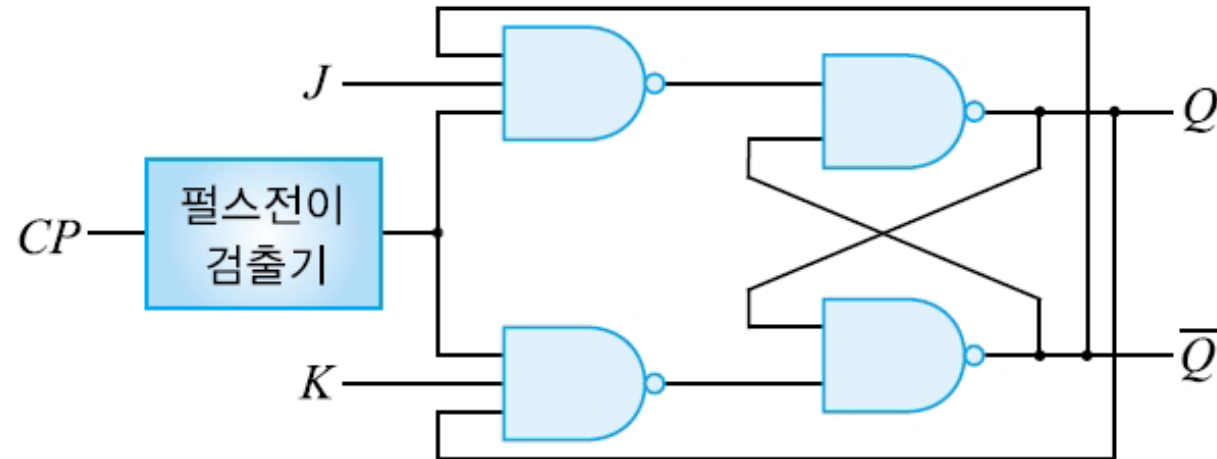
클록형 JK 플립플롭(NAND 게이트형)



# 4. JK 플립플롭

## 2) 에지 트리거 JK 플립플롭

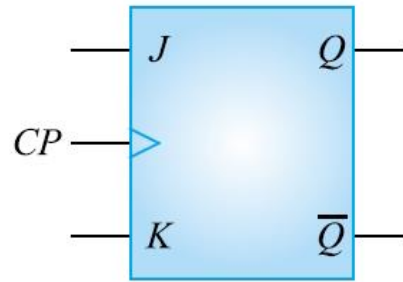
- 클록형 JK 플립플롭의 클록펄스 입력에 펄스전이 검출기를 추가하여 구성



<에지 트리거 JK 플립플롭의 구조>

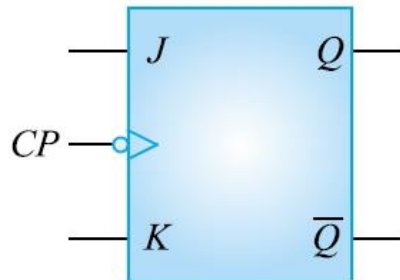
# 4. JK 플립플롭

## ■ 에지 트리거 JK 플립플롭의 논리기호와 진리표



CP	J K	$Q(t+1)$
↑	0 0	$Q(t)$ (불변)
↑	0 1	0
↑	1 0	1
↑	1 1	$\bar{Q}(t)$ (toggle)

### <상승 에지 트리거 JK 플립플롭의 논리기호 및 진리표>



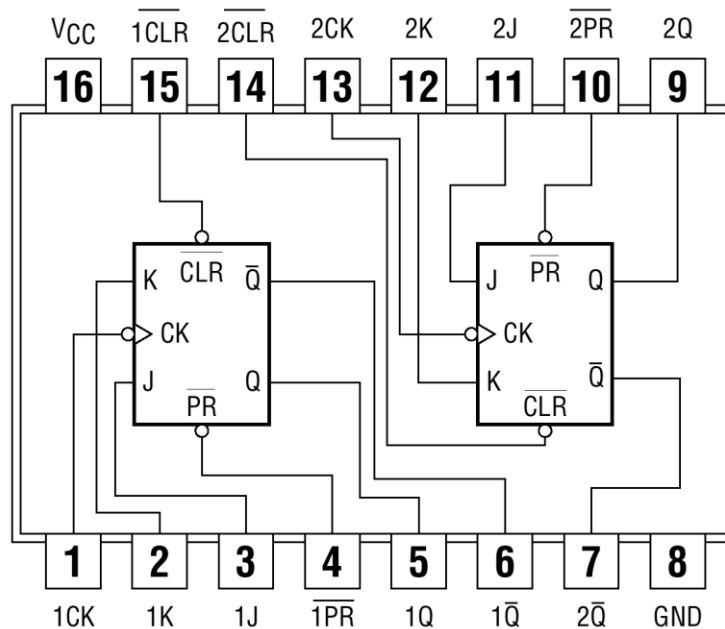
CP	J K	$Q(t+1)$
↓	0 0	$Q(t)$ (불변)
↓	0 1	0
↓	1 0	1
↓	1 1	$\bar{Q}(t)$ (toggle)

### <하강 에지 트리거 JK 플립플롭의 논리기호 및 진리표>

## 4. JK 플립플롭

### ■ 74112(Dual 하강에지 트리거 JK 플립플롭)

- $\overline{PR}$ 과  $\overline{CLR}$ 은 active low이며  $\overline{PR}=0$ 으로 하면 입력  $J, K, CP$ 에 관계없이  $Q=1$ 로 되고 또한  $\overline{CLR}=0$ 로 하면  $J, K, CP$ 에 관계없이  $Q=0$ 이 된다.

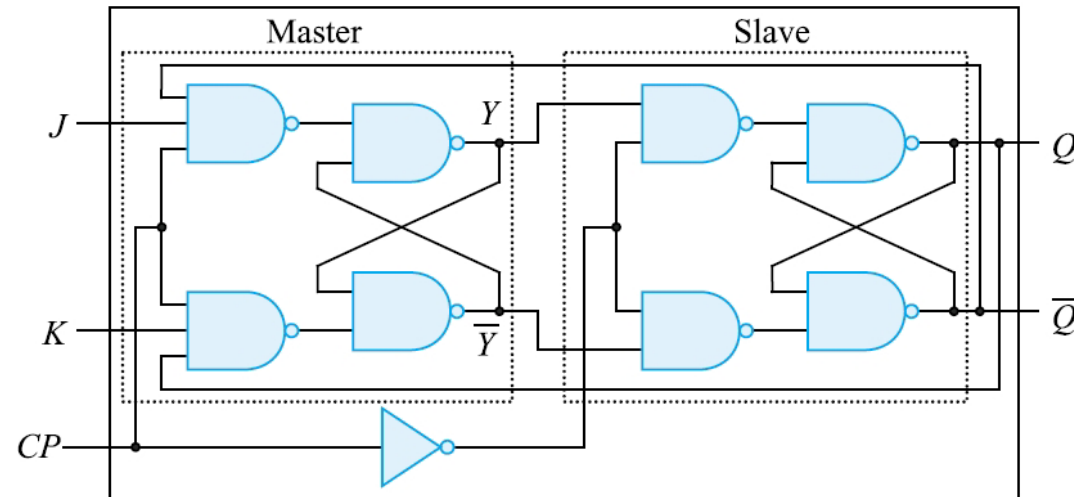


<74112 IC 핀 배치도>

# 4. JK 플립플롭

## 3) 주종형 JK 플립플롭

- Master 플립플롭의 클럭입력은 클럭펄스가 그대로 입력되고, Slave 플립플롭 부분의 클럭입력에는 반전된 클럭펄스가 입력되도록 구성



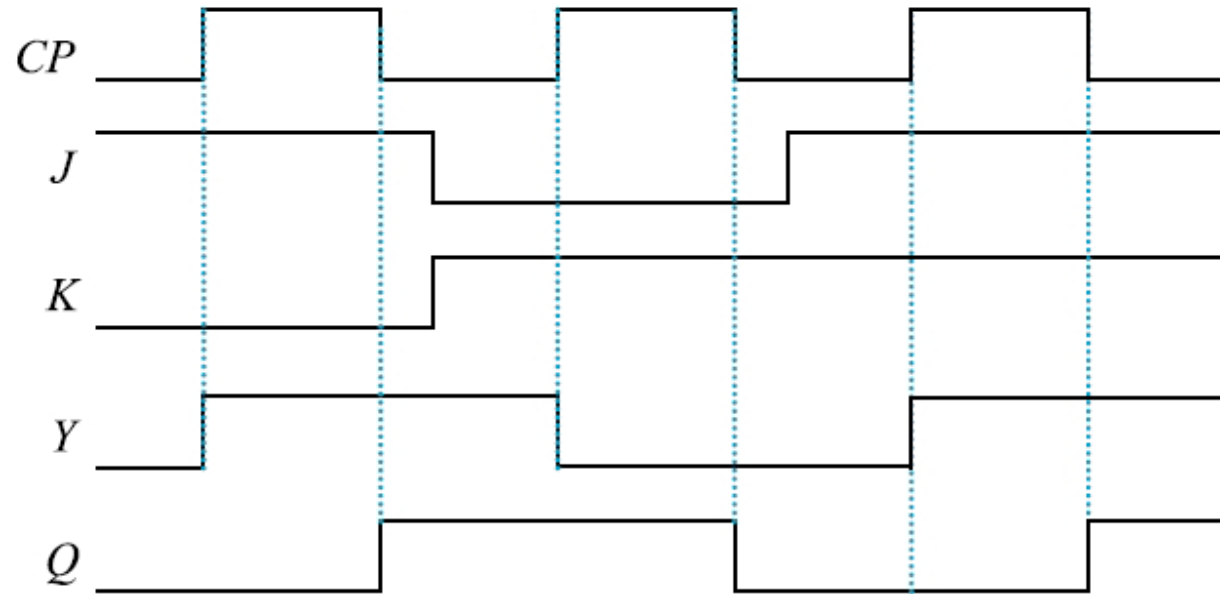
$CP=1$

외부의  $J$ 와  $K$ 의 입력이 **Master** 플립플롭에 전달  
**Slave** 플립플롭은  $CP=0$ 이므로 동작하지 않음.

$CP=0$

**Slave** 플립플롭이 동작하여  $Q = Y, \bar{Q} = \bar{Y}$   
**Master** 플립플롭은  $CP=0$ 이므로 동작하지 않음.

## 4. JK 플립플롭



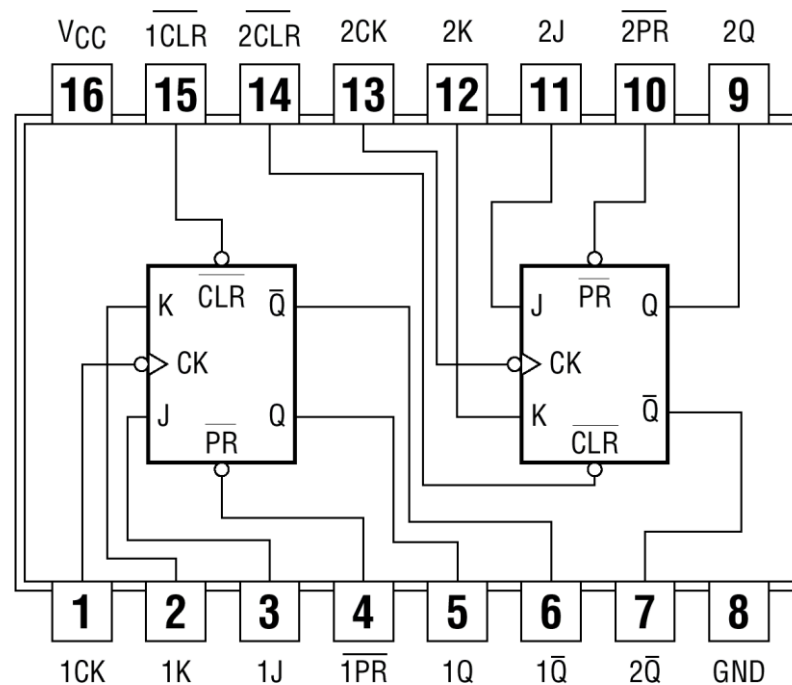
<주종형 JK 플립플롭의 파형도>



## 4. JK 플립플롭

### ■ 7476(Dual 하강에지 트리거 주종형 JK 플립플롭)

- 카운터 등에서 가장 널리 쓰이는 하강에지 트리거 주종형 JK 플립플롭이며, 2개가 하나의 패키지 안에 들어있다. 7474와 마찬가지로 비동기 입력인  $\overline{PR}$ 과  $\overline{CLR}$  단자가 있다.

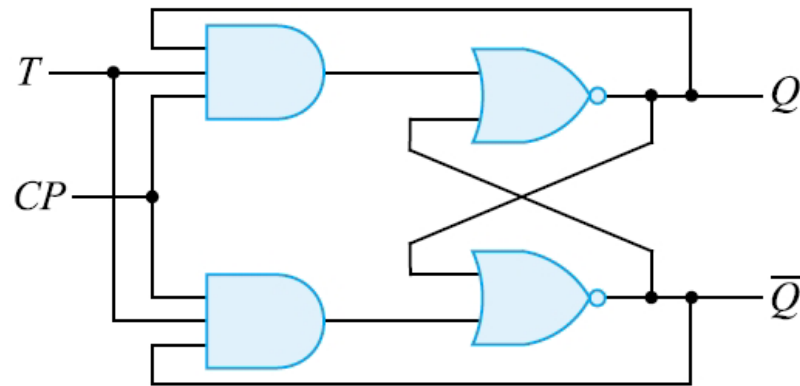


<7476의 핀 배치도>

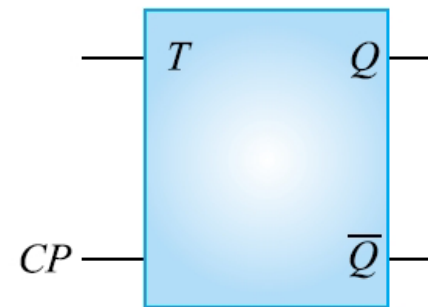
# 5. T 플립플롭

## 1) 클록형 T 플립플롭

- JK 플립플롭의 J와 K 입력을 묶어서 하나의 입력신호 T로 동작시키는 플립플롭
- JK 플립플롭의 동작에서 입력이 모두 0이거나 1인 경우만을 이용하는 플립플롭
- T 플립플롭의 입력  $T=0$ 이면, T 플립플롭은  $J=0, K=0$ 인 JK 플립플롭과 같이 동작하므로 출력은 변하지 않는다.  $T=1$ 이면,  $J=1, K=1$ 인 JK 플립플롭과 같이 동작하므로 출력은 보수가 된다.



<회로도>

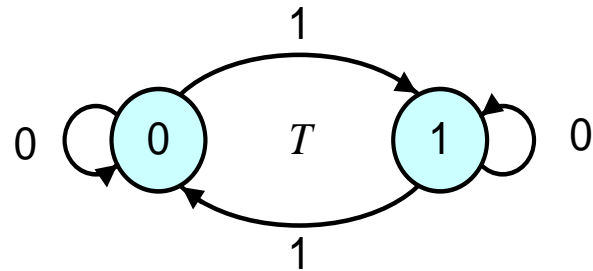


<논리기호>

# 5. T 플립플롭

CP	T	$Q(t+1)$
1	0	$Q(t)$
1	1	$\bar{Q}(t)$

<T 플립플롭의 진리표>



<T 플립플롭의 상태도>

$Q(t)$	T	$Q(t+1)$
0	0	0
0	1	1
1	0	1
1	1	0

<T 플립플롭의 특성표>

$Q(t) \backslash T$	0	1
0		1
1	1	

특성 방정식  
(characteristic equation)

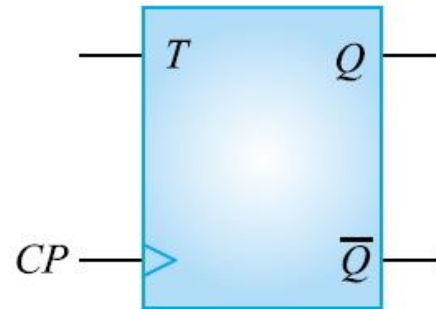
$$Q(t+1) = T\bar{Q}(t) + \bar{T}Q(t)$$

- \*  $Q(t)$  : 현재 상태
- \*  $Q(t+1)$  : 다음 상태

# 5. T 플립플롭

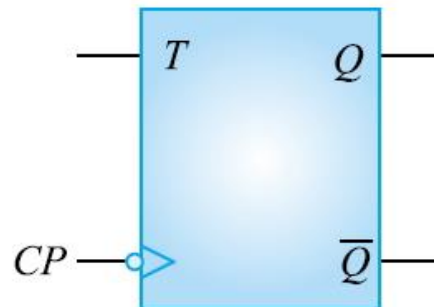
## 2) 에지 트리거 T 플립플롭

- 클록형 T 플립플롭의 클록펄스 입력에 펄스 전이 검출기를 추가하여 구성



CP	T	Q(t+1)
↑	0	Q(t)
↑	1	$\overline{Q}(t)$

<상승에지 트리거 T 플립플롭>

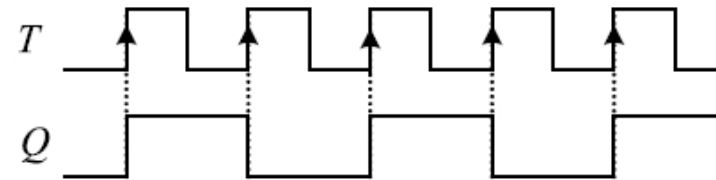
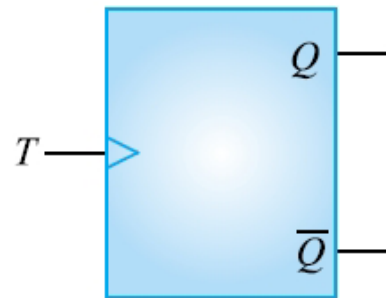


CP	T	Q(t+1)
↓	0	Q(t)
↓	1	$\overline{Q}(t)$

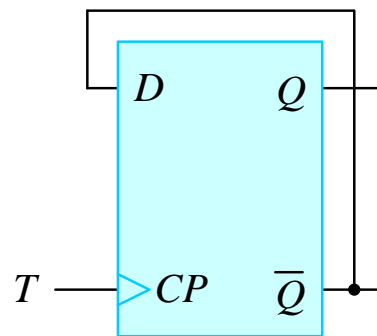
<하강에지 트리거 T 플립플롭>

# 5. T 플립플롭

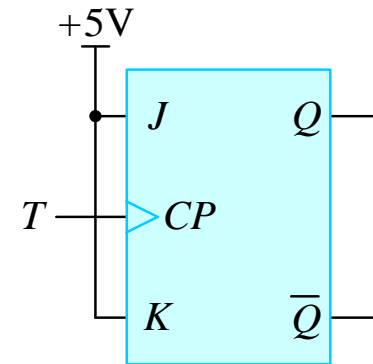
- $T$  입력은 논리 1 상태로 고정하고  $CP$ 에 클록펄스를 트리거 입력으로 사용
- 이러한 경우  $T$  플립플롭은 클록펄스가 들어올 때마다 상태가 바뀌어지는 회로



## ■ $T$ 플립플롭을 구현하는 방법



<D 플립플롭을 이용>



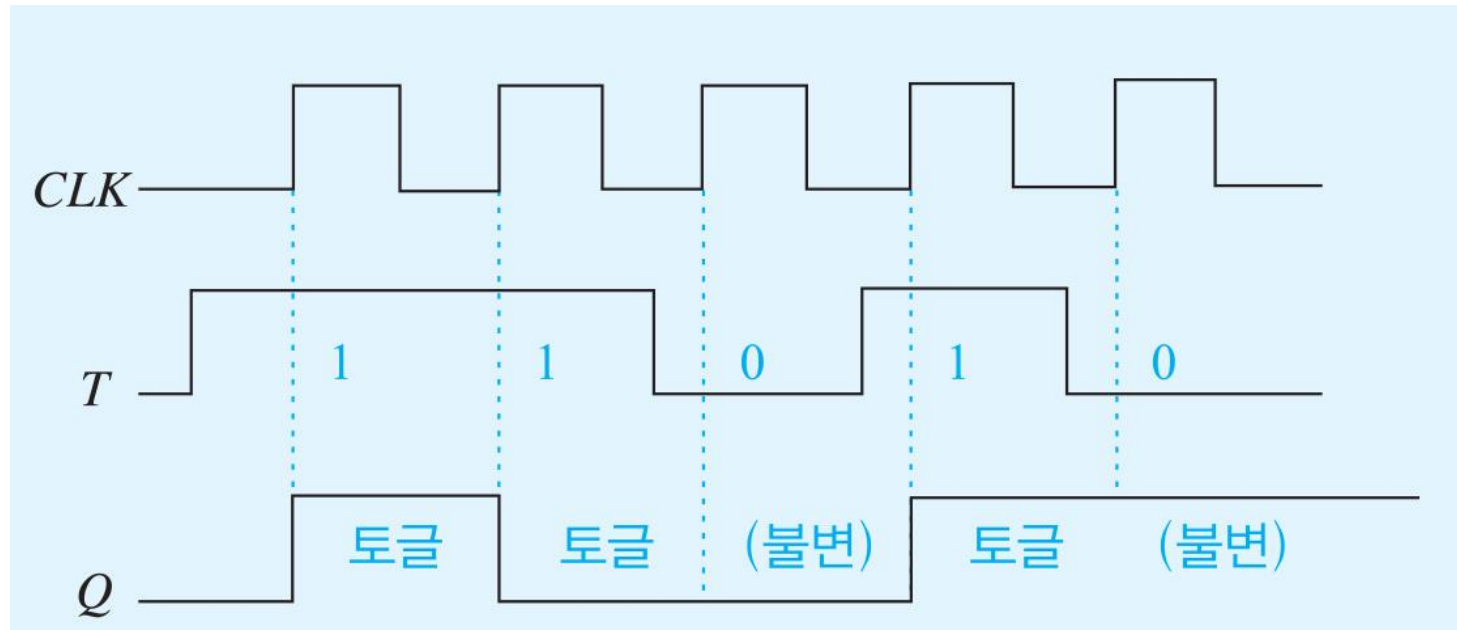
<JK 플립플롭을 이용>



## 5. T 플립플롭

- 예제) 클록의 상승에지에서 트리거되는 T 플립플롭에서 다음과 같은 파형을 가지는 CLK와 T입력신호가 들어오는 경우에 출력 파형 Q를 구하시오. 단, Q는 0으로 초기화되어 있음.

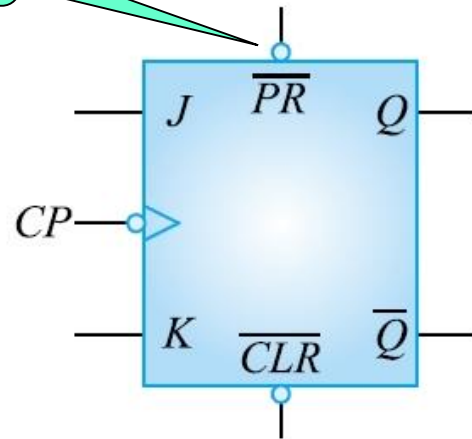
CP	T	$Q(t+1)$
1	0	$Q(t)$
1	1	$\bar{Q}(t)$



## 6. 비동기 입력

- 대부분의 플립플롭은 클록펄스에 의해서 플립플롭의 상태를 변화시킬 수 있는 동기 입력이 있고, 클록펄스와 관계없이 비동기적으로 변화시킬 수 있는 비동기 입력인 preset(  $\overline{PR}$  ) 입력과 clear(  $\overline{CLR}$  ) 입력이 있다.
- 비동기 입력들은 플립플롭의 초기조건을 결정하는 등 다방면으로 유용하게 사용

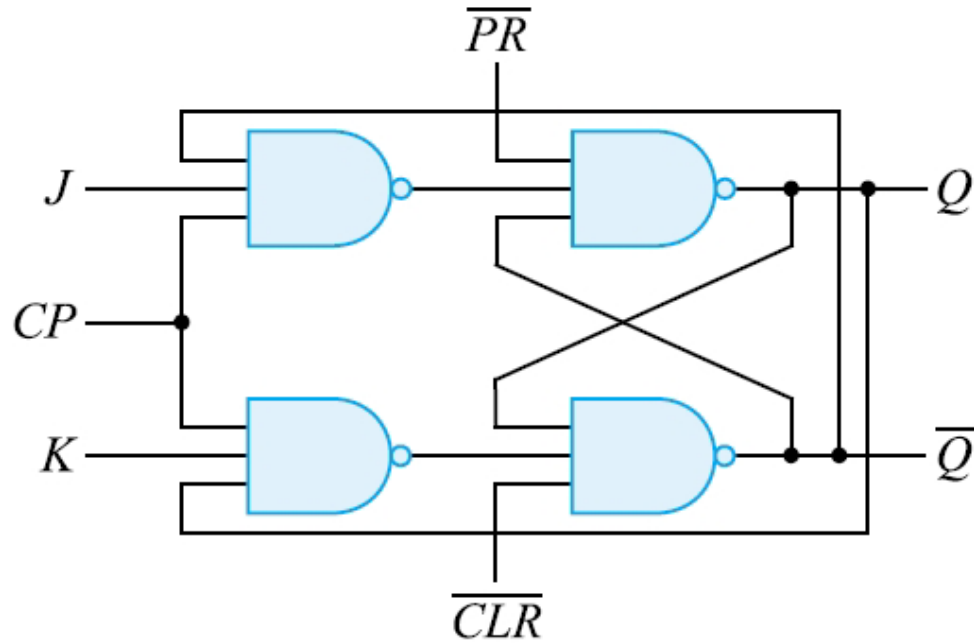
Active low



$\overline{PR}$	$\overline{CLR}$	$CP$	$J$	$K$	$Q$
0	1	x	x	x	1
1	0	x	x	x	0
1	1	↓	0	0	변화 없음
1	1	↓	0	1	0
1	1	↓	1	0	1
1	1	↓	1	1	toggle

<JK 플립플롭의 블록도와 진리표(비동기 입력을 가진 에지 트리거링)>

## 6. 비동기 입력

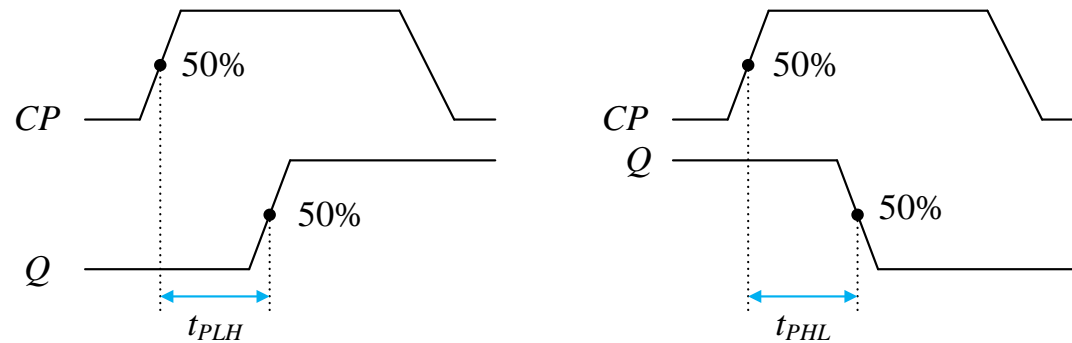


<preset 입력과 clear 입력이 있는  $JK$  플립플롭의 논리회로>

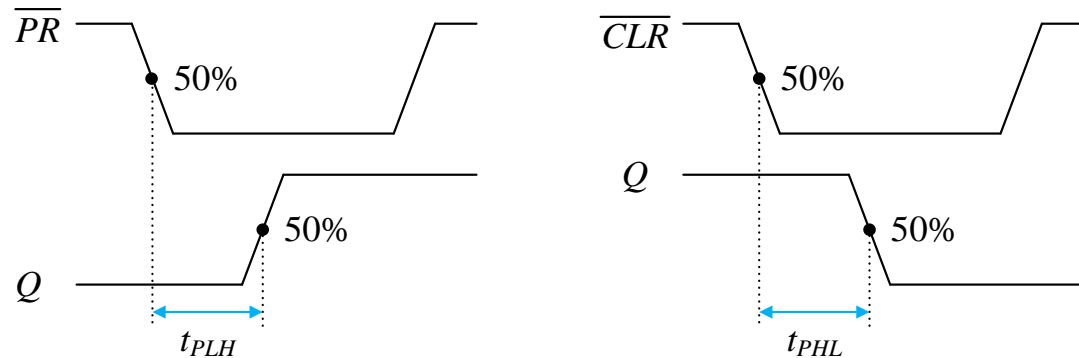
# 7. 플립플롭의 동작 특성

## 1) 전파지연시간(Propagation Delay Time)

- 입력 신호가 가해진 후 출력에 변화가 일어날 때까지의 시간 간격



<클럭펄스의 전파지연시간>

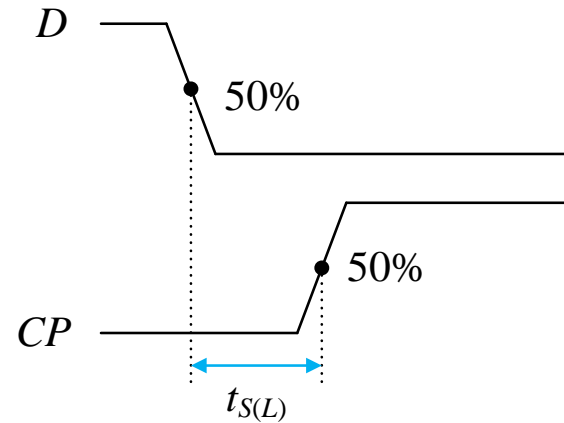
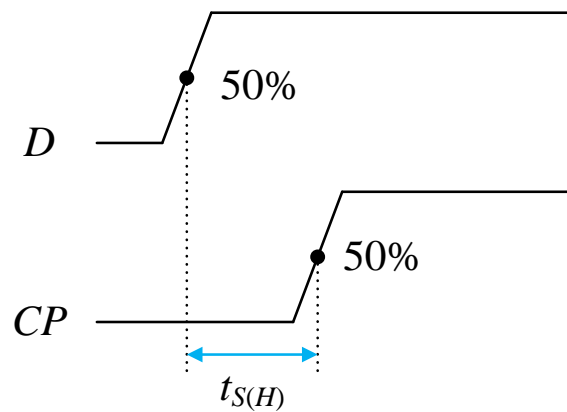


<Preset와 Clear에서의 전파지연시간>

# 7. 플립플롭의 동작 특성

## 2) 설정 시간(Set-up Time)

- 플립플롭의 입력신호가 플립플롭에서 안전하게 동작할 수 있도록 하는 시간
- $CP$ 의 상승에지 변이 전에 입력값은 일정 시간 동안 유지해야 함

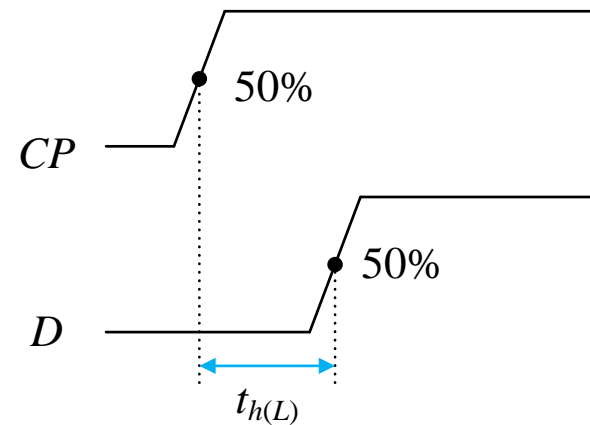
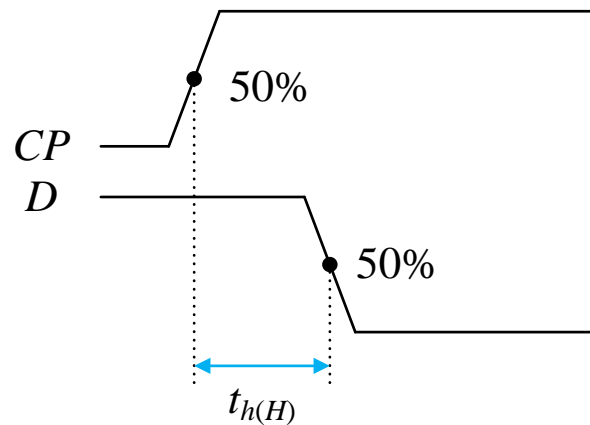




# 7. 플립플롭의 동작 특성

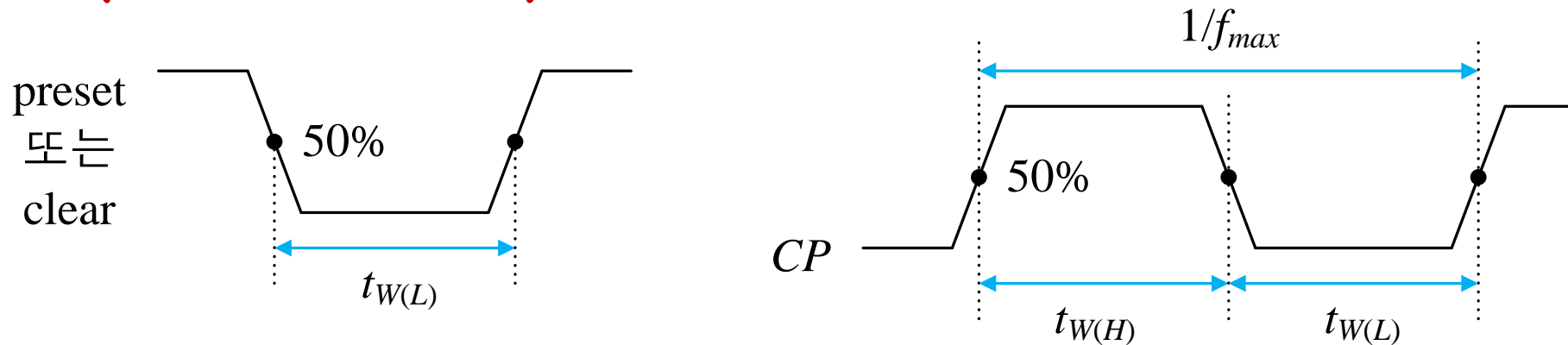
## 3) 보류 시간(Hold Time)

- 보류 시간도 플립플롭이 신뢰성 있게 동작할 수 있도록 하는 시간
- $CP$ 가 상승에지 변이 이후에도 입력값이 변해서는 안 되는 일정한 시간



# 7. 플립플롭의 동작 특성

## 4) 펄스 폭(Pulse Widths)



## 5) 최대 클럭 주파수(Maximum Clock Frequency)

- 최대 클럭 주파수 (Maximum Clock Frequency) : 플립플롭의 동작 속도를 결정하는 중요한 파라미터
- 최대 클럭 주파수는 플립플롭이 안전하게 동작할 수 있는 최대 주파수
- 항상 최대 클럭 주파수 이하에서 동작시켜야 한다.

# 7. 플립플롭의 동작 특성

## 6) 전력 소모(Power Dissipation)

$$\text{전력소모} = \text{DC 공급전압} \times \text{평균 공급전류} \quad (P = V_{CC} \times I_{CC})$$

- 플립플롭이 +5V DC 전원에서 동작하고 50mA의 전류가 흐르는 경우 전력 손실

$$P = V_{CC} \times I_{CC} = 5V \times 50mA = 250mW$$

- 이와 같은 플립플롭이 10개로 구성된 디지털 시스템의 요구되는 전체 전력

$$P_{TOT} = 10 \times 250mW = 2500mW = 2.5W$$

- 디지털 시스템에 공급되어야 하는 전류의 양

$$I = \frac{2.5W}{5V} = 0.5A$$

# 7. 플립플롭의 동작 특성

## 7) 기타 특성

- 잡음 여유도, 팬-아웃, 팬-인 등

## 8) 플립플롭의 특성 비교(Comparison of specific flip-flops)

Parameter (Times in ns)	TTL		CMOS	
	7474	74LS112	74C74	74HC112
$t_s$ (set-up)	20	20	60	25
$t_h$ (hold)	5	0	0	0
$t_{PHL}$ (from $CLK$ to Q)	40	24	200	31
$t_{PLH}$ (from $CLK$ to Q)	25	16	200	31
$t_{PHL}$ (from        to Q)	40	24	225	41
$t_{PLH}$ (from        to Q)	25	16	225	41
$t_w(L)$ ( $CLK$ LOW time)	37	15	100	25
$t_w(H)$ ( $CLK$ HIGH time)	30	20	100	25
$t_w(L)$ (at        or        )	30	15	60	25
$f_{MAX}$ (in MHz)	15	30	5	20

# 8. 멀티바이브레이터

- 멀티바이브레이터(multivibrator)는 디지털 시스템에서 매우 중요하게 사용되는 것 중의 하나
- 기본적으로 두 개의 인버터(inverter)로 구성되어 있고 각각의 출력을 궤환(feedback)시켜서 서로 상대 인버터를 입력으로 한다.
- 이와 같은 형태의 인버터는 한쪽 인버터의 출력이 0이면 다른 한쪽 인버터의 출력은 반드시 1이어서 동시에 같은 상태에 있을 수는 없다.
- 멀티바이브레이터는 디지털 시스템에서 2진수를 저장하고, 펄스 수를 세며, 연산을 동기화하고 그 외 여러 가지 중요한 기능을 수행
- 회로 구성에 따른 멀티바이브레이터의 종류
  - 무안정 멀티바이브레이터(astable multivibrator)
  - 단안정 멀티바이브레이터(monostable multivibrator)
  - 쌍안정 멀티바이브레이터(bistable multivibrator, 플립플롭과 같음)

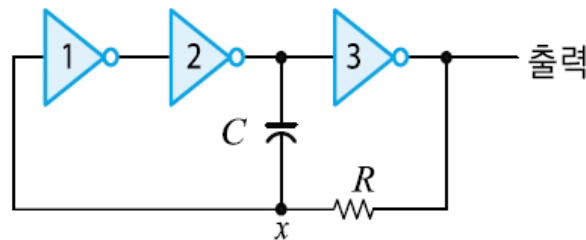


# 8. 멀티바이브레이터

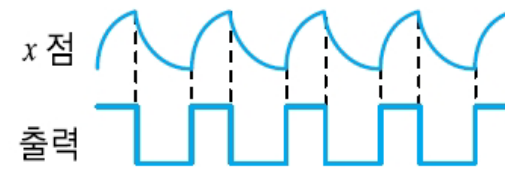
## 1) 무안정 멀티바이브레이터

- 무안정(또는 비안정, 불안정) 멀티바이브레이터는 불안정한 두 가지 상태 High 또는 Low 상태를 가지며, 한 쪽 상태에 머무르지 못하고 두 상태를 왔다 갔다 하는 것으로서 일종의 발진기(oscillator)다.
- 외부 입력 없이 스스로 주기적인 구형파를 발생시킨다.

### ■ NOT 게이트를 이용한 무안정 멀티바이브레이터 회로



<회로도>



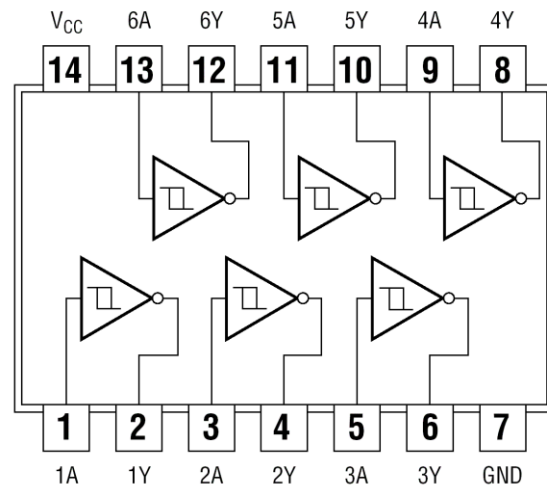
<출력파형>

$$\text{발진 주파수} : f = \frac{0.455}{RC}$$

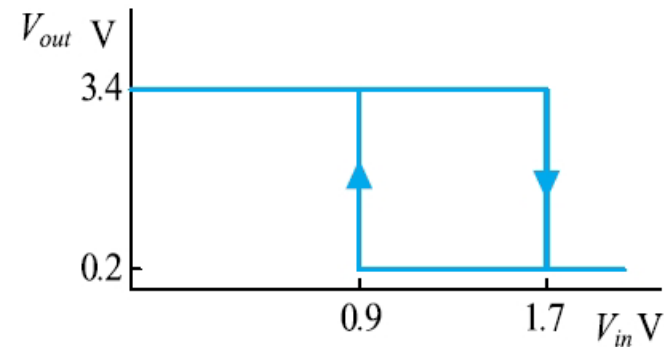
# 8. 멀티바이브레이터

## ■ 슈미트 트리거를 이용한 무안정 멀티바이브레이터 회로

- 슈미트 트리거(Schmitt trigger)는 단안정 멀티바이브레이터라고 할 수 있다.
- 구형파가 아닌 입력이 들어오더라도 구형파 출력을 얻을 수 있음



<핀 배치도>



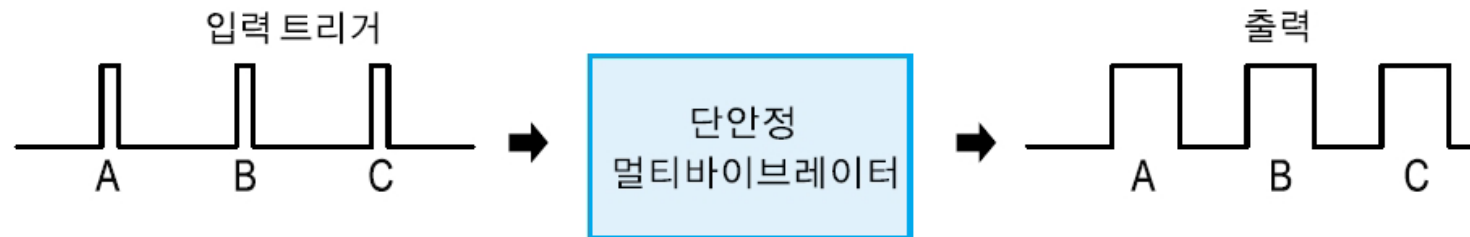
<입출력 특성곡선>

74LS14 IC의 핀 배치도 및 입출력 특성

# 8. 멀티바이브레이터

## 2) 단안정 멀티바이브레이터

- 단안정(one-shot) 멀티바이브레이터는 입력에 트리거 신호(짧은 펄스)가 가해질 때마다 일정한 폭을 갖는 하나의 구형 펄스를 발생시키는 회로
- 트리거 신호에 의하여 일단 준 안정상태(quasi-stable)를 유지하다가 곧 안정된 상태로 복귀
- 단안정 멀티바이브레이터의 종류
  - retriggerable 단안정 회로(74122, 74123)
  - non-retriggerable 단안정 회로(74121, 74221)



<단안정 멀티바이브레이터 동작 개념도>



다음 시간

## 14주차 : 순서논리회로

