

컴퓨터과학기초

5주차

논리게이트, 불 대수

인하공업전문대학 컴퓨터정보과

이수정 교수



차례

Ch.4 논리 게이트

- 7. XOR 게이트
- 8. XNOR 게이트
- 9. 정논리와 부논리
- 10. 게이트의 전기적 특성



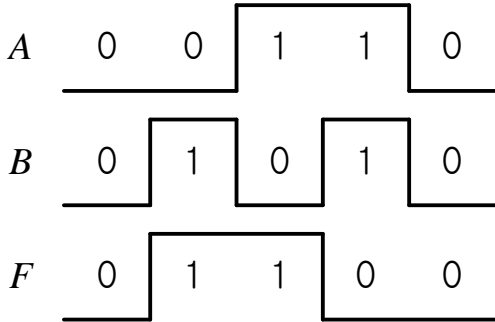
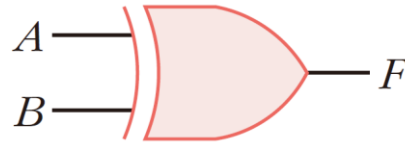
지난주...

- 논리 게이트와 논리 레벨의 기본 개념 이해
- 논리 게이트의 동작 원리 및 진리표, 게이트 기호의 이해
- NOT, buffer, AND, OR, NAND, NOR

7. XOR(eXclusive-OR) 게이트

■ XOR 게이트의 기본 개념(2입력)

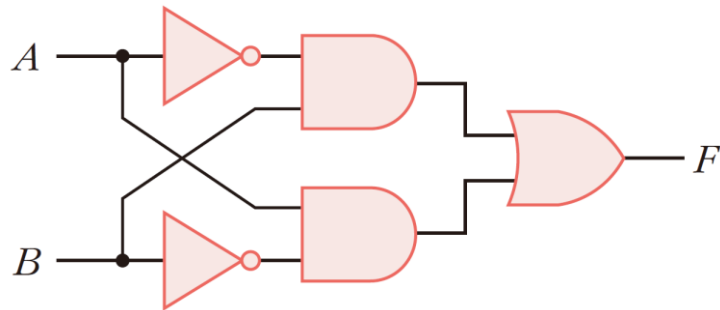
- 입력 중 홀수 개의 1이 입력된 경우에 출력은 1, 그렇지 않은 경우에는 출력은 0
- 2입력 XOR 게이트의 경우, 두 개의 입력 중 하나가 1이면 출력이 1, 두 개의 입력 모두가 0이거나 또는 두 개의 입력 모두가 1이라면 출력은 0

진리표			동작 파형		논리식																
<table><tr><th>A</th><th>B</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>			A	B	F	0	0	0	0	1	1	1	0	1	1	1	0			$F = A \oplus B = \overline{A}B + A\overline{B}$	
A	B	F																			
0	0	0																			
0	1	1																			
1	0	1																			
1	1	0																			
					논리 기호																
																					

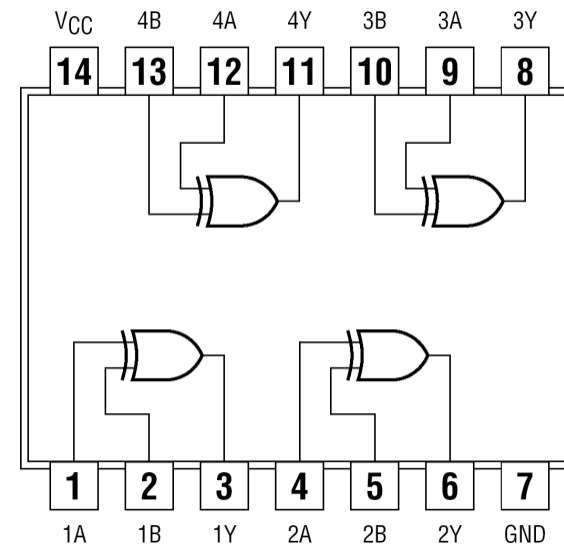
7. XOR(eXclusive-OR) 게이트

■ XOR 게이트의 기본 개념

AND-OR 게이트 표현

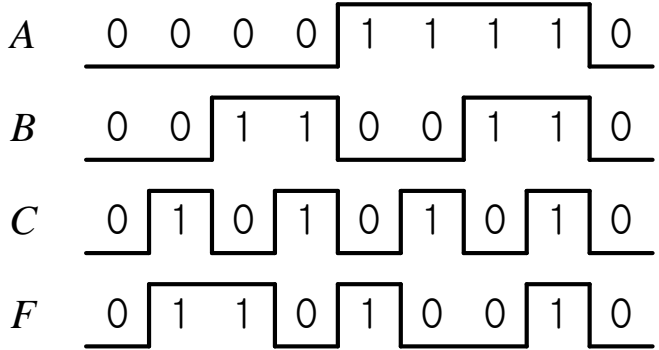
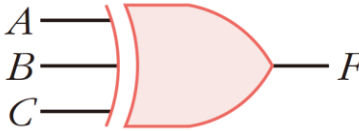


IC 7486 핀 배치도



7. XOR(eXclusive-OR) 게이트

■ XOR 게이트의 기본 개념(3입력)

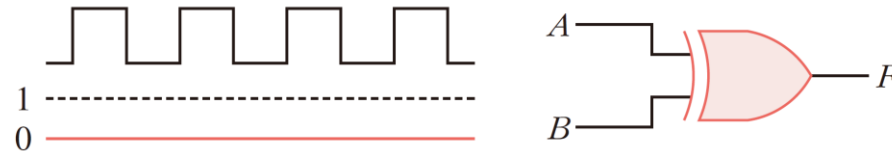
진리표				동작 파형	논리식
A	B	C	F		$F = A \oplus B \oplus C$
0	0	0	0		
0	0	1	1		
0	1	0	1		
0	1	1	0		
1	0	0	1		
1	0	1	0		
1	1	0	0		
1	1	1	1		
				논리 기호	
					

7. XOR(eXclusive-OR) 게이트

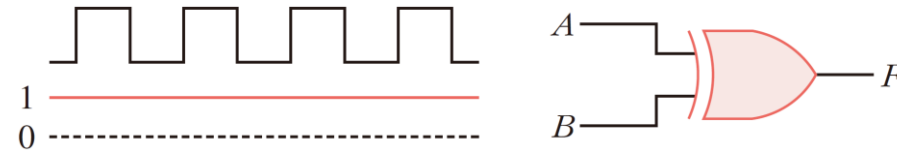
예제 4-8

2입력 XOR 게이트의 한 입력 A 에 구형파를 인가하였다. 다른 입력인 B 에 0을 인가한 경우와 1을 인가한 경우 각각의 개략적인 출력 파형을 그려 보시오.

(a) 입력 B 에 0을 인가한 경우



(b) 입력 B 에 1을 인가한 경우



풀이

(a) $AB = 00$ 이면 $F = 0$, $AB = 10$ 이면 $F = 1$, 그러므로 출력 F 는 입력 A 와 같은 파형 출력

(b) $AB = 01$ 이면 $F = 1$, $AB = 11$ 이면 $F = 0$, 그러므로 출력 F 는 입력 A 의 반전된 파형 출력

A	0	1	0	1	0	1	0	1	0
B	0	0	0	0	0	0	0	0	0
F	0	1	0	1	0	1	0	1	0

(a) B 입력을 0으로 한 경우

A	0	1	0	1	0	1	0	1	0
B	1	1	1	1	1	1	1	1	1
F	1	0	1	0	1	0	1	0	1

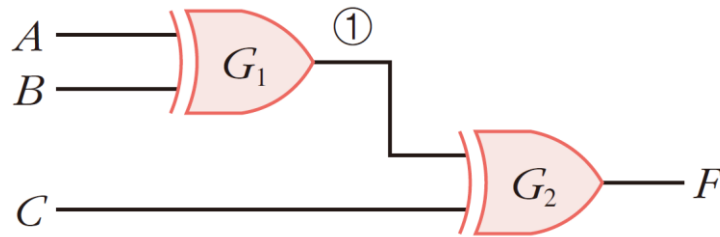
(b) B 입력을 1로 한 경우

7. XOR(eXclusive-OR) 게이트

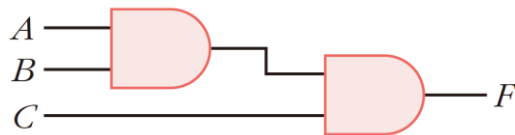
예제 4-9

2입력 XOR 게이트 2개를 사용하여 3입력 XOR 게이트를 구성하시오.

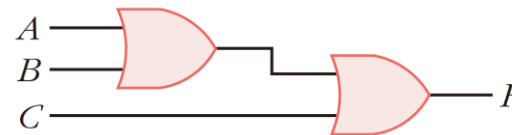
풀이



입력			출력	
A	B	C	①	F
0	0	0	0	0
0	0	1	0	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	0	0
1	1	1	0	1



3입력 AND

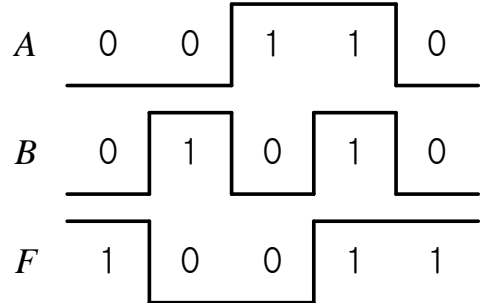


3입력 OR

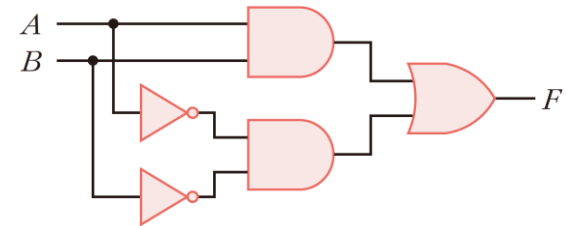
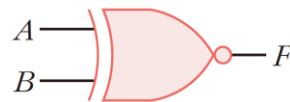
8. XNOR(eXclusive-NOR) 게이트

■ XNOR 게이트의 기본 개념(2입력)

- 입력 중 짝수 개의 1이 입력될 때 출력이 1이 되고, 그렇지 않은 경우에는 출력은 0이 된다.
- 출력값은 XOR 게이트에 NOT 게이트를 연결한 것이므로 XOR 게이트와 반대이다.
- 2입력 XNOR 게이트의 경우 두 개의 입력이 다를 때 출력이 0이 되고, 두 개의 입력이 같으면 출력은 1이 된다.

진리표			동작 파형	논리식
A	B	F		$F = \overline{\overline{A}B} + A\overline{B}$ $= \overline{A \oplus B}$ $= A \odot B$
0	0	1		
0	1	0		
1	0	0		
1	1	1		

논리 기호



8. XNOR(eXclusive-NOR) 게이트

■ XNOR 게이트의 기본 개념(3입력)

진리표	동작 파형	논리식																																				
<table><tr><th>A</th><th>B</th><th>C</th><th>F</th></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td></tr></table>	A	B	C	F	0	0	0	1	0	0	1	0	0	1	0	0	0	1	1	1	1	0	0	0	1	0	1	1	1	1	0	1	1	1	1	0	<div><div>A</div><div>B</div><div>C</div><div>F</div></div>	$F = \overline{A \oplus B \oplus C}$ $= A \odot B \odot C$
A	B	C	F																																			
0	0	0	1																																			
0	0	1	0																																			
0	1	0	0																																			
0	1	1	1																																			
1	0	0	0																																			
1	0	1	1																																			
1	1	0	1																																			
1	1	1	0																																			
<div>IC 74266 핀 배치도</div>		<div>논리 기호</div>																																				

9. 정논리와 부논리

- 논리 개념

전압레벨	정논리	부논리
+5V	High=1	High=0
0V	Low=0	Low=1

- 정논리 AND = 부논리 OR

전압레벨			정논리 AND			부논리 OR		
<i>A</i>	<i>B</i>	<i>F</i>	<i>A</i>	<i>B</i>	<i>F</i>	<i>A</i>	<i>B</i>	<i>F</i>
<i>L</i>	<i>L</i>	<i>L</i>	0	0	0	1	1	1
<i>L</i>	<i>H</i>	<i>L</i>	0	1	0	1	0	1
<i>H</i>	<i>L</i>	<i>L</i>	1	0	0	0	1	1
<i>H</i>	<i>H</i>	<i>H</i>	1	1	1	0	0	0

9. 정논리와 부논리

- 정논리 NAND = 부논리 NOR

전압레벨			정논리 NAND			부논리 NOR		
<i>A</i>	<i>B</i>	<i>F</i>	<i>A</i>	<i>B</i>	<i>F</i>	<i>A</i>	<i>B</i>	<i>F</i>
<i>L</i>	<i>L</i>	<i>H</i>	0	0	1	1	1	0
<i>L</i>	<i>H</i>	<i>H</i>	0	1	1	1	0	0
<i>H</i>	<i>L</i>	<i>H</i>	1	0	1	0	1	0
<i>H</i>	<i>H</i>	<i>L</i>	1	1	0	0	0	1

☞ 표현 방법이 다를 뿐 실제로 정논리와 부논리는 논리적으로는 같다.

9. 정논리와 부논리

정논리와 부논리간의 게이트 대응

정논리	↔	부논리	정논리	↔	부논리
AND		OR	XOR		XNOR
OR		AND	XNOR		XOR
NAND		NOR	NOT		NOT
NOR		NAND			

* 버블(bubble) : NOT 게이트를 간단하게 표현하는 동그라미 모양의 기호

10. 게이트의 전기적 특성

전파지연시간

- 신호가 입력되어서 출력될 때까지의 시간을 말함. 게이트의 동작 속도

전력소모

- 게이트가 동작할 때 소모되는 전력량

잡음여유도

- 최대로 허용된 잡음 마진

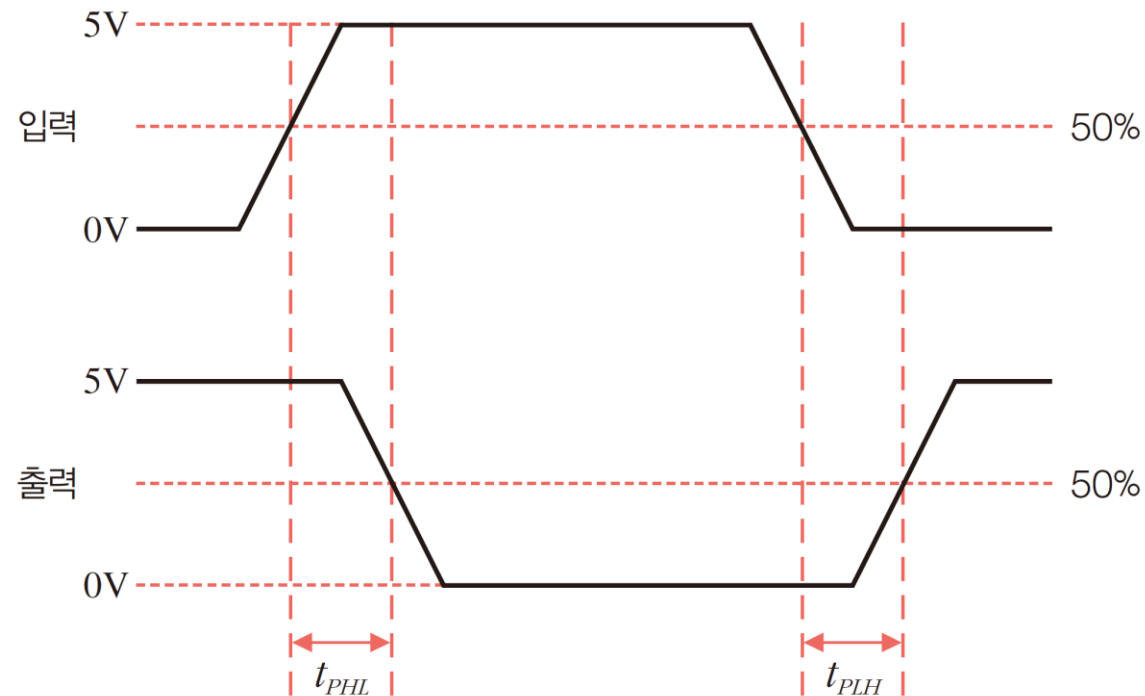
팬-아웃

- 한 게이트의 출력으로부터 다른 여러 개의 입력들로 공급되는 전류
- 정상적인 동작으로 하나의 출력이 최대 몇 개의 입력으로 연결되는가를 나타냄

10. 게이트의 전기적 특성

1) 전파지연시간(gate propagation delay time)

- 신호가 입력되어서 출력될 때까지의 시간을 말하며, 게이트의 동작 속도를 나타낸다.



10. 게이트의 전기적 특성

- t_{PLH} : propagation delay time from low to high
- t_{PHL} : propagation delay time from high to low
- t_{PLH} 와 t_{PHL} 은 입력이 50%가 될 때부터 출력이 50%가 될 때까지를 측정

10. 게이트의 전기적 특성

■ 주요 디지털 IC 계열별 특성표

	t_{PHL} (max) [ns]	t_{PLH} (max) [ns]	V_{OH} (min) [V]	V_{OL} (max) [V]	V_{IH} (min) [V]	V_{IL} (max) [V]	I_{OH} (max) [mA]	I_{OL} (max) [mA]	I_{IH} (max) [μA]	I_{IL} (max) [mA]
7400	22	15	2.4	0.4	2	0.8	-0.4	16	40	-1.6
74S00	4.5	5	2.7	0.5	2	0.8	-1	20	50	-2
74LS00	15	15	2.7	0.4	2	0.8	-0.4	8	20	-0.4
74ALS00	11	8	3	0.4	2	0.8	-0.4	8	20	-0.1
74F00	5	4.3	2.5	0.5	2	0.8	-1	20	20	-0.6
74HC00	23	23	3.84	0.33	3.15	0.9	-4	4		
74AC00	8	6.5	4.4	0.1	3.15	1.35	-75	75		
74ACT00	9	7	4.4	0.1	2	0.8	-75	75		

t_{PHL} : L에서 H로 변할 때의 전파지연시간

V_{OH} : 논리 레벨 H일 때 출력전압

V_{IH} : 논리 레벨 H일 때 입력전압

I_{OH} , I_{OL} , I_{IH} , I_{IL} : 위와 같을 때 전류

t_{PLH} : H에서 L로 변할 때의 전파지연시간

V_{OL} : 논리 레벨 L일 때 출력전압

V_{IL} : 논리 레벨 L일 때 입력전압

10. 게이트의 전기적 특성

예제 4-11

게이트 X 의 t_{PHL} 은 5ns 이며, t_{PLH} 는 4.5ns 이다. 게이트 Y 의 t_{PHL} 는 8ns 이며, t_{PLH} 는 7.5ns 이다. 각 게이트의 전파지연시간을 계산하고, 어느 게이트가 더 높은 주파수에서 동작하는지 설명하여라.

풀이

게이트 X 와 Y 의 전파지연시간을 계산하면 다음과 같다.

- 게이트 X 의 전파지연시간 : $5\text{ns} + 4.5\text{ns} = 9.5\text{ns}$
- 게이트 Y 의 전파지연시간 : $8\text{ns} + 7.5\text{ns} = 15.5\text{ns}$

동작 가능한 최대 주파수는 전파지연시간의 역수이므로 게이트 X 가 더 높은 주파수에서 동작함을 알 수 있다.

- 게이트 X 의 최대 동작 주파수 : $1 / 9.5\text{ns} = 105.26\text{MHz}$
- 게이트 Y 의 최대 동작 주파수 : $1 / 15.5\text{ns} = 64.52\text{MHz}$

10. 게이트의 전기적 특성

2) 전력소모(power dissipation)

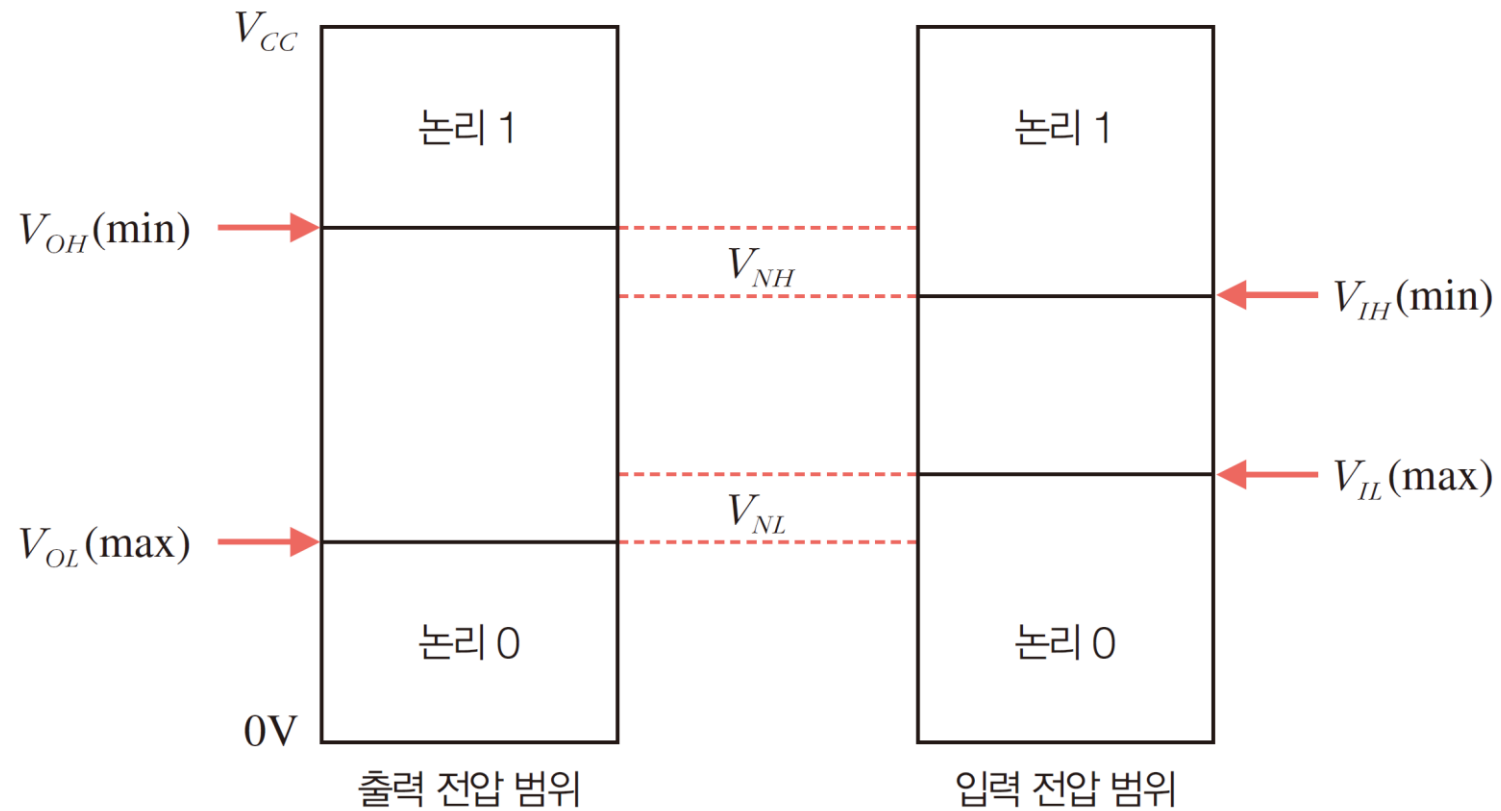
- 게이트가 동작할 때 소모되는 전력

$$P_{CC} = V_{CC} \times I_{CC}$$

3) 잡음여유도(noise margin)

- 디지털 회로에서 데이터의 값에 변경을 주지 않는 범위 내에서 최대 허용된 Noise Margin을 의미

10. 게이트의 전기적 특성

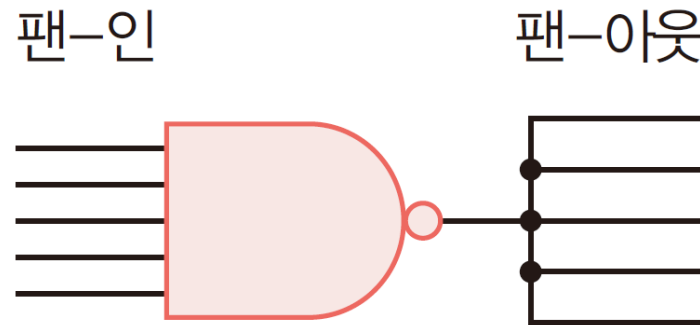


<입출력 전압 범위>

10. 게이트의 전기적 특성

4) 팬-인(fan-in)과 팬-아웃(fan-out)

- 팬-인 : 1개의 게이트에 입력으로 접속할 수 있는 단수
- 팬-아웃 : 1개의 게이트에서 다른 게이트의 입력으로 연결 가능한 최대 출력단의 수



10. 게이트의 전기적 특성

7) IC 계열별 특징

- 디지털 IC : TTL (Transistor-Transistor Logic),
CMOS (Complementary Metal Oxide Semiconductor)
- TTL : BJT와 Diode로 구성
- CMOS : NMOS와 PMOS FET로 구성
 - CMOS의 장점 : TTL에 비해 소비전력이 적고 사용 전압 범위가 넓다.
 - CMOS의 단점 : TTL에 비해서 속도가 떨어진다.
 - 고속의 CMOS IC가 개발되어 TTL과 비슷한 보급 성향을 보이고 있다.

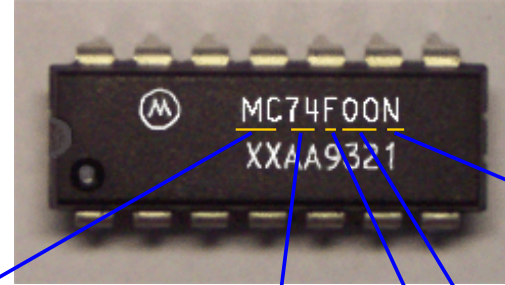
10. 게이트의 전기적 특성

■ TTL과 CMOS 특성 비교

구분	TTL	CMOS
전원전압	4.75~5.25V	종래형 : 3~8V, 고속형 : 2~6V
논리레벨 전압(Low)	0~0.8V	$1 \sim 1/3V_{DD}$
논리레벨 전압(High)	2.4~5.0V	$2/3 \sim V_{DD}$
팬-아웃	10개	50개
소비전력	10mW	10 μ W
최대 동작주파수	LS형 : 45MHz, ALS형 : 100MHz	종래형 : 2MHz, 고속형 : 45MHz
형태	74LSxx, 74ALSxx, 74Fxx, 74ASxx	40xxx, 14xxx, 74HCxxx
잡음 여유도(V)	2.4V	3V
장단점	<ul style="list-style-type: none"> • 전파지연시간이 짧다. • 소비전력이 크다. • 잡음 여유도가 작다. • 온도에 따라 threshold 전압이 크게 변한다. 	<ul style="list-style-type: none"> • 소비전력이 작다. • 낮은 전압에서 동작한다. • 잡음 여유도가 크다. • 구조가 간단하여 집적화가 쉽다. • 전원 전압 범위가 넓다. • 정전 파괴가 쉽다.

10. 게이트의 전기적 특성

■ TTL/CMOS Family 이름 규칙



제조회사

SN : Texas Instrument
MC : Motorola
DM : National Semiconductor
IM : Intersil
N : Signetics
MM : Monolithic Memories
P : Intel
H : Harries
F : Fairchild
AM : Advanced Micro Devices
CD : RCA
HD : Hitach
DN/MN : Mitsubishi
MB : Fujitsu
TC : Toshiba
HY : Hyundai
GD : GoldStar
K- : Samsung

시리즈명

74 : TTL
40 : CMOS

패키지 외형

N : Plastic DIP
J : Ceramic DIP
W : Flat Pack

기능에 따른 고유번호

회로타입

S : High Speed Schottky
L : Low Power
LS : Low Power Schottky
H : High Speeds
F : Fast
HC : High Speed CMOS(CMOS compatible)
HCT : High Speed CMOS TTL(LS TTL compatible)
AC : Advanced
AS : Advanced Schottky
ALS : Advanced Low Power Schottky

차례

Ch.5 불 대수

1. 논리식의 기본 표현
2. 불 대수 법칙
3. 논리회로의 논리식 변환
4. 논리식의 회로 구성



1. 기본 논리식의 표현

- 기본적인 불 대수(Boolean Algebra)식은 AND, OR, NOT을 이용하여 표현
- AND식은 곱셈의 형식으로 표현하고, OR 식은 덧셈의 형식으로 표현
- NOT식은 \overline{A} 또는 A' 로 표현
- 완전한 논리식은 입력 항목들의 상태에 따른 출력을 결정하는 식

$A=0$ and $B=1$ 일 때 출력을 1로 만들려는 경우
출력 논리식

$$F = \overline{A}B$$

$A=0$ or $B=1$ 일 때 출력을 1로 만들려는 경우
출력 논리식

$$F = \overline{A} + B$$

$(A=0 \text{ and } B=1) \text{ or } (A=1 \text{ and } B=0)$ 일 때
출력을 1로 만들려는 경우 출력 논리식

$$F = \overline{A}B + A\overline{B}$$

1. 기본 논리식의 표현

- 1입력 논리식, 2입력 논리식, 3입력 논리식

1입력 논리식		2입력 논리식		3입력 논리식			
입력	출력	입력	출력	입력			출력
A	F	A	B	A	B	C	F
0	$F = \bar{A}$	0	0	0	0	0	$F = \bar{A}\bar{B}\bar{C}$
1	$F = A$	0	1	0	0	1	$F = \bar{A}\bar{B}C$
		1	0	0	1	0	$F = \bar{A}B\bar{C}$
		1	1	0	1	1	$F = \bar{A}BC$
				1	0	0	$F = A\bar{B}\bar{C}$
				1	0	1	$F = A\bar{B}C$
				1	1	0	$F = ABC\bar{C}$
				1	1	1	$F = ABC$

1. 기본 논리식의 표현

■ 2입력 논리식 예

입력		출력
A	B	F
0	0	1
0	1	1
1	0	1
1	1	0

$$F = \bar{A} + \bar{B}$$

A=0 또는 B=0일 때,
1을 출력하는 논리식

■ 3입력 논리식 예

$$F = A + \bar{B}C$$

A=1이거나 (B=0이고 C=1)일 때,
1을 출력하는 논리식

입력							출력
A	B	C	A=1	\bar{B}	C	$\bar{B}C$	$A + \bar{B}C$
0	0	0		1			0
0	0	1		1	1	1	1
0	1	0					0
0	1	1			1		0
1	0	0	1	1			1
1	0	1	1	1	1	1	1
1	1	0	1				1
1	1	1	1		1		1

2. 불 대수 법칙

■ 불 대수 공리(Boolean Algebra Axioms)

- 불 대수의 모든 항은 0 또는 1을 가짐

P1	$A = 0 \text{ or } A = 1$
P2	$0 \cdot 0 = 0$
P3	$1 \cdot 1 = 1$
P4	$0 + 0 = 0$
P5	$1 + 1 = 1$
P6	$1 \cdot 0 = 0 \cdot 1 = 0$
P7	$1 + 0 = 0 + 1 = 1$

2. 불 대수 법칙

■ 불 대수 법칙

기본법칙

$$1. A+0=0+A=A$$

$$2. A \cdot 1=1 \cdot A=A$$

$$3. A+1=1+A=1$$

$$4. A \cdot 0=0 \cdot A=0$$

$$5. A+A=A$$

$$6. A \cdot A=A$$

$$7. A + \bar{A} = 1$$

$$8. A \cdot \bar{A} = 0$$

$$9. \bar{\bar{A}} = A$$

교환법칙(commutative law)

$$10. A+B=B+A$$

$$11. AB=BA$$

결합법칙(associate law)

$$12. (A + B) + C = A + (B + C)$$

$$13. (AB) C = A (BC)$$

분배법칙(distributive law)

$$14. A (B + C) = AB + AC$$

$$15. A + BC = (A+B)(A+C)$$

2. 불 대수 법칙

드모르간의 정리(De Morgan's theorem)

$$16. \overline{A+B} = \overline{A} \overline{B}$$

$$17. \overline{AB} = \overline{A} + \overline{B}$$

흡수 법칙(absorptive law)

$$18. A + AB = A$$

$$19. A(A+B) = A$$

합의의 정리(consensus theorem)

$$20. AB + BC + \overline{A}C = AB + \overline{A}C$$

$$21. (A+B)(B+C)(\overline{A}+C) = (A+B)(\overline{A}+C)$$

- 쌍대성(duality) : 불 대수 공리나 기본 법칙에서 좌우 한 쌍에서 0과 1을 서로 바꾸고 동시에 ‘•’ 과 ‘+’를 서로 바꾸면 다른 한 쪽이 얻어지는 성질

2. 불 대수 법칙

- 진리표를 이용한 분배 법칙 $A+BC=(A+B)(A+C)$ 의 증명

A	B	C	좌측식		우측식		
			$B \cdot C$	$A+B \cdot C$	$A+B$	$A+C$	$(A+B)(A+C)$
0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0
0	1	0	0	0	1	0	0
0	1	1	1	1	1	1	1
1	0	0	0	1	1	1	1
1	0	1	0	1	1	1	1
1	1	0	0	1	1	1	1
1	1	1	1	1	1	1	1

동일한 결과

2. 불 대수 법칙

■ 진리표를 이용한 드모르간의 정리 증명

A	B	$A+B$	좌측식	\bar{A}	\bar{B}	우측식
			$\overline{A+B}$			$\overline{\bar{A} \cdot \bar{B}}$
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

동일한 결과

2. 불 대수 법칙

■ 드모르간 정리의 일반식

3항 드모르간 정리	$\overline{A + B + C} = \bar{A} \cdot \bar{B} \cdot \bar{C}$ $\overline{A \cdot B \cdot C} = \bar{A} + \bar{B} + \bar{C}$
4항 드모르간 정리	$\overline{A + B + C + D} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdot \bar{D}$ $\overline{A \cdot B \cdot C \cdot D} = \bar{A} + \bar{B} + \bar{C} + \bar{D}$
일반식	$\overline{A_1 + A_2 + A_3 + \cdots + A_n} = \bar{A}_1 \bar{A}_2 \bar{A}_3 \cdots \bar{A}_n$ $\overline{A_1 A_2 A_3 \cdots A_n} = \bar{A}_1 + \bar{A}_2 + \bar{A}_3 + \cdots + \bar{A}_n$

2. 불 대수 법칙

■ 드모르간의 정리 예제

$$\overline{\overline{A+B+C}} = \overline{\overline{(A+B)}\overline{C}} = \overline{(A+B)\overline{C}} = A\overline{C} + B\overline{C}$$

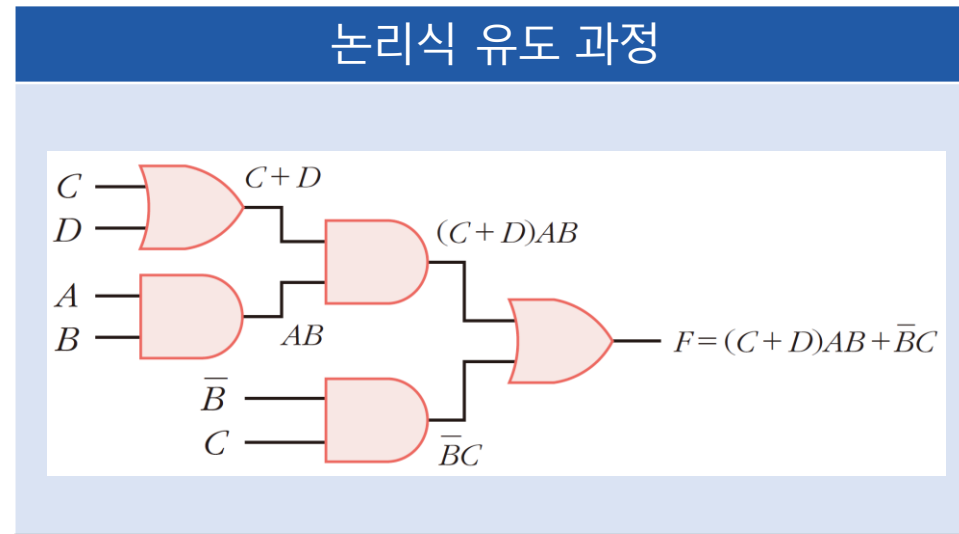
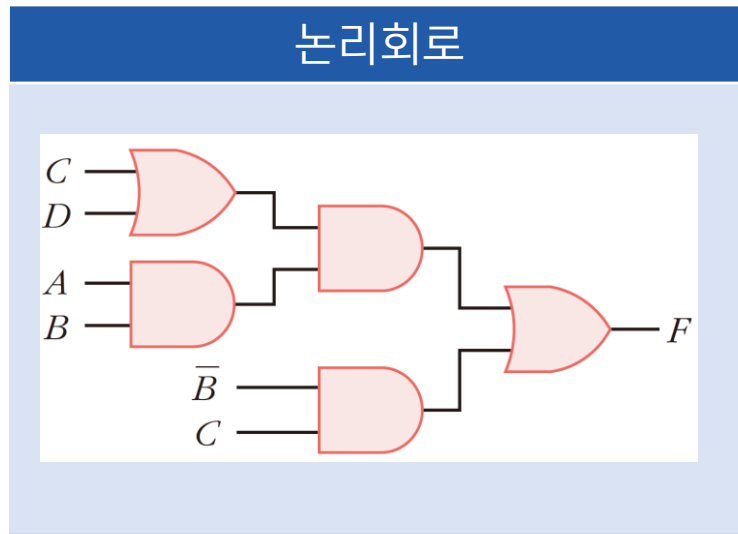
$$\overline{\overline{\overline{A+B+C \cdot D}}} = \overline{\overline{\overline{A+B}} \cdot \overline{\overline{C \cdot D}}} = \overline{(\overline{A+B})CD} = \overline{A}CD + BCD$$

$$\begin{aligned}\overline{(A+B) \cdot \overline{C} \cdot \overline{D} + E + \overline{F}} &= \overline{(A+B) \cdot \overline{C} \cdot \overline{D} \cdot \overline{E} \cdot \overline{F}} = \overline{(\overline{\overline{A+B} + \overline{C} + \overline{D}}) \cdot \overline{E} \cdot \overline{F}} \\ &= \overline{(\overline{A} \cdot \overline{B} + C + D) \cdot \overline{E} \cdot \overline{F}} = \overline{\overline{A}\overline{B}\overline{E}\overline{F}} + \overline{C\overline{E}\overline{F}} + \overline{D\overline{E}\overline{F}}\end{aligned}$$

$$\begin{aligned}\overline{\overline{AB}(CD + \overline{E}F)(\overline{AB} + \overline{CD})} &= \overline{\overline{AB}} + \overline{(CD + \overline{E}F)} + \overline{(\overline{AB} + \overline{CD})} \\ &= AB + \overline{(\overline{C}\overline{D}\overline{E}\overline{F})} + \overline{\overline{A}\overline{B}\overline{C}\overline{D}} \\ &= AB + (\overline{C} + \overline{D})(\overline{E} + \overline{F}) + ABCD \\ &= AB + \overline{C}\overline{E} + \overline{C}\overline{F} + \overline{D}\overline{E} + \overline{D}\overline{F} + ABCD\end{aligned}$$

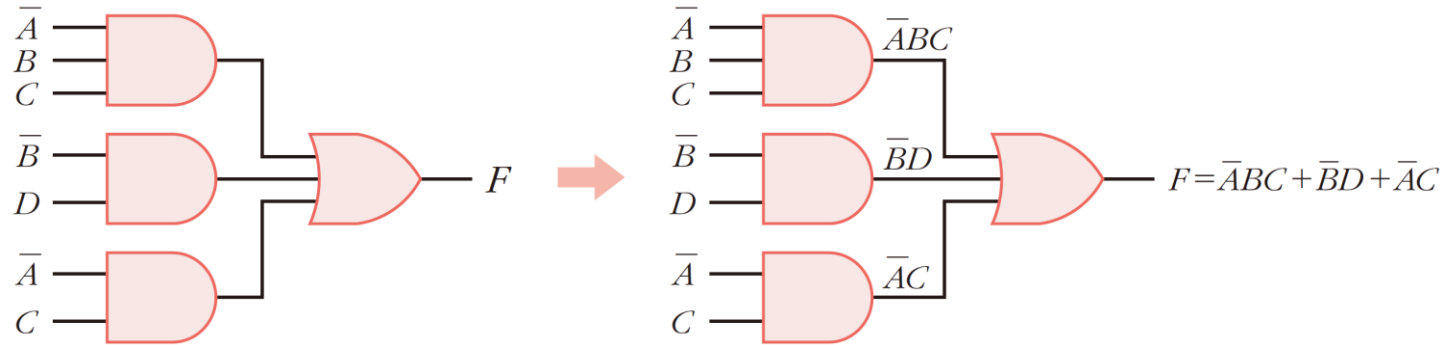
3. 논리회로의 논리식 변환

- 원래의 회로에 게이트를 거칠 때마다 게이트의 출력을 적어 주면서 한 단계씩 출력 쪽으로 나아가면 된다.

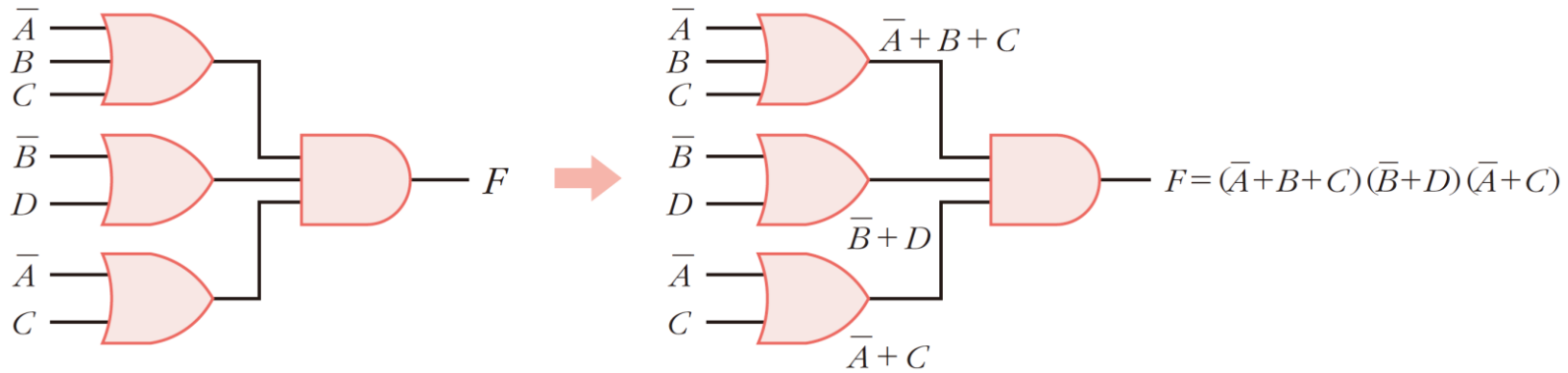


3. 논리회로의 논리식 변환

예 1



예 2

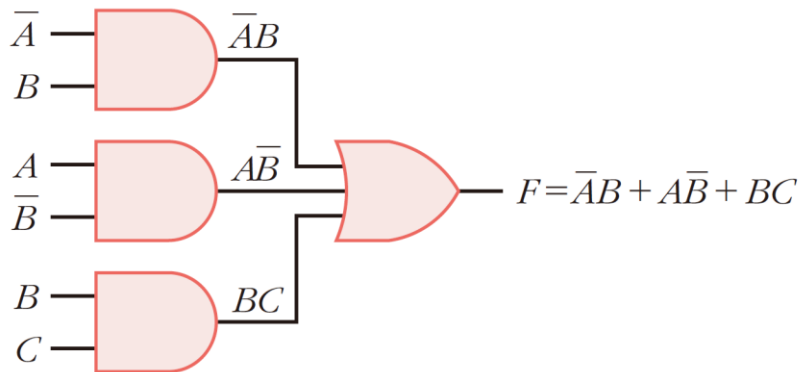


4. 논리식의 회로 구성

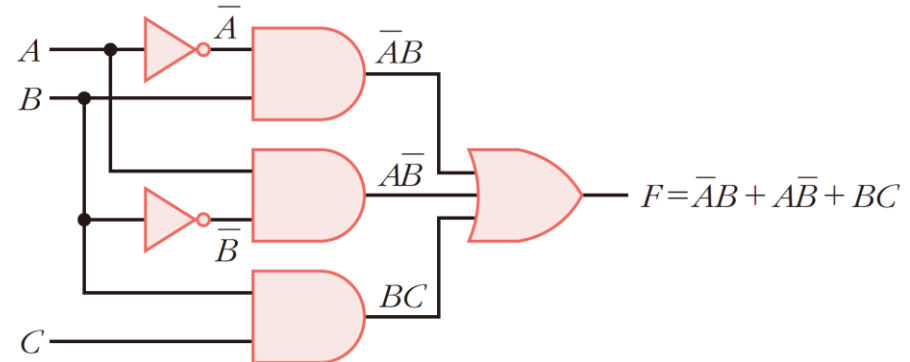
- AND, OR, NOT을 이용하여 논리식으로부터 회로를 구성
(AND-OR로 구성된 회로)

$$F = \bar{A}B + A\bar{B} + BC$$

보수입력 사용



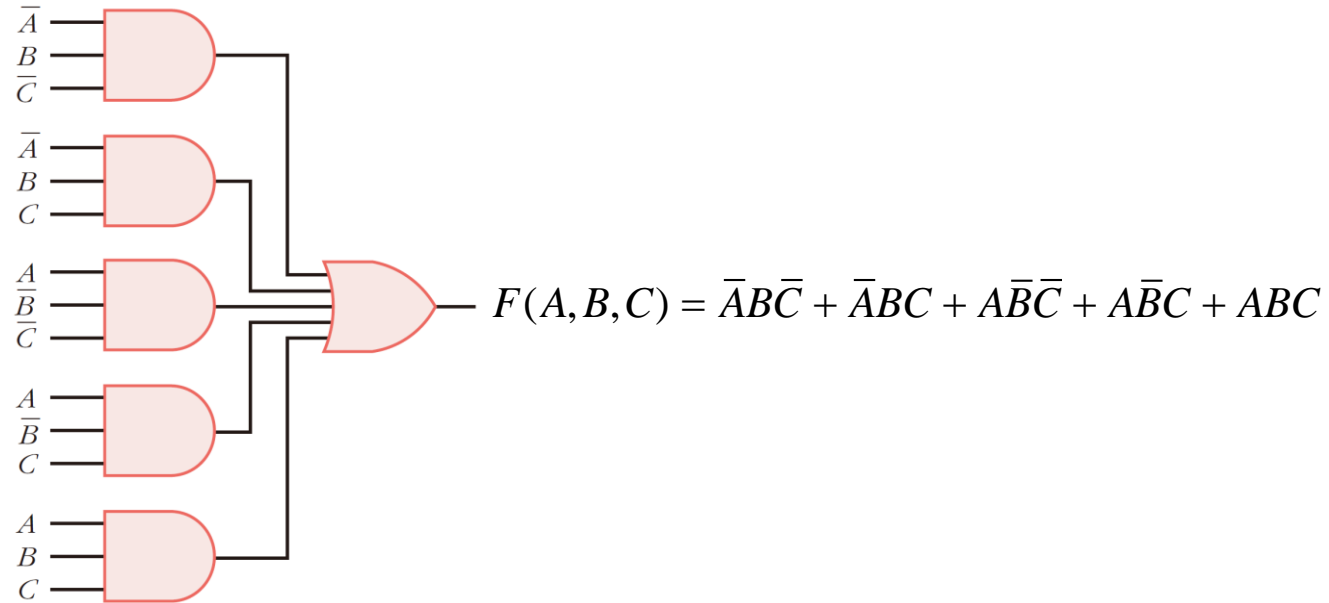
NOT 게이트 사용



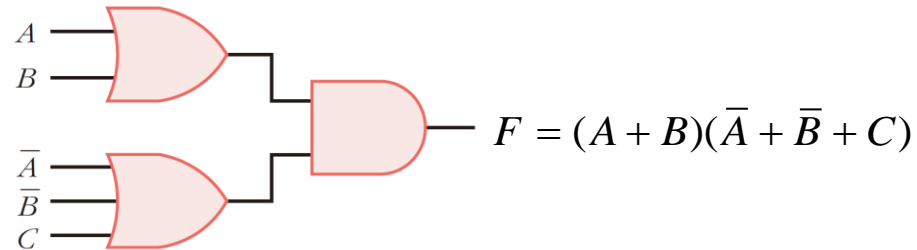
4. 논리식의 회로 구성

■ 논리식의 2가지 기본 형태

AND-OR

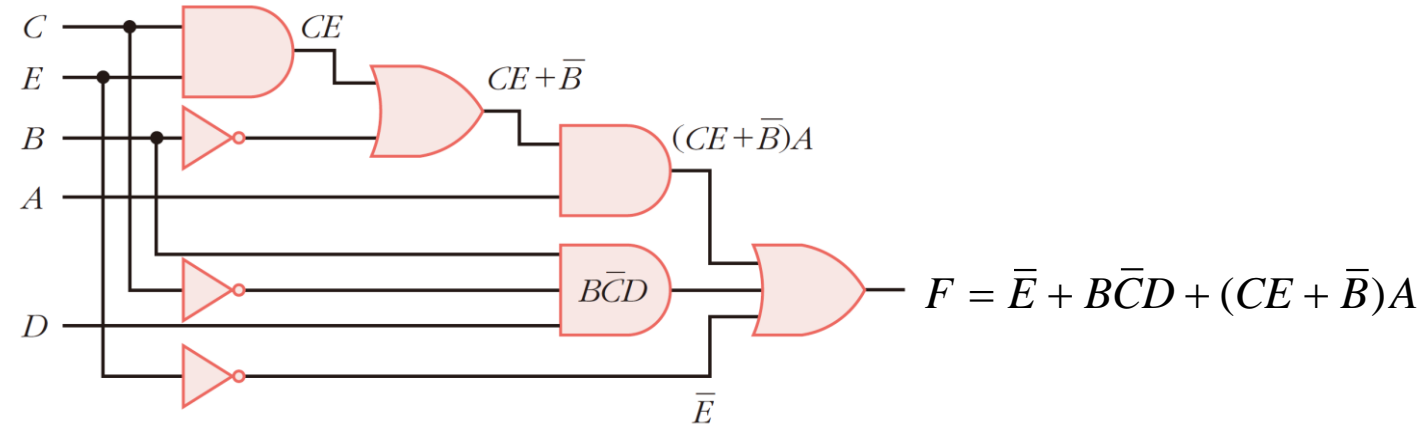


OR-AND



4. 논리식의 회로 구성

다단계
논리회로



다음 시간

6주차 : 불대수, 논리식의 간소화

