

1. Progettare la rete sequenziale la cui uscita vale "stringa riconosciuta" solo se i primi quattro caratteri di ingresso sono pari alla stringa "dada", ipotizzando che l'alfabeto di ingresso sia costituito solo dai caratteri: "a,b,c,d", e che l'uscita sia costituita solo da "stringa riconosciuta, stringa non riconosciuta". È sufficiente descrivere le equazioni di eccitazioni di un solo flip-flop.
2. Disegnare l'architettura interna dello z64 e far vedere le microistruzioni per eseguire l'istruzione:  
    addq \$1, %rax  
    considerando anche la fase di fetch
3. Disegnare l'interfaccia di una periferica per l'acquisizione di una word da parte del processore z64 tramite interrupt. Inoltre scrivere un segmento di programma assembly per leggere un dato da tale periferica e metterlo nella locazione di memoria 0xB BBB.
4. Descrivere le differenze tra i bus sincroni e quelli asincroni e descrivere un protocollo asincrono.
5. Disegnare l'architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 100 psec.

```
sub R5, R5, R7
sub R5, R7, R7
load R5, 300(R2)
sub R9, R9, R9
add R9, R7, R8
sub R11, R12, R13
sub R1, R2, R3
```