

**Domanda 1:** Progettare la rete sequenziale la cui uscita vale “stringa riconosciuta” solo se i primi quattro caratteri di ingresso sono pari alla stringa “adda”, ipotizzando che l'alfabeto di ingresso sia costituito solo dai caratteri: “a,b,c,d” e che l'uscita sia costituita solo da “stringa riconosciuta, stringa non riconosciuta”. È sufficiente descrivere le equazioni di eccitazioni di un solo flip-flop.

**Domanda 2:** Disegnare l'architettura interna del processore z64, dopodiché descrivere la parte della macchina sequenziale (microcodice) atta all'esecuzione dell'istruzione ADDQ \$0x30,%RAX considerando anche la fase di fetch.

**Domanda 3:** Descrivere come il processore z64 gestisce l'interazione con il DMAC facendo vedere anche come viene modificato il ciclo istruzione e le politiche di acquisizione del bus da parte del DMAC.

**Domanda 4:** Descrivere come il processore possa interagire con la memoria e le periferiche, facendo vedere tutte le possibili soluzioni e descrivere vantaggi e svantaggi dei bus sincroni e asincroni.

**Domanda 5:** Disegnare l'architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 200 psec.

```
load R3, 120(R1)
add R3, R3, R6
sub R4, R3, R6
add R4, R7, R3
sub R3, R9, R10
add R12, R13, R13
```