

1. Progettare la rete sequenziale la cui uscita vale "stringa riconosciuta" solo se i **primi quattro** caratteri di ingresso sono pari alla stringa "alla", ipotizzando che l'alfabeto di ingresso sia costituito solo dai caratteri: "a, c, d, l" e che l'uscita sia costituita solo da "stringa riconosciuta, stringa non riconosciuta". È sufficiente descrivere le equazioni di eccitazione di un solo flip-flop.

2. Disegnare l'architettura interna del processore z64, dopodiché descrivere la parte della macchina sequenziale (microcodice) atta all'esecuzione dell'istruzione:

```
movq                                $0xbbaa,                                %rax
```

considerando anche la fase di fetch.

3. Descrivere le differenze di come il processore z64 gestisce le interazioni con le periferiche nel caso di architettura con un solo bus e con due bus.

4. Disegnare una memoria cache completamente associativa ed una set associativa a quattro vie e confrontarle tra di loro dal punto di vista dei loro vantaggi e svantaggi.

5. Disegnare l'architettura PIPELINE del processore didattico, dopodiché dato il programma sottostante, da modificare via software nel miglior modo possibile per evitare conflitti sui dati, dire in quanto tempo viene eseguito ipotizzando che il processore possa lavorare con un clock con periodo di 100 psec.

```
load                                R3,                                125(R1)
add                                R3,                                R6
sub                                R4,                                R6,
sub                                R7,                                R7,
sub                                R6,                                R7,
add R11, R12, R13
```