

Domanda 1: Realizzare la rete sequenziale ad un solo ingresso (X) che si comporta come segue: vengono considerati i primi due bit ricevuti come un valore binario (quindi, se vengono ricevuti 1 e 0, il valore è due). L'uscita vale zero durante la ricezione di questi due bit, poi vale uno per tanti bit quanto è il valore binario, poi torna a zero e ci rimane. Scrivere le equazioni di eccitazione di un solo flip/flop di stato.

Domanda 2: Disegnare l'architettura interna del processore z64 con la sua interfaccia verso la memoria e far vedere la macchina a stati finiti per l'esecuzione dell'istruzione ADDQ R8, R10

Domanda 3: Illustrare anche con un disegno le cache associative e a corrispondenza diretta, evidenziando vantaggi e svantaggi di ognuna delle due.

Domanda 4: Dire cosa è la banda passante di un bus e far vedere come è possibile incrementarne la capacità.

Domanda 5: Descrivere cosa sono le criticità strutturali, sui dati e sul controllo di un processore RISC e come si possono risolvere, a tal fine si utilizzi l'architettura di riferimento introdotta a lezione.