

7. DIREKTNO POVEZIVANJE PROCESA NA SISTEMSKU MAGISTRALU RAČUNARA

Poslednjih godina razlika između posebnog sistema za prikupljanje podataka i sistema upravljanja je smanjena jer raste broj primjena sistema koji se projektuju ne samo da prikupljaju podatke nego i da vode procese. Ova činjenica je istinita za širok opseg modula za akviziciju podataka i vođenje procesa, koji se danas proizvode. Najviše korišćena višenamjenska kola za direktno povezivanje na računara, trenutno aktuelna na tržištu, obično ujedinjuju sve aspekte akvizicije podataka i upravljanja. Ovo uključuje kola za analogni ulaz za mjerenje i konverziju analognog ulaznog napona u digitalan format, analogna izlazna kola za generisanje analognih naponskih izlaza na osnovu digitalnih upravljačkih sigala, kola brojača/tajmera i digitalni U/I interfejs. Ukoliko se radi o višenamjenskim kolima za direktno povezivanje tada se, u zavisnosti od broja analognih i digitalnih ulaza/izlaza potrebnih za konkretnu primjenu, bira najekonomičnije rješenje koje dozvoljava manja unapređenja date primjene. Kada je broj ulaznih/izlaznih kola velik tada je opravdano koristiti specijalizovana kola za direktno povezivanje jednog tipa analognog/digitalnog ulaza/izlaza.

Većina savremenih *PC* sadrži sistemske magistrale: *ISA (Industry Standard Architecture Bus)* ili *PCI (Peripheral Component Interconnect)*. Iz tog razloga većina modula za akviziciju i upravljanje direktnim povezivanjem na sistemsku magistralu računara, predviđena je za povezivanje na jednu od ovih magistrala.

Pošto direktno povezuje sistemsku magistralu *PC*-a sa okruženjem ovakav hardver je vrlo kompaktan i predstavljaju najbrži način za računarsko vođenje procesa. Ovakav način povezivanja se najčešće koristi tamo gdje je računar blizu senzora pomoću kojih se vrše mjerenja i

102 7. Direktno povezivanje procesa na sistemsku magistralu računara
aktuatora kojima se upravlja. Kao aleternariva, mogu se koristiti za
povezivanje udaljenih senzora i aktuatora preko modula za uoblučavanje
signala ako su to takozvani dvožični transmiteri za povezivanje.

Većina davača fizičkih veličina (brzine, temperature, pritiska, nivoa, protoka itd.) vrši njihovo pretvaranje u električni signal, naponski ili strujni, analognog tipa. Takođe, rad većine aktuatora (motora, grijača, pumpi, ventila itd.) kontroliše se pomoću naponskih i strujnih signala analognog tipa. S druge strane, savremeni sistemi upravljanja su uglavnom upravljani digitalnim regulatorima. Digitalni regulator (implementiran na digitalnom računaru) radi sa podacima digitalnog tipa (u binarnom kodu). Da bi mogli koristiti digitalni računar za prikupljanje podataka o fizičkim veličinama i upravljati radom aktuatora potrebno je konvertovati analogne signale u digitalne i obrnuto. Iz tog razloga analogni ulazni i izlazni sistemi na ploči za direktno povezivanje senzora/aktuatora sa računarom zauzimaju dominantno mjesto i ulogu. Osnovni element analognog ulaznog sistema je analogno/digitalni (A/D) konvertor, a analognog izlaznog sistema digitalno/analogni (D/A) konvertor. Za povećanje efikasnosti ovih kola koriste se pomoćna kola od kojih će neka ovdje biti razmatrana.

7.1. ANALOGNI ULAZNI SISTEM

Osnovna funkcija analognog ulaznog sistema je da analogni signal pretvori u odgovarajući digitalni format. Originalna analogna informacija se transformiše pomoću A/D konvertora u podatak koji digitalni računar može da razumije (digitalni, binarni kod). Pored A/D konvertora, važni elementi analognog ulaznog sistema su: pojačavač, kolo za uzorkovanje i zadržavanje (*S/H Sample and Hold*) i multiplekser.

Osnovne karakteristike analognog ulaznog sistema prije svega zavise od implementiranog A/D konvertora.

U slučajnu strujnog signala potrebno je izvršiti njegovo pretvaranje u naponski signa na ulazu A/D konvertora. To se jednosatvno realizuje povezivanjem jednog otpornika (satndardno 500 Ω) paralelno ulazu analognog ulaznog sistema.

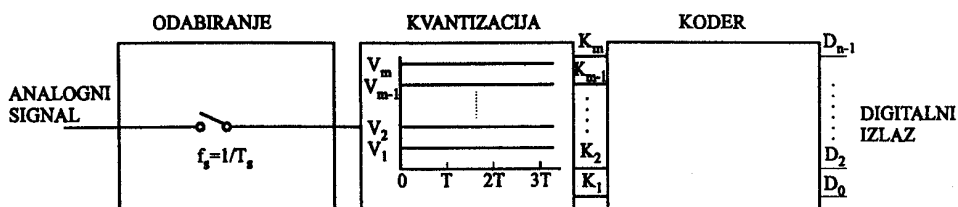
Naponski signal se može unositi direktno. Pri povezivanju senzora/transdjusera i analognog ulaznog sustema moraju se usaglasiti sljedeći osnovni zahtjevi:

7. Direktno povezivanje procesa na sistemsku magistralu računara 103

- Područje promjene ulaznog napona A/D konvertora se obično može izabrati u opsezima ($0 \div 5 \text{ V}$; $0 \div 10 \text{ V}$; $\pm 5 \text{ V}$; $\pm 10 \text{ V}$).
- Povezivanje: nesimetrično (jednim krajem -Eng. *single-ended*) ili diferencijalno (sa dva kraja).
- Ulazna otpornost (standardno $10 \text{ G}\Omega$).
- Rezolucija konvertora (broj bita kojim se predstavlja digitalni ekvivalent analognog napona: 12,16,.. bita).
- Predpojačanje ulaznog signala prije konverzije (1,10,100 puta ili 2,4,8 puta)
- Propusni opseg

7.1.1. Analogno-digitalni konvertor

Postoji nekoliko tipova A/D konvertora. Opšti blok dijagram A/D konvertora je prikazan na Sl.91. Svaki A/D konvertor u osnovi integriše funkcije odabiranja, kvantovanja i kodovanja. Konverzija analognog signala u digitalni se obavlja periodično sa periodom T_s . Broj nivoa kvantizacije određen je rezolucijom. Za rezoluciju od n bita imamo 2^n kvantnih nivoa. Kvantizer unosi sistemsku grešku od $\pm 1/2$ bita najmanje težine (Eng. *Less Significant Bit – LSB*). Koderom se vrši kodovanje kvantnih nivoa u binarni kod.



Sl.7.1. Opšti blok dijagram A/D konvertora

Brzina odabiranja

Brzina odabiranja određuje kako često se vrši konverzija analognog napona u njegov digitalni ekvivalent. Ona je jedan od najkritičnijih faktora prema kome su suprotstavljeni zahtjavi korisnika sistema za akviziciju i A/D konvertorskog elementa. Intuitivno se može zaključiti da se većom

104 7. Direktno povezivanje procesa na sistemsku magistralu računara

brzinom odabiranja prikupi više podataka o signalu u datom vremenu, te se dobija bolja interpretacija originalnog analognog signala. Egzaktniji objašnjenje daje Nikvistov (*Nyquist*) teorem koji daje uslov da se odmjerci analognog signala mogu smatrati reprezentativnim, odnosno omogućavaju da se tačno može rekonstruisati originalan analogni signal. Prema Nikvistovoj teoremi analogni signal ograničenog spektra koji nema spektralne komponente frekvencije ω_g ili više, može se jedinstveno predstaviti odmjercima njegovih vrijednosti ako se oni uzimaju sa frekvencijom ne manjom od $2\omega_g$ (odmjeravanje se ne smije vršiti u intervalima dužim od $1/(2\omega_g)$ sekundi).

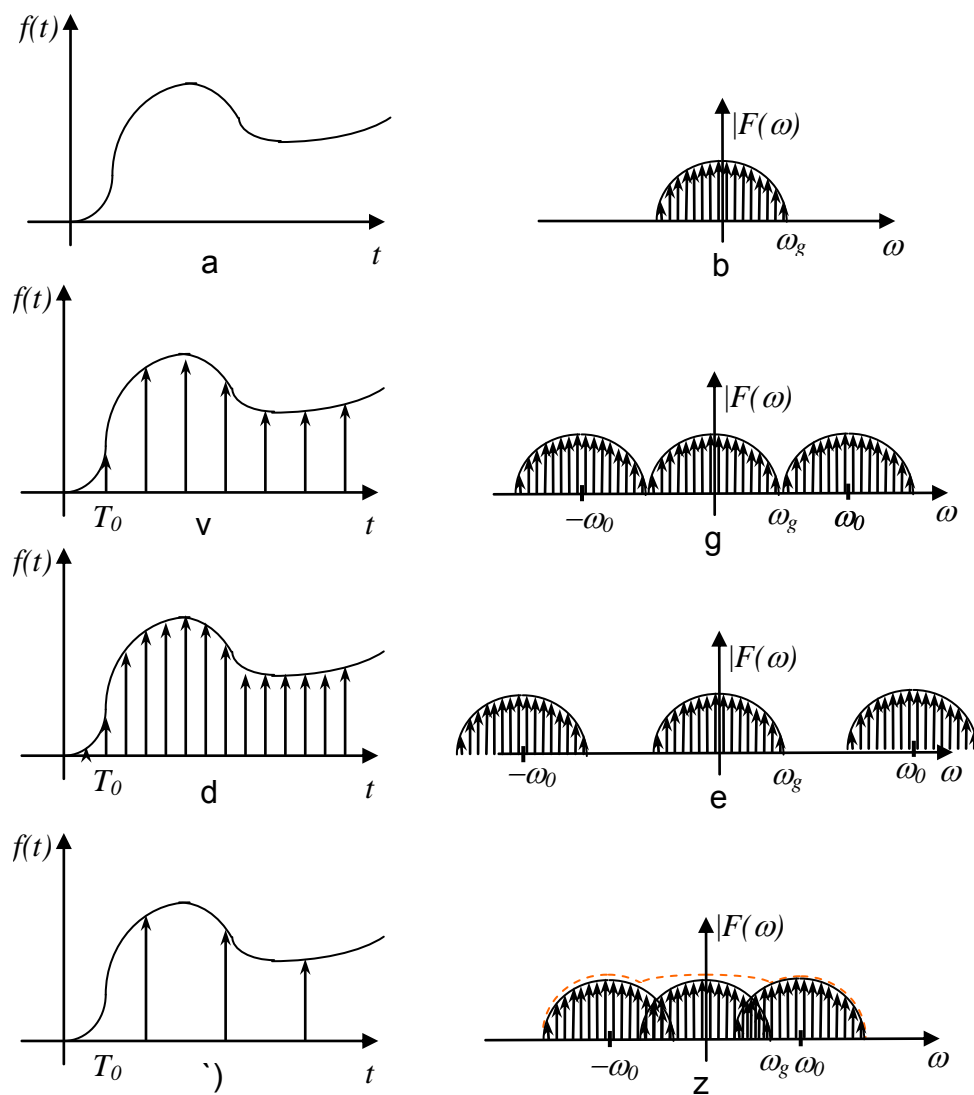
Ukoliko vršimo odabiranje signala koji ima komponente sa frekvencijom do 50[Hz] frekvencija odabiranja treba da bude veća od 100[Hz]. Odnosno, ako se koristi izražavanje preko periode odabiranja može se raći da je potrebno uzeti bar 100 odmjereka u sekundi (Eng. 100 *Samples per seconds* - S/s). Dakle, perioda odabiranja treba da bude manja od $(1/100)=0.01$ [s], da bi digitalni signal sadržavao punu informaciju o originalnom analognom signalu. Na Sl.7.2. je ilustrovan efekat male brzine odabiranja. Na Sl.7.2.a je prikazan sinusni signal koji je odmjereavan frekvencijom većom od $2\omega_g$. Filtriranjem odmjereka signala može se dobiti njegova korektna rekonstrukcija. Na Sl.7.2.b je prikazan isti analogni signal odmjereavan frekvencijom manjom od $2\omega_g$. U tom sličaju se ne može izvršiti korektna rekonstrukcija. Moguće je dobiti sinusoidu manje frekvencije ili trougaoni signal, kao što je ilustrovano isprekidanom linijom.



Sl.7. 2. Efekat male brzine odabiranja: a) brzina odabiranja adekvatna, b) brzina odabiranja nije zadovoljavajuća

7. Direktno povezvanje procesa na sistemsku magistralu računara 105

Efekte transformacije signala izvršene njegovim odmjerenjem može se bolje ilustrovati i razumjeti posmatranjem u frkvencijskom umjesto u vremenskom domenu. Jedna ilustracija efekata odabiranja signala u frekvencijskom području data je na Sl.7.3. Oblik pretpostavljenog signala i njegov spektar su dati na Sl.7.3.a i Sl.7.3.b. Ako se izvrši odmjerenje takvog signala frekvencijom ω_0 koja odgovara njegovoj Nikvistovoj frekvenciji ($\omega_0/2$), spektar diskretnog signala će imati oblik kao na Sl.7.3.g.



Sl.7.3.

Rekonstrukcija originalnog analognog signala teoretski se može izvršiti idealnim NF filtrom koji propušta frekvencije do ω_g . Ako se izvrši odmjeravanje istog signala većom brzinom tada bi dobijeni signal imao spektar oblika kao što je ilustrovano na Sl.7.3.e. Rekonstrukcija originalnog signala se tada može realizovati neidealnim NF filtrom. Dovoljno je da propušta frekvencije do ω_g , i eliminiše frekvencije više od $\omega_0 - \omega_g$. Kada se odabiranje analognog signala izvodi frekvencijom manjom od $2\omega_g$ tada se dobije preklapanje spektralnih komponenti osnovnog i bočnih dijelova spektra. Spektar diskretnog signala ima oblik kao što je ilustrovano na Sl.7.3.z (rezultantni spektar je naznačen isprekidanom linijom). U tom slučaju se filtriranjem ne može rekonstruisati originalan analogni signal. Ovo je pojava «*alias*» (lažnih) frekvencija ili preklapanje spektra.

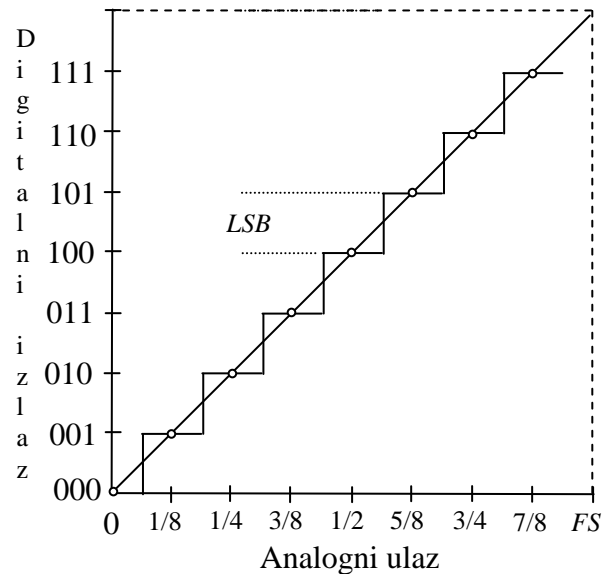
Informacija za frekvencije iznad Nikvistove je dakle izgubljena procesom odabiranja. Zato je važno da se ne догоди додатно изобличенје изворног спектра сигнала, tako što će se dozvoliti da efekat preklapanja spektra iskrivi značajan dio spektra ispod Nikvistove frekvencije. Ovo se postiže filtriranjem analognog signala prije odabiranja. Ovaj filter se obično naziva *anti-aliasing* filter. Presječna frekvencija ovog analognog filtra je jednaka Nikvistovoj frekvenciji. Filter se treba koristiti prije odabiranja u svim slučajevima ako postoji sumnja (ili mogućnost) da signal sadrži nezanemarljivu energiju iznad Nikvistove frekvencije.

Anti-aliasing filtrom se takođe постиже пригушење садржаја шумова у корисном сигналу. Tipična situacija je da se signal sastoji od komponente korisnog signala i poremećaja/šuma. U većini procesa, obično je poremećaj sa spektrom koji je dominantno u nisko-frekvencijskom području, dok su šumovi (posebno šumovi mjerenja) mnogo šireg spektra nego korisni signal. Tada se period odabiranja obično usvaja tako da je skoro čitav dio spektra korisnog signala ispod Nikvistove frekvencije. Po pravilo se za eliminaciju (ili bar potiskivanje) efekta poremećaja koristi povratna veza i odgovarajući algoritmi regulatora. S druge strane *Anti-aliasing* filter odsijeca visoko frekvencijske komponente šuma.

Rezolucija predstavlja broj bita koji A/D konvertor koristi da bi predstavio binarni ekvivalent analognog signala. Na Sl.7.4 prikazana je statička karakteristika idealnog 3 bitnog A/D konvertora. A/D konvertor sa rezolucijom od 3 bita dijeli opseg analognog ulaznog sistema u 2^3 ili 8 kvantnih nivoa. Svaki kvantni nivo je predstavljen binarnim kodom od 000 do 111.

7. Direktno povezivanje procesa na sistemsku magistralu računara 107

Sa Sl.7.4 je očigledno da je digitalna reprezentacija neprecizna jer u procesu konverzije dolazi do značajnog gubitka informacije o tačnim vrijednostima



Sl.7.4 Statička karakteristika idealnog A/D konvertora

originalnog analognog signala. Povećanjem rezolucije na 12 bita, broj binarnih nivoa bi se povećao sa 8 na 4096. U slučaju 12 bitne rezolucije, pri opsegu ulaznog signala od 0 do 10[V], svaka promjena analognog signala manja od 2.44[mV] neće biti registrovana. To znači da je za promjenu vrijednosti *LSB* u digitalnoj riječi potrebna promjena ulaznog napona veća od 2.44[mV]. U sistemima namjenjenim za nadzor i upravljanje procesima uglavnom se koriste analogni ulazni sistemi sa rezolucijom 12, 14 ili 16 bita. U sistemima namjenjenim za mjerenje i testiranje koriste se A/D konvertori veće rezolucije što povećava cijenu.

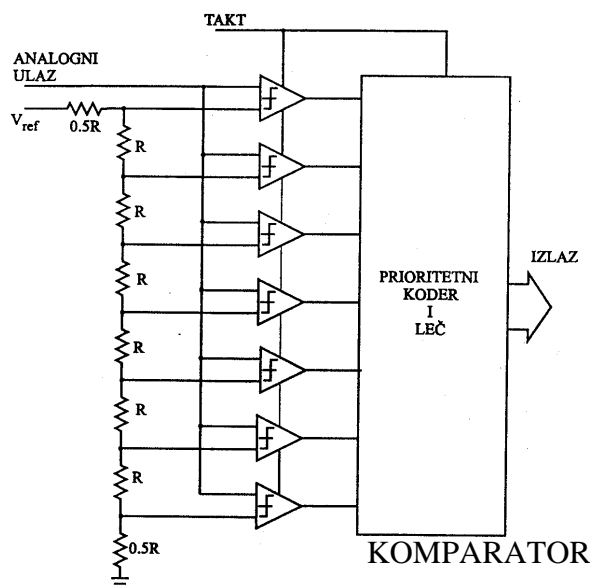
[iroko područje različitih primjena pokrivaju najčešće korišteni A/D konvertori: paralelni (*flash*), sa sukcesivnom aproksimacijom i integrirajući.

Paralelni A/D konvertori

Najbrži i najskuplji su paralelni A/D konvertori. Zbog svoje kompleksnosti i visoke cijene ovi konvertori su ograničeni na primjene čija rezolucija nije veća od 10 bita u komercijalnim varijantama. Za rezoluciju od n bita potrebno je $2^n - 1$ komparator. Kompleksnost konvertora raste

108 7. Direktno povezivanje procesa na sistemsku magistralu računara geometrijskom progresijom sa povećanjem rezolucije. Pored toga, zahtijeva se velik stepen podudarnosti karakteristika komparatora, temperaturna stabilnost i velika ulazna otpornost. Blok dijagram paralelnog A/D konvertora prikazan je na Sl.7.7.

Digitalni podatak na izlazu kasni za ulaznim analognim naponom samo za vrijeme propagacije kroz komparatore i logička kola koda. Zato su brzine odabiranja ovih konvertora vrlo velike, do 200 MHz.



Sl.7.5 Blok dijagram paralelnog A/D konvertora

Paralelni A/D konvertori se najčešće koriste u specijalizovanim kolima, kao što su digitalni osciloskopi, primjene digitalne obrade signala u realnom vremenu i opštim primjenama za visoke frekvencije.

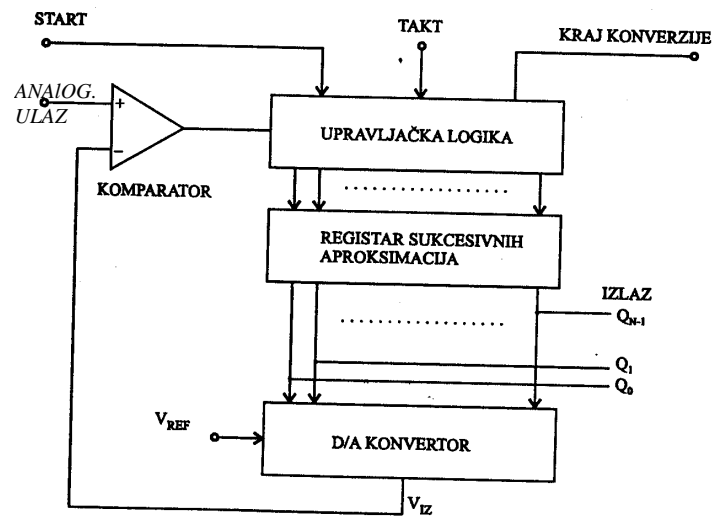
A/D konvertori sa sukcesivnim aproksimacijama

Za brzine uzorkovanja veće od $100[\text{Hz}]$, najpopularnija je konverzija sa sukcesivnom aproksimacijom. Mogu se postići brzine do $8[\text{MHz}]$, pri čemu brzina zavisi od rezolucije konvertora. Izrađuju se sa rezolucijom 12, 14, 16 bita i više. Blok dijagram A/D konvertora sa sukcesivnom aproksimacijom prikazan je na Sl.7.6 U povratnoj vezi A/D konvertora sa sukcesivnom aproksimacijom nalazi se D/A konvertor. Digitalni kod od n bita na izlazu A/D konvertora dobija se kroz $n+1$ sukcesivni interval. Digitalni kod se dobija poređenjem napona na ulazu, nepoznate vrijednosti,

7. Direktno povezivanje procesa na sistemsku magistralu računara 109

sa precizno generisanim internim naponom koji se dobija na izlazu D/A konvertora. Nakon započinjanja konverzije, upravljačka logika konvertora postavi logičku jedinicu na mjesto bita najveće težine (Eng. *Most Significant Bit - MSB*) u registar D/A konvertora. D/A konvertor generiše napon jednak polovini napona pune skale (ulaznog opsega) koji se poredi sa ulaznim naponom. Ako je ulazni napon veći od polovine napona pune skale, za *MSB* se usvaja vrijednost 1, a ako je ulazni napon manji od polovine napona pune skale onda je ovaj bit 0. Sada se na mjesto sljedećeg bita po težini upiše 1. Poređenjem novopostavljene vrijednosti napona na izlazu D/A konvertora sa nepoznatim ulaznim naponom definiše vrijednost ovog bita. Proces se nastavlja utvrđivanjem vrijednosti svakog bita, sve do bita najmanje težine. Kada se proces komparacije napona i postavljanja vrijednosti bita završi, preko statusne linije se signalizira da je na izlazu A/D konvertora prisutan važeći rezultat konverzije.

Za ovaj način konverzije, potrebno je da ulazni signal ostane stalan za vrijeme cijele konverzije. U protivnom, može doći do velike greške. Zato se koristi kolo odmjeri-pamti (Eng. *Sample/Hold - S/H*). U primjenama za nadzor i upravljanje procesima uglavnom se koristi ovaj tip A/D konvertora.



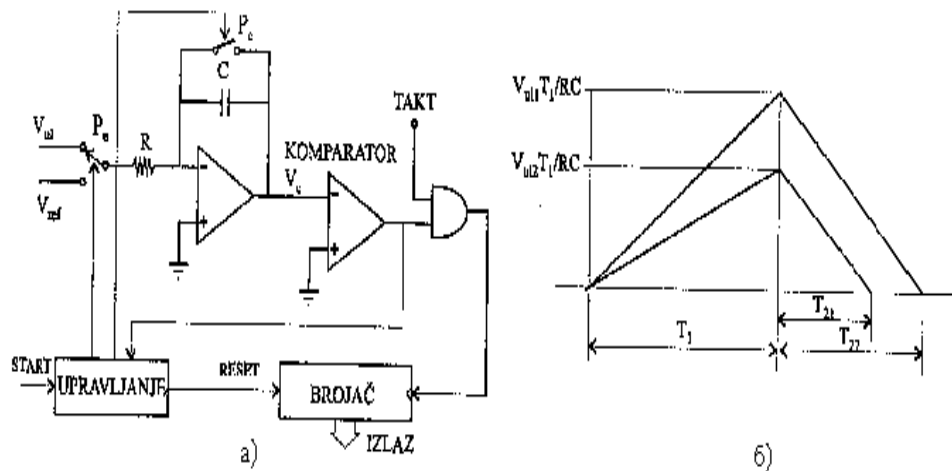
Sl.7.6 Blok dijagram A/D konvertora sa sukcesivnom aproksimacijom

Integrirajući A/D konvertori

Kada brzina za datu primenu nije od presudnog značaja, tj. kada je malena, tada se može upotrijebiti A/D konverzija na bazi integracije sa 12, 14, pa i 16-bitnom rezolucijom, uz nisku cijenu komponente. Kod ovih A/D konvertora se koristi indirektan postupak A/D konverzije, tako što se analogni ulazni signal konvertora pretvara u vremenski period koji mu je proporcionalan i koji se mjeri digitalno pomoću brojača. Sadržaj brojača predstavlja digitalni kod koji odgovara nivou analognog napona.

Blok dijagram integrirajućeg A/D konvertora prikazan je na Sl.7.7.a. Rad konvertora je baziran na principu da je izlaz integratora rampa funkcija sa nagibom proporcionalnim vrijednosti konstantnog napona na njegovom ulazu.

Prije započinjanja konverzije prekidač P_C je zatvoren, tako da je napon na izlazu integratora $V_C=0$. Početak konverzije se zadaje signalom START koji resetuje brojač. Upravljačka logika otvara prekidač P_C , a prekidač P_U prebacuje u položaj u kome se na ulaz integratora dovodi napon V_{UL} . Napon na izlazu operacionog pojačavača počinje linearno da raste što dovodi do promjene stanja izlaza komparatora i brojač počinje da broji. Nakon 2^n takvih impulsa brojač je stigao do svoje najveće vrijednosti. Za to vrijeme linearni napon na izlazu integratora V_C od nule poraste na vrijednost $V_C=(V_{UL}/RC)T_1$, pod pretpostavkom da je napon V_{UL} konstantan u intervalu T_1 (Sl.7.7.b.). Dakle, napon V_C je direktno proporcionalan naponu V_{UL} . Prvi takt impuls poslije pojavljivanja maksimalne vrijednosti brojača vraća brojač u početno stanje, a upravljačka logika prebacuje analogni prekidač P_U u drugi položaj. Sada integrator integriše struju koju stvara priključeni referentni napon suprotnog polariteta od V_{UL} i na njegovom izlazu napon počinje linearno da opada. Nagib opadajuće rampe je konstantan i ne zavisi od V_{UL} . Kada napon na izlazu integratora dostigne nulu, komparator sprečava dalje dovođenje impulsa takta na ulaz brojača. Vremenski period T_2 je ekvivalentan vrijednosti napona na ulazu konvertora $T_2=(V_{UL}/V_{ref})*T_1$.



S1.7.7 Blok dijagram integrirajućeg A/D konvertora

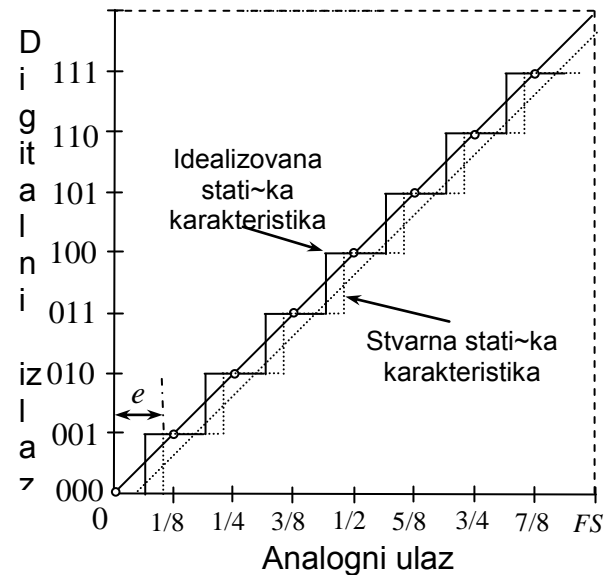
Imajući u vidu da je u vremenu T_1 odbrojano n_1 taktnih impulsa periode T_C , a da je u toku intervala T_2 odbrojano n_2 taktnih impulsa iste periode imamo $n_2 = (n_1 * V_{UL}) / V_{ref}$, te je n_2 (sadržaj brojača) proporcionalan vrijednosti ulaznog napona V_{UL} . Osnovni kvalitet ovakvog tipa konvertora je vrlo visoka tačnost jer na tačnost konverzije utiče samo tačnost referentnog napona V_{ref} .

Brzina konverzije je obično od 2 do 20 [Hz], a maksimalno reda [kHz]. Kao što samo ime kaže, ovaj A/D konvertor usrednjava (integriše) varijacije signala za vrijeme konverzije. Ovim inherentnim usrednjavanjem se, ustvari, vrši i filtriranje ulaznog signala. Linearnost i ukupna tačnost integracionih konvertora su bolji nego kod ostalih A/D konvertora i ne zavise od kvaliteta većine ugrađenih komponenta, osim izvora referentnog napona.

Pokazatelji tačnosti A/D konvertora

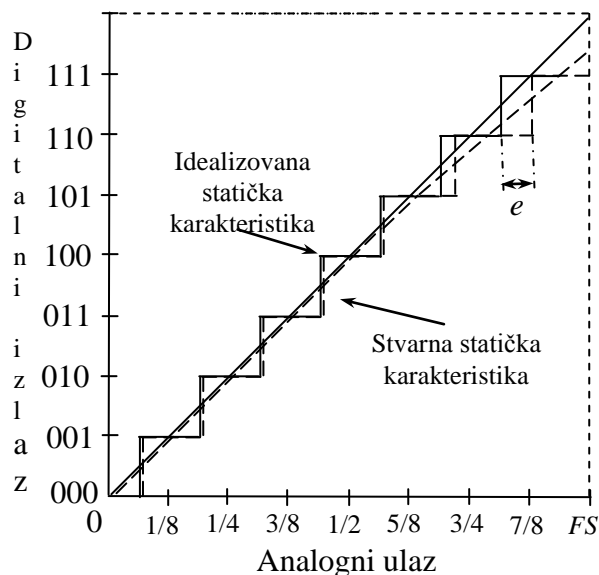
Svi razmatrani A/D konvertori su idealizovani. Neidealnost njihovih statičkih karakteristika je razmatrana samo kroz grešku rezolucije. Postoje i drugi pokazatelji neidealnosti statičke karakteristike, a to su prije svega: zona neosjetljivosti, nelinearnost, greška pojačanja i greška ponovljivosti.

Kod idealnog A/D konvertora postoji zona neosjetljivosti koja je jednaka polovini njegovog koraka rezolucije. Stvarni A/D konvertor ima neidealnu statičku karakteristiku koja je ilustrovavana na Sl. 7.8. Zona neosjetljivosti za takav slučaj je označena sa e .



Sl.7.8 Zona neosjetljivosti A/D

Nelinearnost A/D konvertora predstavlja odstupanje stvarne statičke karakteristike od idealizovane statičke karakteristike kroz čije centre koda se može povući pravac. Ilustracija greške nelinearnosti A/D konvertora je

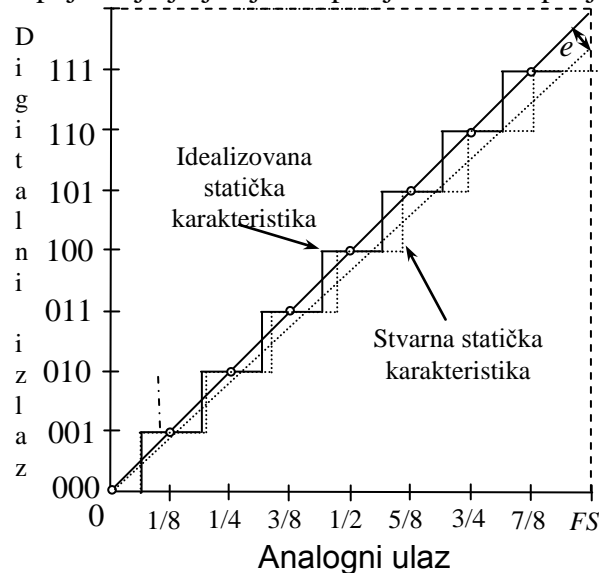


Sl.7.9 Nelinearnost A/D konvertora

prikazana na Sl.7.9. Punom linijom je predstavljena idealizovana, a

7. Direktno povezivanje procesa na sistemsku magistralu računara 113
isprekdanom linijom stvarana statička karakteristika. Sa e je označena
greška nelinearnosti.

Greška pojačanja je još jedna posljedica odstupanja stvarne statičke

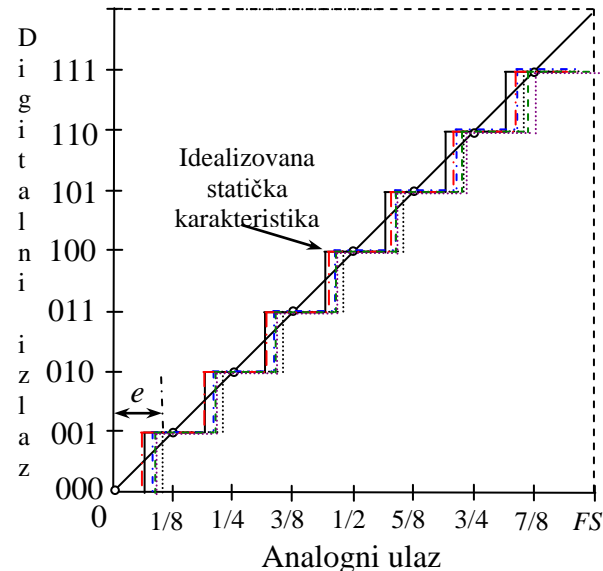


Sl.7.10 Greška pojačanja A/D konvertora

karakteristike A/D konvertora od idealne. Predstavlja pomjeranje pravolinijske aproksimacije statičke karakteristike tako da je njen nagib promjenjen kao što je ilustrovano na Sl.7.10.

Greška ponovljivosti se pojavljuje kod A/D konvertora prije svega kao posljedica njihove temperaturne osjetljivosti. Zavisno od tehnologije kojom su realizovani A/D konvertori su manje ili više osjetljivi na promjenu temperature okoline. Ovaj efekat dominantno utiče na vrijednost greške ponovljivosti A/D konvertora. Greška ponovljivosti vrlo često uključuje sve prethodno pobrojane neidealnosti statičke karakteristike.

Ukupna tačnost A/D konvertora predstavlja rezultat ukupnog odstupanja stvarne statičke karakteristike od idealne. Pokazatelji tačnosti se često mogu pronaći u katalogima koje za njih daju proizvođači. Obično se iskazuju u postotku pune skale ulaza ili u formi analognog ekvivalenta veličine koraka bita najmanje težine. Tipični pokazatelji tačnosti su reda $\pm 1/2 \text{ LSB}$ do $\pm 1 \text{ LSB}$, ali kod nekih konvertora mogu biti u oblasti $\pm 4 \text{ LSB}$ do $\pm 8 \text{ LSB}$.



Sl.7.11 Ilustracija neidealnog ponavljanja
statičke karakteristike A/D konvertora

Izvor dinamičke greške A/D konvertora se prije svega može karakterisati kašnjenjem koje predstavlja vrijeme potrebno za provođenje jednog koraka konverzije. Vrijeme konverzije predstavlja proteklo vrijeme od iniciranja koraka konverzije do pojavljivanja valjanog digitalnog podatka na izlazu konvertora. Za većinu A/D konvertora vrijeme konverzije direktno određuje brzinu odabiranja, tako da naprimjer A/D konvertor sa vremenom konverzije $50 \mu s$ može neprekidno konvertovati analogni ulazni signal brzinom $20 kHz$.

7.1.2 Multiplekser

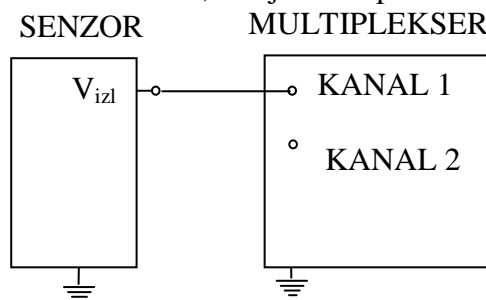
Jedna od najvažnijih osobina analognog ulaznog sistema jeste broj ulaznih kanala. Određuje broj analognih signala koje je moguće prikupljati. Samo u specijalnim slučajevima se za svaki ulazni kanal koristi poseban A/D konvertor. Uglavnom se koristi tehnika multipleksiranja da bi se više signala konvertovalo jednim A/D konvertorom. Multiplekser je jedna specijalna vrsta integrisanog kola (skup analognih prekidača) koje omogućava priključenje više ulaznih kanala na jedan A/D konvertor (obično 2^n - n je od 2 do 6). Ova tehnika značajno smanjuje cijenu koštanja u odnosu na korištenje posebnog A/D konvertora za svaki ulazni kanal.

7. Direktno povezivanje procesa na sistemsku magistralu računara 115

Prebacivanje od kanala do kanala multiplekser vrši uz pomoć softverske podrške. Odabrani ulazni kanal se selektuje pomoću binarnog koda na ulaznim adresnim linijama multipleksera. Radi toga 16 kanalni multiplekser treba da ima četiri adresne linije.

Prve realizacije multipleksera su se zasnivale na korišćenju mehaničkih prekidača, najčešće *reed relea* (Eng. *reed relay*). Odlikuju se vrlo visokom izolacionom sposobnošću. Ne mogu se koristiti za velike brzine (do 100 Hz). Savremeni multiplekseri se uglavnom realizuju pomoću poluprovodničkih prekidača, a posebno tranzistora sa efektom polja (*CMOS* ili *JFET*). Omogućavaju brzine reda MHz.

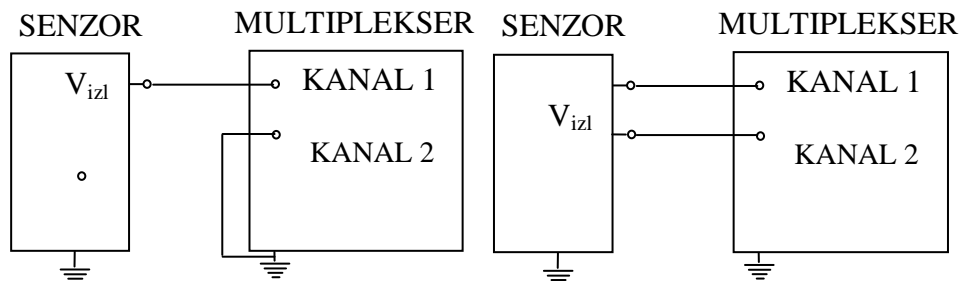
Broj kanala zavisi prije svega od načina povezivanja senzora na analogni ulazni sistem (nesimetrični ili diferencijalni). Nesimetrično povezivanje (*SE Single Ended*) koriste zajedničku povratnu liniju ili masu, što je prikazano na Sl.7.11. To znači da izvor signala i analogni ulazni sistem imaju zajedničku referentnu tačku, odnosno masu. Dok je razlika potencijala ovih tačaka malena, ovaj način povezivanja radi bez teškoća.



Sl.7.11 Povezivanje uzemljenog signala na multiplekser konfigurisan za nesimetrično povezivanje

Problemi nastaju kada ova razlika postane veća od maksimalno dozvoljene greške sistema. Naime, razlika u potencijalima masa uzrokuje proticanje struje (strujna petlja mase), koja može dovesti do greške u interpretaciji mjerenja. Najveća prednost nesimetričnog povezivanja je niska cijena koštanja po kanalu. Za jedan kanal je potreban samo jedan ulaz multipleksera i jedan provodnik za povezivanje.

Iz navedenih razloga se konfiguracija sa nesimetričnim povezivanjem koristi za prenos signala visokog nivoa (reda veličine volta) i za prenos signala na manjim rastojanjima (reda veličine metra). Za sva veća rastojanja potrebno je koristiti oklopljene kablove i omotač kabla treba biti spojen na uzemljenje samo na mjestu instrumenta.



Sl.7.12 Povezivanje na multiplekser konfigurisan za diferencijalno povezivanje a) uzemljenog signala b) neuzemljenog signala

Diferencijalni (*Diff.*) princip omogućava priključenje pozitivnog (+) i negativnog (-) kraja analognog ulaznog sistema na oba kraja izvora signala, što je prikazano na Sl.7.12 Na taj način, svaki napon koji se indukuje u provodnicima se pojavljuje kao zajednički, tzv. "*Common-mode*" signal, koji se uspješno potiskuje. Diferencijalno povezivanje smanjuje uticaj smetnji. Diferencijalni ulaz zauzima dva prekidačka kontakta multipleksera. Zato, npr. na nesimetrični sistem sa 16 nesimetričnih kanala može da se priključi samo 8 diferencijalnih kanala. Pored toga, dok je za nesimetrične sisteme dovoljan jednostavan operacioni pojačavač, diferencijalni sistemi zahtjevaju simetrične pojačavače instrumentacionog tipa. Zbog toga je diferencijalni ulazni kanal više od dva puta skuplji od nesimetričnog ulaznog kanala. Istovremeno je otpornost na smetnje višestruko veća nego kod nesimetričnog ulaznog kanala.

Kod analognih ulaznih sistema kod kojih ne postoje pojačavači nego se signal direktno sa multipleksera vodi na ulaz A/D konvertora može se koristiti samo konfiguracija sa nesimetričnim povezivanjem.

U nekim slučajevima se treba koristiti pseudo-diferencijalno povezivanje. To je u stvari varijanta nesimetrične konfiguracije. Pogodnost ovakvog povezivanja je što se postiže dodatno potiskivanje *Common-mode* signala, a zadržava maksimalan broj kanala po multipleksoru. Kod ovakvog povezivanja se svi krajevi niskog nivoa izvora signala direktno povezuju sa krajem niskog nivoa pojačavača. Ovakav metod je moguć samo kada je kraj niskog nivoa pojačavača prisutan na konektoru i ako krajevi niskog nivoa izvora signala mogu biti direktno povezani.

Multipleksiranjem se smanjuje brzina uzorkovanja po kanalu. Ovo treba imati u vidu u svim slučajevima kada se koristi više ulaznih kanala.

7. Direktno povezivanje procesa na sistemsku magistralu računara 117

Dva parametra multipleksera imaju posebno značajan uticaj na brzinu kojom multiplekser može vršiti prebacivanje između kanala.

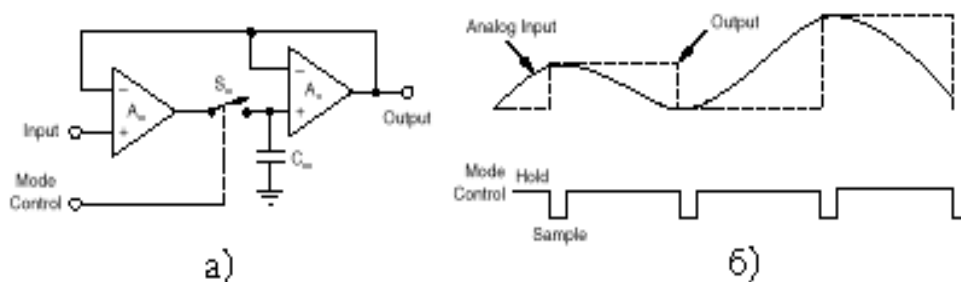
Vrijeme prebacivanja (Eng. *Snitching time*) multipleksera je vrijeme potrebno da multiplekser izvrši prebacivanje sa jednog kanala na drugi.

Vrijeme postavljanja (Eng. *Settling time*) je vrijeme koje je potrebno da se izlaz multipleksera postavi na vrijednost ulaza, sa greškom ne većom od dozvoljene, kada se ulazni signal na kanalu promijeni skokovito sa donje granice mjernog opsega ulaza na njegovu gornju granicu, ili obrnuto.

Vrijeme postavljanja može biti problematično. Ako softver skenira analogne kanale (prebacuje multiplekser) veoma brzo izlazi multipleksera ne mogu postaviti dovoljno tačno, tada se može pojaviti uzajamni uticaj susjednih kanala. Ovo može dovesti do grešaka u akviziciji od nekoliko procenata. Problem se može izbjeći pažljivim izborom komponenata u zavisnosti od konkretne primjene. Treba imati u vidu da efekat međusobnog uticaja može da zavisi od sekvenci ulaznih podataka i brzine kojom se ulazni kanali skeniraju. Može se preporučiti da se ovaj problem ima u vidu u ranoj fazi razvoja softvera. Nedovoljan propusni opsega može biti kritičan kada se koristi metod multipleksiranja većeg broja analognih signala sa značajnom razlikom u vrijednostima napona.

7.1.3 Kolo odmjeri-zadrži

Kolo odmjeri-zadrži (Eng. *Sample-and-hold, S/H*) se koristi za privremeno zadržavanje vrijednosti promjenljivog analognog signala. Treba da obezbedi konstantnu vrijednost napona na ulazu A/D konvertora za vrijeme jednog ciklusa konverzije. Princip rada kola je sljedeći.



Sl.7.10. S/H kolo, a) blok dijagram, b) vremenski odnos signala

118 7. Direktno povezivanje procesa na sistemsku magistralu računara

Ulazni bafer A_1 S/H kola sa Sl.7.10.a. obezbjeđuje veliku ulaznu otpornost i struju za punjenje kondenzatora zadržavanja C_H . Prekidač S_1 se otvara i zatvara pomoću signala *MODE CONTROL*. Kada je S_1 zatvoren vrši se punjenje kondenzatora C_H , tj. odmjerava se ulazni analogni signal. Kada je S_1 otvoren kondenzator C_H zadržava odmjereni napon. Bafer A_2 predstavlja za kondenzator C_H opterećenje velike ulazne otpornosti i naponski izvor male izlazne otpornosti. Po pravilu se napon na izlazu bafera A_2 vodi na ulaz A/D konvertora.

Očigledno je za upravljanje radom S/H kola potreban samo jedan binarni upravljački signal koji ga prebacuje između moda 'odmjeri' i 'zadrži'. Signal može biti prebacivan softverski preko upravljačkog registra pridruženog jednom od I/O portova računara, ili namjenskim hardbverom na istoj ploči.

S/H kola postavljena na ulazu A/D konvertora se često smatraju integralnim dijelom kola za digitalizaciju. U tom smislu naredba za start procesa analogno-digitalne konverzije takođe automatski aktivira S/H kola za potrebno vrijeme trajanja.

Osnovni parametri S/H kola su vrijeme zadržavanja (Eng. *hold settling time*), brzina opadanja (Eng. *drop rate*) i vrijeme odmjeravanja (Eng. *aperture time*). Vrijeme zadržavanja predstavlja period za koji odmjerena vrijednost ostaje zadržana u grenici datog odstupanja. Realno S/H kolo ne može održavati u modu zadržavanja svoj izlaz neograničeno dugo. Brzina kojom opada ovaj signal zavisi od kapaciteta kondenzatora i ulazne otpornosti izlaznog bafera, a naziva se brzinom opadanja.

7.1.4 Pojačavač

Amplitude analognih ulaznih signala mogu da variraju u širokom opsegu. Za pravilan rad A/D konvertora, potrebno je da signal na ulazu bude dovoljno visokog nivoa tako da odgovara ulaznom području A/D konvertora. To se obično realizuje pomoću kvalitetnih instrumentacionih pojačavača. U širokoj primjeni su dva tipa pojačavača koji se nalaze u sistemu za analogne ulaze.

Prvi tip pojačavača su oni kod kojih se koristi hardversko podešavanje pojačanja. Kod ovakvih pojačavača se pojačanje podešava pomoću potencijometara ili kratkospojnika i po pravilu je isto za sve kanale.

7. Direktno povezivanje procesa na sistemsku magistralu računara 119

Zbog istog pojačanja ovakvi pojačavači su pogodni samo u primjenama u kojim su signali na svim kanalima bliski po nivou. Ukoliko se koriste signali sa većim razlikama u nivou potrebno je dodatno eksterno pojačanje signala vrlo niskog nivoa.

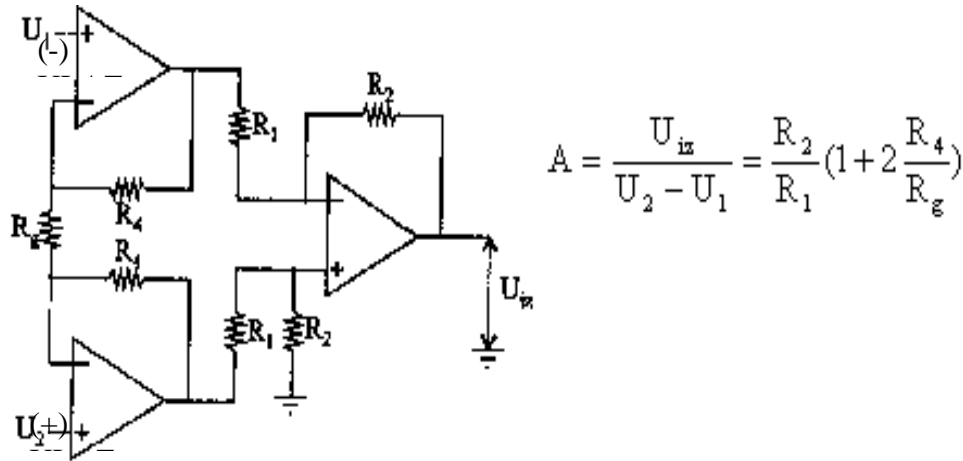
Mnogo fleksibilnija varijanta pojačavača su pojačavači sa softverski podesivim pojačanjem (Eng. (*Programmable Gain Amplifier- PGA*)). Kod njih je moguće podesiti pojačanje pojačavača tako što se jednom upiše pojačanje za svaki pojedinačni kanal, u odgovarajući registar na ploči analinog ulaznog sistema. To predstavlja značajnu pogodnost kada su ulazni signali na različitim kanalima sa vrlo različitim nivoima. Pojačanje svakog kanala se može odabrati tako da je prilagođeno nivou pripadajućeg signala, pa su svi pojačani signali prilagođeniji ulaznom području A/D konvertora.

Obično analogni ulazni sistem omogućava izbor između nekoliko različitih ulaznih opsega. Ovo omogućava izbor ulaznog opsega koji odgovara opsegu vrijednosti analognog signala koji se konvertuje. Opseg, rezolucija i pojačanje dostupni u okviru analognog ulaznog sistema određuju korak rezolucije, tj. najmanju promjenu napona analognog signala koju je moguće detektovati. Na primjer za ulazni opseg od 0 do 10[V], pojačanje 10 i rezoluciju od 12 bita imamo osjetljivost od:

$$\frac{\text{ulazni opseg}}{\text{pojačanje} \cdot 2^{\text{rezolucija}}} = \frac{10}{10 \cdot 2^{12}} = 0.244[mV].$$

U ovom slučaju treba voditi računa o tome da je ulazni opseg analognog ulaznog sistema od 0 do 10[V].

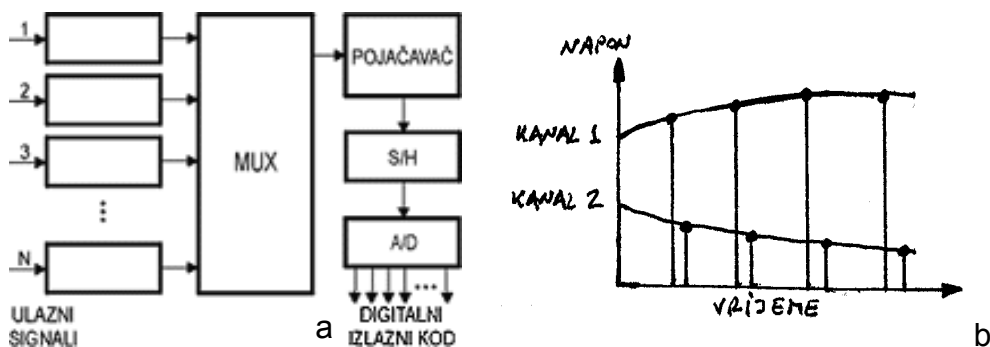
Osnovni nedostaci *PGA* pojačavača su visoka cijena i relativno sporo smirivanje (*settling*) signala. Vrijeme smirivanja *PGA* pojačavača se sabira sa svim drugim kašnjenjima u ulaznom analognom sistemu pa može da smanji propusni opseg analognog ulaznog sistema ispod potrebne vrijednosti. Na Sl.7.11 prikazana je principijelna šema instrumentacionog pojačavača, koji je u osnovi diferencijalni pojačavač velike ulazne otpornosti.



SI.7.11 Principijelna šema instrumentacionog pojačavača

Pošto više kanala dijeli jedan pojačavač i jedan A/D konvertor, brzina akvizicije podataka je znatno manja od brzine A/D konvertora. Praktično, vrijeme potrebo za provođenje jednog koraka A/D konverzije na svim kanalima je jednako zbiru vremena potrebnog za pojačanje i vremena potrebnog za jednu A/D konverziju pomnoženo brojem priključenih kanala.

Sistem prikazan na SI.7.12.a., koristi poslije multipleksera jedan pojačavač, S/H kolo i A/D konvertor. Korisnik bira željenu brzinu uzorkovanja, koja odgovara datoj primjeni. Ako svaki kanal treba da se čita R puta u sekundi, onda multiplekser mora da bira n puta brže, gde je n broj kanala. Prema tome S/H kolo i A/D konvertor moraju biti dovoljno brzi da izvrše konverziju za manje od $1/(R*n)$ sekundi.

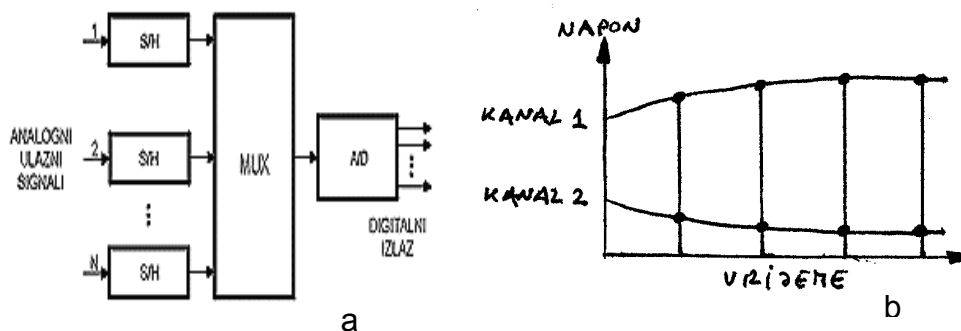


SI.7.12 a) Blok dijagram sistema za analogni ulaz, b) vremenski dijagram uzorkovanih signala na dva kanala

7. Direktno povezivanje procesa na sistemsku magistralu računara 121

Bilo bi idealno da se svi ulazni kanali čitaju istovremeno, svakih $1/R$ sekundi. Međutim, zbog vremenskog multipleksiranja dolazi do vremenskog pomjeranja (tzv. *Skenj*) između čitanja pojedinih kanala, što je prikazano na Sl.7.12.b. Za ovu konfiguraciju komponenta sistema, čak i kada su multipleksei (MUX), pojačavači, S/H kola i A/D konvertori veoma brzi, ne može se smatrati da se svi kanali čitaju istovremeno. Neke aplikacije, kao na primer mjerenje trenutne snage ($U \cdot I$), ili relativnog položaja mehaničkih komponenta su veoma osjetljive na vremensko pomjeranje. Čak i sa najbržim A/D konvertorima, neke aplikacije ne mogu da tolerišu vremensko kašnjenje pri čitanju. U ovakvim, kritičnim aplikacijama, se koriste konfiguracije sa simultanim uzorkovanjem (*SSH Simultaneous Sample/Hold*).

Sistem sa *SSH* strukturom je prikazan na Sl.7.13.a. U ovom slučaju signali na svim kanalima se odmjeravaju istovremeno, a samo se njihove digitalni ekvivalenti ne upisuju istovremeno. Analogni signali na ulaznim kanalima 1 i 2 i trenuci njihovog uzorkovanja prikazani su na Sl.7.13.b.



Sl.7.13.a) Blok dijagram sistema za simultano uzorkovanje, b) vremenski dijagram simultanog uzorkovanja

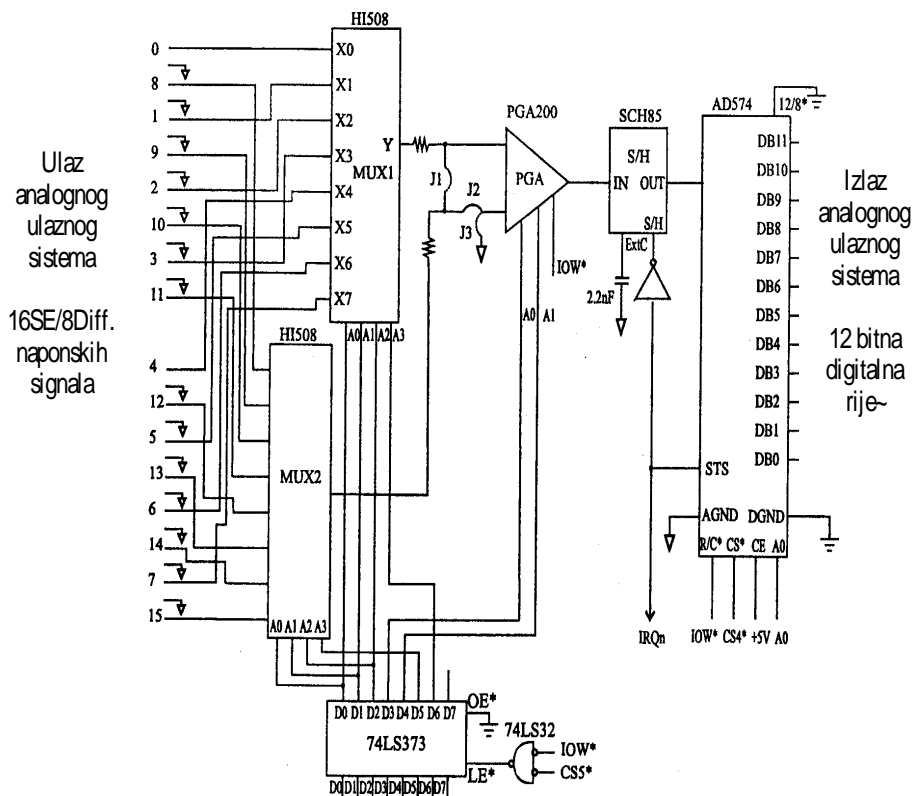
Pored dobrih strana u vezi sa faznim i vremenskim kašnjenjem, *SSH* metoda je pogodna i za aplikacije gdje je potrebno izračunati korelaciju funkcija: obrade govora, testiranje materijala i strukturno dinamičko testiranje, mjerenje trofazne snage, analiza geofizičkih sistema, automatsko testiranje proizvodnih linija itd.

7.1.5 Primjer analognog ulaznog sistema

Kroz konkretan primjer sistema za akviziciju sa 16 analognih ulaza, predstavljenog blok šemom na Sl.7.14, će biti ilustrovani gore dati principi. Osnovu modula čini A/D konvertor (ADC574) sa sukcesivnim aproksimacijama, sa rezolucijom od 12 bita koji je razvijen u *Burr-Brown*, a proizvode ga i drugi proizvođači. Referentni napon od $+10V$ i signal takta se generišu interno. Na ulaz se mogu dovesti unipolarni signali $0-10V$ ili $0-20V$ i bipolarni signali opsega $\pm 5V$ ili $\pm 10V$.

Vrijeme konverzije ovog konvertora je $25 \mu s$. Brže varijante *ADC674* i *ADC774* koje su kompatibilne sa *ADC574* imaju vremena konverzije: $15 \mu s$ i $8 \mu s$, respektivno.

Kada je signal $12/8^*$ visokog logičkog nivoa na izlazu konvertora prisutno je svih 12 bita koji su rezultat konverzije. Ako je signal $12/8^*$ niskog nivoa (spojen na masu kao što je simbolički predstavljeno na slici)



Sl. 7.14 Električna šema analognog ulaznog modula sa 16SE/8Diff. ulaza

7. Direktno povezivanje procesa na sistemsku magistralu računara 123

na izlazu konvertora se dobije najprije 8 značajnijih, a zatim 4 manje značajna bita. Upravljački ulaz CS^* se koristi kao adresni ulaz za selekciju modula. R/C^* se koristi a izbor funkcije očitavanja podataka ili započinjanja konverzije, a ulaz CE za inicijalizaciju određene funkcije. Konverzija se može pokrenuti aktiviranjem linije CE ili promjenom stanja jednog od dva preostala upravljačka ulaza (CS^* ili R/C^*) Konverzija počinje kada zadnji od ova tri ulaza pređe u zahtjevano stanje, odnosno kada je ispunjen uslov $CE=1$, $CS^*=0$, $R/C^*=0$. Ako je u konkretnoj primjeni poželjno da konverziju započne jedan određeni upravljački signal onda preostala dva moraju biti stabilna bar 50 ns prije promjene stanja tog upravljačkog signala.

Preko ulaza $A0$ definiše se da li će rezultat konverzije biti 8 bitni ili 12 bitni. Ako je $12/8^*=0$ (konvertor konfigurisan da radi sa 8 bitnim izlazom) tada se pri $A0=0$ očitava 8 bita veće težine, a pri $A0=1$ očitava preostala 4 manje značajna bita.

Preko izlaznog signala STS se saopštava status konvertora. Dok traje konverzija izlaz se nalazi na visokom logičkom nivou, a po završetku konverzije prelazi na nizak logički nivo. Ovaj signal upravlja radom S/H kola. Kada je $STS=1$ kolo S/H je u režimu stabilnog napona na izlazu, a kada je $STS=0$ tada S/H kolo prati promjenu ulaznog signala.

Kratkospojnik	Nesimetrični ulazi (SE)	Diferencijalni ulazi (Diff.)
J1	IN	OUT
J2	OUT	IN
J3	IN	OUT

Tabela 7.1

Moduo sa slike se može konfigurisati da radi sa 16 nesimetričnih ili 8 diferencijalnih ulaza. Izbor konfiguracije se vrši prema tabeli 7.1 pomoću tri kratkospojnika

Izbor željenog alaznog kanala se vrši pomoću multipleksera ($MUX1$ i $MUX2$) i ulaznog registra 74LS373. Preko linija $D5$ i $D6$ se selektuje određeni multiplekser, a preko linija $D0-D2$ ulaz selektoje određeni ulaz na multipleksoru.

124 7. Direktno povezivanje procesa na sistemsku magistralu računara

Ako se koristi nesimetrično povezivanje tada se na *MUX1* povezuju ulazi 0 – 7, a na *MUX2* ulazi 8 do 16. U slučaju diferencijalnog povezivanja aktiviraju se oba multipleksera ($D5=1$, $D6=1$).

Za prilagođavanje nivoa signala sa senzora na nivo signala na ulazu konvertora koristi se pojačavač sa programabilnim pojačanjem (*PGA*). Izbor pojačanja pojačavača vrši se preko sadržaja lokacija *D3* i *D4* ulaznog registra. Prikazana varijanta pojačavača *PGA200*, može raditi sa četiri koeficijenta pojačanja 1,10,100 i 1000.

7.2. ANALOGNI IZLAZNI SISTEM

Osnovna funkcija analognog izlaznog sistema je da podatak u digitalnom formatu pretvori u vremenski kontinualan analogni električni signal. Na taj način se digitalno izražena veličina pretvara u napon ili struju koji pokreću aktuatora putem kojih se direktno djeluje na stanje procesa. Takođe mogu poslužiti za rad indikatora, programabilno generisanje referentnih napona i pokretanje drugih analognih elemenata/uređaja (nr. generisanje zvučnih signala). Osnovna komponenta analognog izlaznog sistema je D/A konvertor. Pored D/A konverzije sistem sadrži pojačavač snage jer snaga analognog izlaza iz D/A konvertora nije dovoljna za pokretanje aktuatora.

7.2.1 Digitalno-analogni konvertor

Digitalno-analogni konvertor je elektronsko kolo koje digitalni podatak konvertuje u vremenski kontinualan analogan signal.

Osnovne opšte karakteristike D/A konvertora su:

- Područje izlaznog napona ($0 \div 5$ V; $0 \div 10$ V; ± 5 V č ± 10 V).
- Maksimalna dozvoljena izlazna struja (± 5 mA) .
- Rezolucija konvertora (12,16,.. bita).

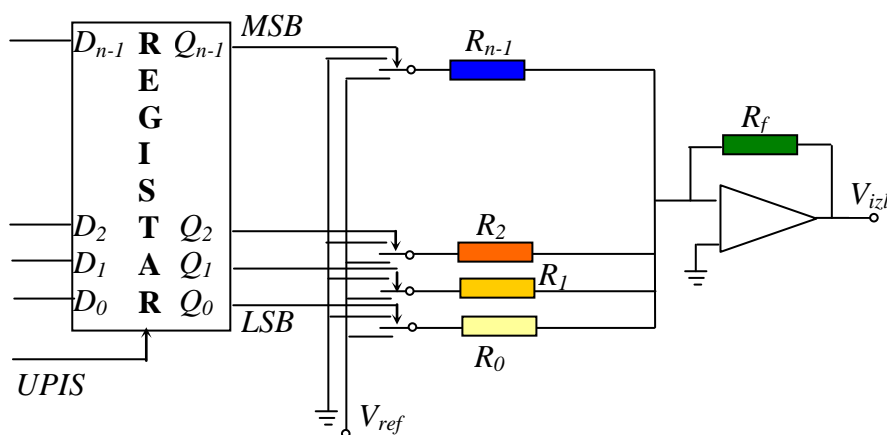
Na Sl.7.17. prikazan je opšti blok dijagram D/A konvertora. Ako je digitalni podatak u serijskom formatu potrebno ga je konvertovati u paralelni. Nakon toga se digitalni podatak preko pasivne težinske mreže i pojačavača pretvara u analogan signal.

126 7. Direktno povezivanje procesa na sistemsku magistralu računara
D/A konvertori sa težinskom otpornom mrežom.

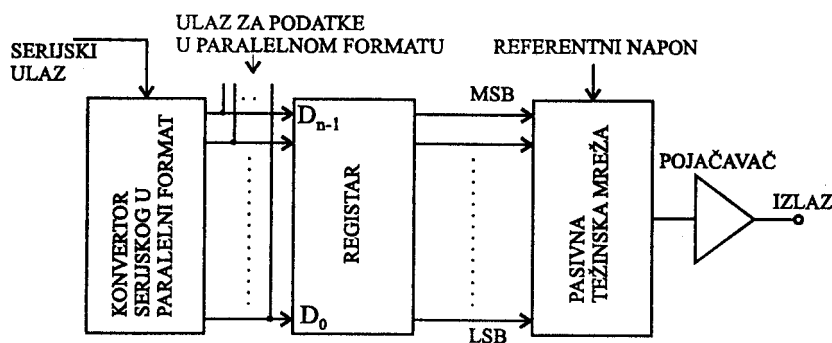
Blok dijagram D/A konvertora sa težinskom otpornom mrežom je dat na Sl.7.16. U otpornoj mreži su vrijednosti otpornosti:

$$R_0 = R; R_1 = \frac{R}{2}; R_2 = \frac{R}{2^2}; \dots, R_{n-1} = \frac{R}{2^{n-1}}$$

Digitalno kodovan broj od n bita upisuje se u registar na signal



Sl.7.16 Blok dijagram D/A konvertora sa težinskom otpornom mrežom
 UPIS, tako da Q_0, Q_1, \dots, Q_n mogu biti 0 ili 1. Ovi izlazi registra upravljaju



Sl.7.17. Blok dijagram D/A konvertora

radom prekidača. Ako je $Q_i = 1$ tada je i -ti prekidač zatvoren pa je odgovarajući otpornik spojen na V_{ref} , a kada je $Q_i = 0$ tada je i -ti prekidač otvoren pa je odgovarajući otpornik spojen na masu. Samo u granama kojima odgovara stanje 1 registra, teći će struja obrnuto proporcionalna

7. Direktno povezivanje procesa na sistemsku magistralu računara 127
 otpornosti grane. Poznato je da je ulaz operacionog pojačavača na nultom
 potencijalu pa operacioni pojačavač vrši sabiranje struja. Odatle je:

$$\frac{V_{ref}}{R_0} Q_0 + \frac{V_{ref}}{R_1} Q_1 + \dots + \frac{V_{ref}}{R_{n-1}} Q_{n-1} = I = -\frac{V_{iz}}{R_f}$$

$$\begin{aligned} V_{iz} &= -R_f V_{ref} \left(\frac{Q_0}{R} + \frac{2Q_1}{R} + \frac{2^2 Q_2}{R} \dots + \frac{2^{n-1} Q_{n-1}}{R} \right) \\ &= -\frac{R_f}{R} V_{ref} (Q_0 + 2Q_1 + 2^2 Q_2 + \dots + 2^{n-1} Q_{n-1}) = -\frac{R_f}{R} V_{ref} \sum_{i=0}^{n-1} 2^i Q_i. \end{aligned}$$

Dakle, naponski signal V_{iz} je proporcionalan binarnom broju
 zapisanom u registru.

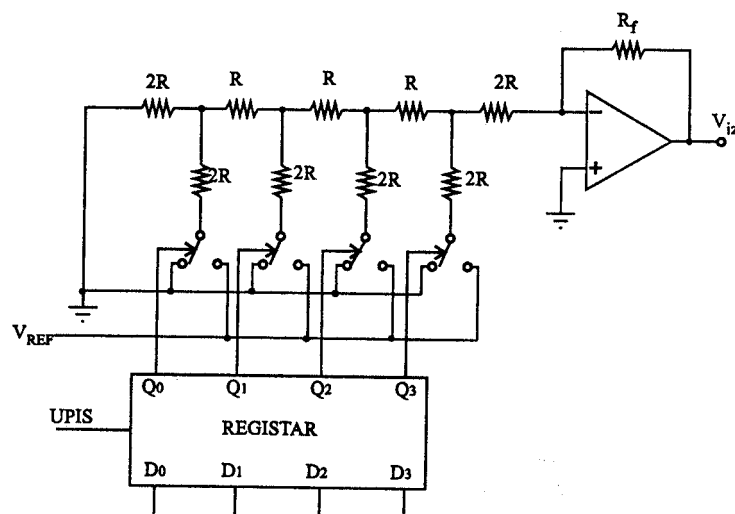
Za precizno generisanje odgovarajućih analognih napona na izlazu
 operacionog pojačavača, odnos otpornosti u težinskoj mreži mora biti
 veoma tačan. Za D/A konvertor sa n -bita potrebna su $n+1$ otpornika
 otpornosti $R, R/2, R/4, \dots$. Tačne vrijednosti otpornosti u širokom opsegu nije
 lako realizovati u tehnici integrisanih kola. Iz ovog razloga se ovakvi D/A
 konvertori koriste samo tamo gdje se ne zahtijeva velika tačnost.

Najčešće se koriste **D/A konvertori sa ljestvičastom otpornom mrežom**. Blok dijagram D/A konvertora sa ljestvičastom otpornom mrežom
 prikazan je na Sl.7.17

128 7. Direktno povezivanje procesa na sistemsku magistralu računara

Za realizaciju otporne mreže koriste se otpornici otpornosti R i $2R$. Otpornici čije su vrijednosti istog reda mogu se jednostavnije realizovati u integrisanom kolu. Potrebno je $2n+1$ otpornik (n broj bita konvertora). Napon na izlazu pojačavača V_{iz} , tj. napon na izlazu D/A konvertora je:

$$V_{iz} = -\frac{R_f}{2R} \frac{V_{ref}}{3} \frac{1}{2^{n-1}} \sum_{i=0}^{n-1} 2^i Q_i,$$



Sl.7.17 Blok dijagram D/A konvertora sa ljestvičastom otpornom mrežom

gdje $Q_i=1$ označava da je $2R$ otpornik i -te ćelije spojen na referentni napon V_{ref} , a $Q_i=0$ da je spojen na masu.

Očigledno je da je napon na izlazu D/A konvertora proporcionalan broju upisanom u registar. Rad većine D/A konvertora komercijalne namjene se zasniva na ovom principu. Ukoliko se koriste MOS tehnologije tada se umjesto otporne koristi kapacitivna ljestvičasta mreža.

Operacioni pojačavači se najčešće vezuju na izlaz D/A konvertora sa namjenom da izvrše konverziju strujnog signala u naponski. Otpornik u povratnoj vezi R_f (Sl.7.16 i S.7.17) se koristi za podešavanje ofseta, pojačanja, a time i izlaznog opsega konvertora. On omogućava takođe da se kompenzira temperaturna osjetljivost konvertora. Ukoliko se koristi više

7. Direktno povezivanje procesa na sistemsku magistralu računara 129
otpornika u povratnoj vezi tada je moguće vršiti izbor između više mjernih područja.

Dat je princip rada idealnih D/A konvertora. Ponašanje stvarnih konvertora se razlikuje od idealnih po nekim statičkim i dinamičkim odstupanjima.

Rezolucija D/A konvertora je vrijednost skoka izlaznog analognog signala (inkrementa) koji odgovara promjeni za vrijednost 1 *LSB* na ulazu konvertora. Direktno zavisi od broja bita (n) konvertora i vrijednosti referentnog napona. Uglavnom se izrađuju konvertori sa 8 do 14 bita. U primjenama za upravljanje procesima koriste se uglavnom D/A konvertori rezolucije 12 bita.

Ostali izvori statičkih grešaka su: ofset, nelinearnost, greška pojačanja i ponovljivost (posebno temperaturna osjetljivost). Određivanje i značenje ovih grešaka su vrlo bliski već obrazloženim za A/D konvertore pa neće biti ponovo obrazlagani.

Osnovni pokazatelji dinamike analognog izlaznog sistema su brzina promjene izlaznog napona (Eng. *slenj rate*) i vrijeme smirenja (Eng. *settling time*).

Brzina konverzije zavisi od dinamike konvertora i predstavlja vrijeme potrebno da izlazni napon analognog izlaznog sistema sa minimalne vrijednosti (0[V]) postigne maksimalnu vrijednost sa željenom tačnošću.

Brzina promjene izlaznog napona definiše maksimalnu brzinu promjene izlaznog napona (propusni opseg) koju analogni izlazni sistem može da ostvari. Brzina promjene i vrijeme smirenja izlaznog napona određuju kako brzo analogni izlazni sistem može da izvrši promjenu izlaznog napona na novu željenu vrijednost. Analogni izlazni sistem sa velikom brzinom promjene izlaznog napona i malim vremenom smirenja može generisati signale visoke učestanosti. U slučaju upravljanja standardnim industrijskim procesima ne zahtijeva se velika brzina analognog izlaznog sistema.

7.2.2 Digitalno - analogni množač

D/A konvertori sa promjenljivim referentnim naponom (V_{ref}), mogu da rade kao digitalno - analogni množači. Jedan ulaz je digitalni podatak (broj D). Drugi ulaz je analogni naponski signal V_{ul} , takav da je $V_{ul} = V_{ref}$. U skladu sa već datim jednačinama za izlazni napon D/A konvertora sada je:

$$V_{iz} = k D V_{ul},$$

gdje je k koeficijent proporcionalnosti i zavisi od vrijednosti parametara otporne mreže (težinske ili ljestvičaste) i otpornosti R_f . Osnovna oblast primjene D/A množača je digitalno upravljanje faktorom skaliranja. Na taj način, obavljajući funkciju digitalno upravljano elektronskog potencijometra može se koristiti za realizaciju različitih digitalno upravljanih kola/uređaja (npr. različiti filtri sa digitalnim podešavanjem graničnih frekvencija).

7.2.3 Pojačavač snage

Velika opterećenja, kao što su ventili, motori, pumpe itd., zahtijevaju velike struje, pa se zato koriste pojačavači snage ili struje. Većina sistema za akviziciju podataka i upravljanje u standardnoj konfiguraciji nema izlazne pogonske stepene za velike snage.

7.3. POVEZIVANJE DIGITALNIH SIGNALA

Preko digitalnih ulaznih linija vrši se očitavanje stanja prekidača, tastera i drugih senzora sa digitalnim izlazom.

U slučaju *povorke impulsa ili digitalno kodovanog signala* osnovna kola za unos su *brojači ili registri*.

Osnovne karakteristike broječkih kola su:

- Frekvencija signala takta
- Vrijednost logičke '1' i logičke '0'.

Digitalne izlazne linije se koriste za upravljanje prekidačima, releima i drugim izvršnim uređajima. Digitalni podaci se šalju prema perifernim

7. Direktno povezivanje procesa na sistemsku magistralu računara 131
jedinicama i od njih primaju kao grupe bita (digitalni podaci) ili pojedinačno u formi impulsa.

Interfejs za digitalni U/I se sastoji od integrisanih kola sposobnih za prijem i slanje *TTL* kompatibilnih signala (nizak logički nivo je između 0 V i 0.8 V, a logički visok nivo je između 2.2 V i 7.5 V). Digitalni interfejs je prije svega karakterisan brojem U/I linija grupisanih u portove, pri čemu se svaki port sastoji od osam ili četiri linije. Najšire je prihvaćeno da se sve U/I linije jednog porta konfigurišu kao ulazne ili izlazne. Takođe, u nekim slučajevima se smijer pojedinačnih linija porta mogu konfigurisati nezavisno. Važni parametri interfejsa za digitalni U/I su broj digitalnih linija, koliko ih može biti konfigurisano kao ulazi ili izlazi (ili oboje), brzina kojom se mogu prenositi podaci po linijama i sposobnost izlaznih linija za pobuđivanje narednih kola. Mnogi multifunkcionarni interfejsi za direktno povezivanje U/I sadrže pored analognih ulaznih, analognih izlaznih, modula brojača/tajmera i moduo za digitalni U/I sa različitim brojem digitalnih U/I linija. Ukoliko ovakav multifunkcionalni interfejs, za direktno povezivanje U/I, ne zadovoljava zahtjeve specifične primjene ili su potrebni samo digitalni U/I, tada se koriste specijalizovani digitalni U/I interfejsi.

Realizacija programabilnog paralelnog interfejsa bazira se po pravilu na korišćenju nekog od kola specijalizovanih za ovu svrhu, kao naprimjer *Programmable Peripheral Interface – PPI 8255*, koje proizvodi *Intel*. Ono sadrži tri programabilna 8-bitna U/I porta (A,B,C) i zajednički upravljački registar. Ulazne ili izlazne funkcije označavaju da se podaci mogu upisivati ili očitavati preko ovih portova. U upravljački registar je moguće samo upisivanje podataka. Port C se sastoji od dva odvojena 4-bitna porta.

Pristup *PPI 8255* je omogućen kada je linija *CS** na niskom naponkom nivou. Selekcija jednog od tri porta ili upravljačkog registra se vrši preko adresnih linija A0, A1 kao što je prikazano u tabeli 7.2.

Za ilustraciju osnovnih signala i načina rada sa digitalnim ulazima i izlazima dati su Sl.7.18 i tabela 7.2. Adresiranje kola *PPI 8255* i njegovih portova vrši se prema tabeli 7.2. Upravljanje očitavanjem i upisom se realizuje signalima *RD** i *NJR**, takođe u skladu sa tebelom 7.2.

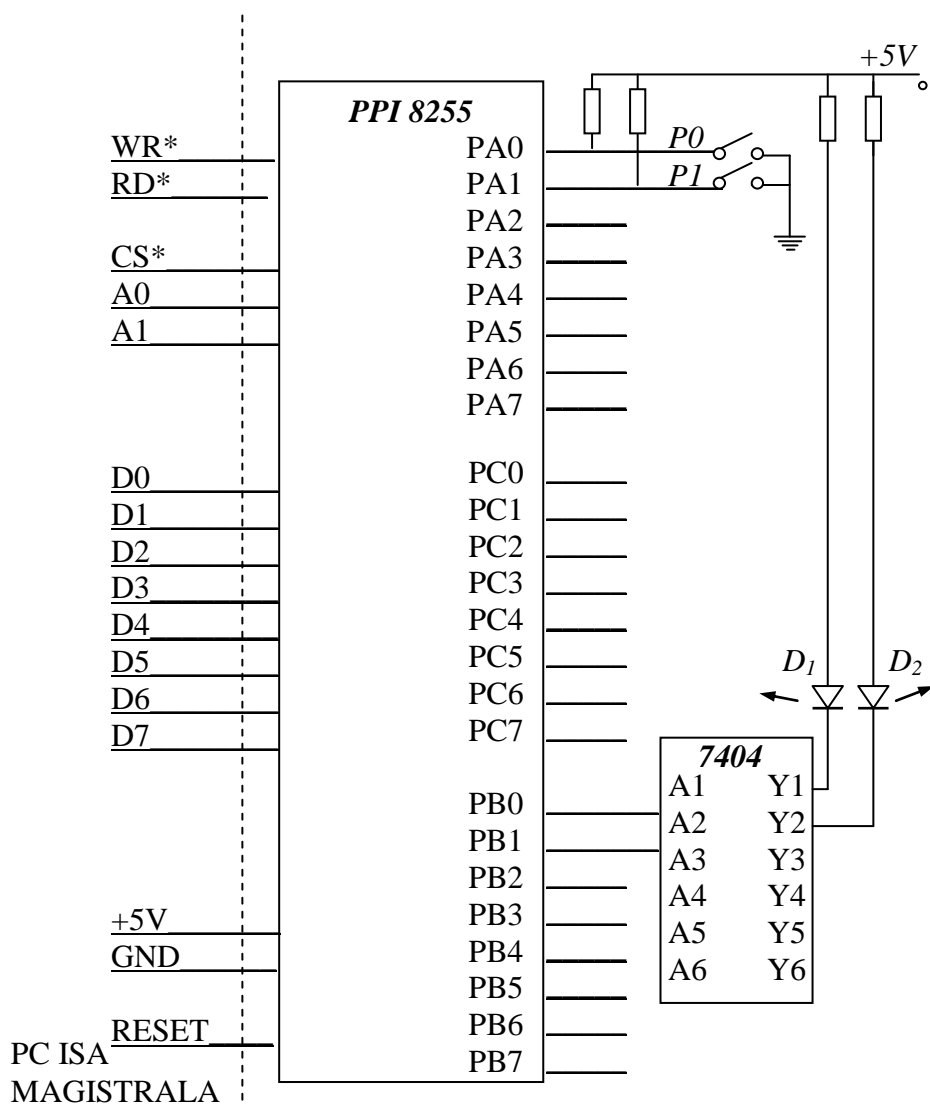
132 7. Direktno povezvanje procesa na sistemsku magistralu računara

Tabela 7.2

<i>CS*</i>	<i>A0</i>	<i>A1</i>	<i>RD*</i>	<i>NJR*</i>	
O^ITAVANJE					
0	0	0	0	1	PORT <i>A</i>
0	1	0	0	1	PORT <i>B</i>
0	0	1	0	1	PORT <i>C</i>
UPIS					
0	0	0	1	0	PORT <i>A</i>
0	1	0	1	0	PORT <i>B</i>
0	0	1	1	0	PORT <i>C</i>
0	1	1	1	0	UPRAVLJ. REGISTAR
ONEMOGUJEN PRISTUP					
X	X	X	X	1	
1	1	0	1	1	
X	X	1	1	0	

7. Direktno povezivanje procesa na sistemsku magistralu računara 133

Način rada kola *PPI 8255* zavisi od sadržaja njegovog upravljačkog registra. Primjer povezivanja ovog kola na 8-bitnu *ISA* magistralu je prikazan na Sl.7.18. Na Sl.7.18 ilustrovano je povezivanje dva ulazna binarna senzora predstavljena sa dva prekidača (P_1 i P_2) na port A. Pretpostavka je da će se očitavati stanje prekidača. U skladu sa njihovim



Sl. 7.18

134 7. Direktno povezivanje procesa na sistemsku magistralu računara stanjem će se uključivati diode (D_1 i D_2) koje su u formi digitalnog izlaza vezane na dvije linije porta B .

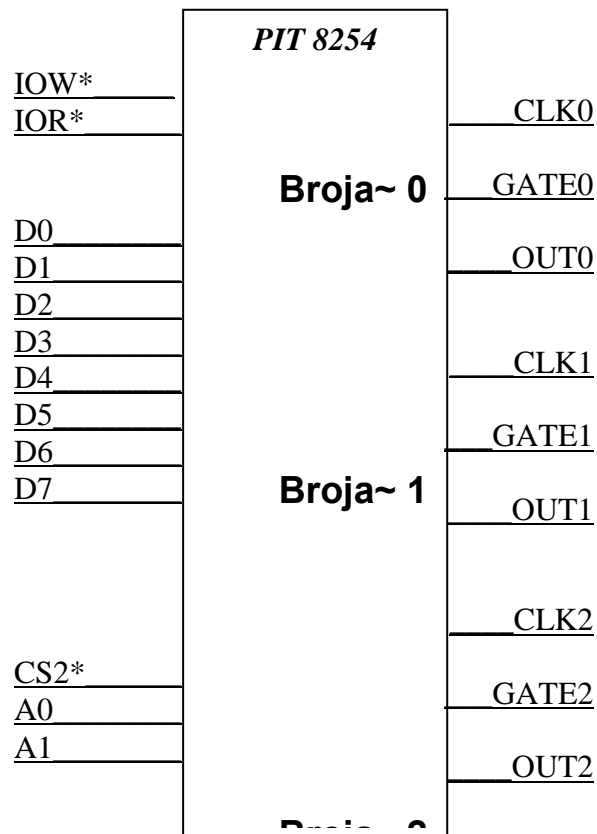
Po pravilu su kola paralelnog interfejsa predviđena za vrlo mali faktor grananja (vrlo malo opterećenje izlaza). Nominalne struje ovih kola su reda desetaka mA , pa nije moguće direktno upravljanje potrošačima kao što su *LED* diode, relei i slično. U takvim slučajevima je nužno postavljanje dodatnih stepena koji izvršavaju prilagođenje ili ako je potrebno i galvamsko razdvajanje. Iz tog razloga u primjeru sa Sl. 7.18 diode D_1 i D_2 na port B povezane preko invertorskog kola 7404 koje obezbeđuje dovoljnu struju za njihov rad.

7.7. PROGRAMABILNI BROJAČI/TAJMERI

Mjerenje vremena, brojanje impulsa, mjerenje frekvencije, generisanje povorke impulsa ili generisanje kašnjenja često predstavljaju zadatke u akviziciji i upravljanju. Iz tog razloga je podatak o vremenu vrlo važan za akvizicioni sistem. Pogodnije je ako se za ovu namjenu koristiti informacija o proteklom ili relativnom vremenu nego o apsolutnom vremenu. Nije racionalno da ovaj zadatak rješava procesor računara jer bi nepotrebno bio zauzet stalnim ažuriranjem podataka o proteklom vremenu. Iz tog razloga se po pravilu za ove zadatke koriste specijalizovani programabilni tajmeri/brojači. Pored gore navedenih zadataka ova kola se vrlo uspješno koriste u generisanju precizno programski definisanog kašnjenja. Umjesto vremenske softverske petlje u brojač se upiše zadato kašnjenje i inicira brojanje takt impulsa unazad. Kad se brojač postavi na nulu, znači da je proteklo zadato vrijeme i šalje se procesoru zahtjev za prekid. Tada procesor prelazi na definisani softverski dio, a do tada je bio slobodan za obavljanje drugih zadataka.

Za ilustraciju rada ovih specijalizovanih kola će biti korišćen *Programmable Interval Timer – PIT 8254* proizvođača *Intel*. Ostali modeli ovog ili drugih proizvođača imaju isti osnovni princip rada.

Osnovno kolo *PIT 8254* u sebi sadrži tri nezavisna 16-bitna brojača koji broje unazad. Standardno se koristi u višenamjenskim kolima za direktno povezivanje U/I, za podršku radu analognih ulaznih i izlaznih modula. Opšti prikaz kola i njegovo povezivanje na *ISA* magistralu je dato na Sl.7.13. Povezivanje se obavlja preko 8-bitne magistrale podataka ($D0 - D7$), linije za omogućavanje pristupa kolu CS^* i dvije adresne ulazne linije



Sl. 7.19

A0 i *A1*. Pomoću ove dvije adresne linije se definiše brojač ili upravljački registar kojima se pristupa. Interno adresiranje je predstavljeno tabelom 7.3.

Tabela 7.3.

A0	A1	SELEKTOVAN
0	0	Brojač 0
1	0	Brojač 1
0	1	Brojač 2
1	1	Upravljački registar

Način rada programabilnog brojača zavisi od upravljačke riječi koja se nalazi u upravljačkom registru. Za svaki brojač koji se želi koristiti potrebno

136 7. Direktno povezivanje procesa na sistemsku magistralu računara je definisati upravljačku riječ. Značenje svakog bita u upravljačkoj riječi daje proizvođač. Upisivanjem sadržaja u upravljački registar definiše se način rada internih brojača.

Svaki od internih brojača ima ulaze za takt (*CLOCK*), upravljački signal (*GATE*) i izlaz (*OUT*) i interni n -bitni brojački registar.

Brojač je digitalni elemenat koji prihvata i šalje *TTL* kompatibilne signale, broji promjene ulaznog signala na *CLOCK* ulazu tako što inkrementira interni brojački registar za svaku promjenu na ulazu. Na taj način *CLOCK* ulaz daje vremensku bazu za rad brojača. Brojač može biti konfigurisan tako da broji prednje ili zadnje ivice impulsa. Sadržaj internog brojački registra se može softverski očitavati u bilo kom trenutku.

Ulaz *GATE* se može koristiti da omogući/onemogući rad brojača. Može se koristiti takav način rada da visok nivo *GATE* ulaza znači omogućen rad brojača a nizak nivo *GATE* ulaza znači onemogućen rad brojača, ili obrnuto. Takođe, brojač se može konfigurisati tako da počinje da broji impulse na ulazu *CLOCK* samo poslije promjene signala na *GATE* ulazu. Tada se *GATE* koristi kao triger brojanja. Kada se ne koristi *GATE* ulaz, tada se može softverski inicirati brojanje.

Brojač se može konfigurisati da daje na *OUT* izlazu signal koji se prebacuje sa jednog stanja na drugo ili daje impulse kada brojački registar dostigne njegovo krajnje stanje. Ako se *OUT* izlaz sa jednog brojača veže na *GATE* ulaz drugog brojača mogu se postići složene talasne forme u vremenu.

Kombinovanjem načina rada kola, signala *CLOCK* i *GATE* i upisivanjem početnog sadržaja brojača, mogu se realizovati različite varijante brojanja događaja i mjerenje trajanja različitih događaja.