

```

1  TITLE "Modul przesyłający liczbę U2 z PS/2 na LPT";
2  %
3  Modul ma na celu zaprezentowanie działania:
4  - kontrolera portu wejściowego PS/2, odczytującego
5  liczbę U2 wpisaną na klawiaturze jako ZDDD
6  - kontrolera portu wyjściowego LPT, wysyłającego
7  na drukarkę odebraną z PS/2 liczbę U2 (druk jako ZDDD)
8  %
9  INCLUDE "LPT_OUT.inc";
10 INCLUDE "PS2_IN.inc";
11
12 CONSTANT lpt_addr = H"10"; % adres drukarki LPT w IO      %
13 CONSTANT ps2_addr = H"50"; % adres klawiatury PS/2 w IO   %
14
15 SUBDESIGN PS2_LPT_TRANSMITTER
16 (
17     GEN          : input;      % zegar 20MHz                %
18
19     % sygnały WE / WY                %
20     L_A[7..0]    : output;      % diody górny rząd      %
21     L_B[7..0]    : output;      % diody dolny rząd     %
22     P_1[7..0]    : output;      % port danych do LPT (SV1) %
23     P_2[7..0]    : input;       % port stanu z LPT (SV2) %
24     P_3[7..0]    : output;      % port sterowania do LPT (SV3) %
25     P_4[7..0]    : input;       % port wejściowy z PS/2 (SV4) %
26     P_5[7..0]    : output;      % port SV5              %
27     P_7[7..0]    : output;      % port SV7 (nieużywany)  %
28     %SW1B        : input;%      % przełącznik RUN: VCC=>przeslij%
29     %SW2B        : input;%      % przełącznik SW2B, nieużywany %
30     SW3B         : input;       % przełącznik RESET: GND=>RES %
31
32     % sygnały debug na potrzeby symulacji                %
33     V_A[7..0]    : output;
34     V_DIB[7..0]  : output;
35     V_DI[7..0]   : output;
36     V_WR         : output;
37     V_RD         : output;
38     V_IORQ       : output;
39     V_WLPT       : output;
40     V_WPS2       : output;
41 )
42 VARIABLE
43     % sygnały wewnętrznej szyny mikrokontrolera                %
44     A[7..0]      : DFF;      % linie adresowe szyny                %
45     nIORQ_SYN    : DFF;      % zsynchronizowane !IORQ          %
46     IORQ         : NODE;     % używane tylko wewnątrz modułu %
47
48     nWR_SYN      : DFF;      % zsynchronizowane !WR          %
49     WR           : NODE;     % używane tylko wewnątrz modułu %
50
51     nRD_SYN      : DFF;      % zsynchronizowane !RD          %
52     RD           : NODE;     % używane tylko wewnątrz modułu %
53
54     WAIT_PS2     : NODE;     % WAIT z PS/2                  %
55     WAIT_LPT     : NODE;     % WAIT z LPT                    %

```

```

56      % szyna D[] podzielona na czesc IN i OUT (dla AHDL)      %
57      DI[7..0]      : NODE;      % dane przesyłane z PS/2 (U2)  %
58      DO[7..0]      : NODE;      % dane wysyłane na LPT (U2)    %
59
60      % sygnał gotowości drukarki, aktywny '1'                  %
61      PRN_READY      : NODE;
62
63      % wewnętrzne zmienne modulu                                %
64      DIB[7..0]      : DFF;      % zbuforowane DI[]            %
65      RESET          : NODE;      % wewnętrzny sygnał RESET    %
66      LPT            : LPT_OUT;   % modul kontrolera LPT        %
67      PS2            : PS2_IN;    % modul kontrolera PS/2        %
68
69      % automat pobierający liczbę U2 z PS/2 i wysyłający na LPT%
70      AUT_TEST       : machine of bits (QT[2..0])
71                      with states ( IDL=B"000", PSA=B"001",
72                                   PSB=B"010", SWA=B"011",
73                                   LPA=B"100", LPB=B"101",
74                                   AEN=B"110");
75 BEGIN
76     % debug %
77     V_A[]           = A[];
78     V_WR            = !nWR_SYN;
79     V_RD            = !nRD_SYN;
80     V_IORQ          = !nIORQ_SYN;
81     V_DIB[]         = DIB[];
82     V_DI[]          = DI[];
83     V_WLPT          = WAIT_LPT;
84     V_WPS2          = WAIT_PS2;
85     P_7[]           = 0;
86
87     % podłączenie przerzutników DFF i automatów                %
88     DIB[].clk       = GEN;
89     DIB[].clrn      = RESET;
90     A[].clk         = GEN;
91     A[].clrn        = RESET;
92     AUT_TEST.clk    = GEN;
93     AUT_TEST.reset  = !RESET;
94     nIORQ_SYN.clk   = GEN;
95     nIORQ_SYN.clrn  = RESET;
96     nWR_SYN.clk     = GEN;
97     nWR_SYN.clrn    = RESET;
98     nRD_SYN.clk     = GEN;
99     nRD_SYN.clrn    = RESET;
100
101     % wymuszenie VCC na liniach przy starcie i podczas RESET%
102     nIORQ_SYN       = !IORQ;
103     nWR_SYN         = !WR;
104     nRD_SYN         = !RD;
105
106     % sygnał resetujący z przełącznika 3                        %
107     RESET           = SW3B;
108
109     % sygnalizacja na diodach                                    %
110     L_A[]           = (!PRN_READY, WAIT_PS2, WAIT_LPT, 1, 1, !QT[]);

```

```

111     L_B[ ]      = !PS2.PS2_DEBUG_PORT[ ];
112
113     % podlaczenie koncowek modulu PS/2                                %
114     %DI[ ]      = H"02";
115     WAIT_PS2    = SW2B;%
116     % WE/WY                                           %
117     PS2.PDATA_IN[ ] = P_4[ ];
118     P_5[ ]      = PS2.PS2_DEBUG_PORT[ ];
119     % sygnaly wewnetrznej szyny mikrokontrolera      %
120     WAIT_PS2    = PS2.WAIT;
121     DI[ ]       = PS2.DATA[ ];
122     PS2.ADDR[ ] = A[ ];
123     PS2.IORQ    = !nIORQ_SYN;
124     PS2.RD      = !nRD_SYN;
125     % sygnaly kontrolne                                %
126     PS2.RESET   = RESET;
127     PS2.GEN     = GEN;
128
129
130     % podlaczenie koncowek modulu LPT                                %
131     % WE/WY                                           %
132     P_1[ ]      = LPT.LDATASYN[ ];
133     LPT.LSTAT[ ] = P_2[ ];
134     P_3[ ]      = LPT.LCTRL[ ];
135     % sygnaly wewnetrznej szyny mikrokontrolera      %
136     WAIT_LPT    = LPT.WAIT;
137     LPT.A[ ]     = A[ ];
138     LPT.IORQ    = !nIORQ_SYN;
139     LPT.WR      = !nWR_SYN;
140     LPT.D[ ]    = DO[ ];
141     % sygnaly kontrolne                                %
142     LPT.GEN     = GEN;
143     LPT.RESET   = RESET;
144     PRN_READY   = LPT.PRN_READY;
145
146     % automat pobierajacy liczbe U2 z PS/2 i wysylajacy na LPT %
147     case AUT_TEST is
148         % oczekiwanie na sygnal startu cyklu z przelacznika      %
149         when IDL => if (%SW1B==%VCC) then
150             A[ ]=ps2_addr; IORQ=GND; RD=GND; WR=VCC;
151             AUT_TEST=PSA;
152         else
153             A[ ]=ps2_addr; IORQ=VCC; RD=VCC; WR=VCC;
154             AUT_TEST=IDL; end if;
155
156         % wystawienie komendy odczytu z PS2/2, czeka na WAIT=H %
157         when PSA => if (WAIT_PS2==GND) then
158             A[ ]=ps2_addr; IORQ=GND; RD=GND; WR=VCC;
159             DIB[ ]=DI[ ]; AUT_TEST=PSB;
160         else
161             A[ ]=ps2_addr; IORQ=GND; RD=GND; WR=VCC;
162             AUT_TEST=PSA; end if;
163
164         % oczekiwanie na WAIT=L, aby wczytac dane do DIB      %
165         when PSB => if (WAIT_PS2==VCC) then

```

```
166         A[]=lpt_addr; IORQ=VCC; RD=VCC; WR=VCC;
167         DIB[]=DI[]; AUT_TEST=SWA;
168     else
169         A[]=ps2_addr; IORQ=GND; RD=GND; WR=VCC;
170         DIB[]=DI[]; AUT_TEST=PSB; end if;
171
172     % zmiana sygnalow na komende zapisu do LPT %
173     when SWA =>
174         A[]=lpt_addr; IORQ=GND; RD=VCC; WR=GND;
175         DO[]=DIB[]; DIB[]=DIB[]; AUT_TEST=LPA;
176
177     % wystawienie komendy zapisu na LPT, czeka na WAIT=H %
178     when LPA => if (WAIT_LPT==GND) then
179         A[]=lpt_addr; IORQ=GND; RD=VCC; WR=GND;
180         DO[]=DIB[]; DIB[]=DIB[]; AUT_TEST=LPB;
181     else
182         A[]=lpt_addr; IORQ=GND; RD=VCC; WR=GND;
183         DO[]=DIB[]; DIB[]=DIB[]; AUT_TEST=LPA; end if;
184
185     % oczekiwanie na WAIT=L (koniec wydruku) %
186     when LPB => if (WAIT_LPT==VCC) then
187         A[]=lpt_addr; IORQ=VCC; RD=VCC; WR=VCC;
188         DIB[]=DIB[]; AUT_TEST=AEN;
189     else
190         A[]=lpt_addr; IORQ=GND; RD=VCC; WR=GND;
191         DO[]=DIB[]; DIB[]=DIB[]; AUT_TEST=LPB; end if;
192
193     % oczekiwanie na ustawienie przelacznika w pozycje GND %
194     when AEN => if (%SW1B==GND%VCC) then
195         A[]=ps2_addr; IORQ=VCC; RD=VCC; WR=VCC;
196         AUT_TEST=IDL;
197     else
198         A[]=lpt_addr; IORQ=VCC; RD=VCC; WR=VCC;
199         DIB[]=DIB[]; AUT_TEST=AEN; end if;
200     end case;
201
202     END;
```