



دانشگاه صنعتی اصفهان

دانشکده برق و کامپیوتر

گزارش انجام پروژه درس زبان توصیف سخت افزار و مدارات

FIR Filter

حذف نویز از فایل صوتی

استاد:

دکتر مجید نبی

لَا إِلَهَ إِلَّا اللَّهُ
مُحَمَّدٌ رَسُولُ اللَّهِ
وَاللَّهُ عَزَّ وَجَلَّ

فهرست مطالب

۱	مقدمه.....
۱	تعریف FIR Filter.....
۱	کاربرد Fir Filter در پروژه.....
۱	آی سی موردنظر.....
۱	محیط برنامه نویسی و شبیه سازی.....
۱	مروری بر پروژه.....
۲	فاز یک.....
۲	روند اجرای FIR_Filter.....
۳	ماجول Test.....
۳	روند اجرای Test.....
۳	شبیه سازی.....
۴	منابع مصرف شده آی سی.....
۵	اطلاعات فرکانس و زمان اجرا و کلاک.....
۶	فاز دوم.....
۶	روش های بهینه سازی.....
۶	Pipeline.....
۷	منابع مصرف شده آی سی.....
۷	اطلاعات فرکانس و زمان اجرا و کلاک.....
۸	مقایسه pipeline با فاز اول.....
۸	Resource sharing.....
۹	شبیه سازی Resource sharing.....
۹	منابع مصرف شده آی سی.....
۱۰	اطلاعات فرکانس و زمان اجرا و کلاک.....
۱۰	مقایسه resource sharing با فاز اول.....
۱۱	فاز سوم.....
۱۱	Core FIR Filter.....
۱۱	تنظیمات FIR Filter.....
۱۱	ماجول Test.....
۱۲	شبیه سازی core Fir Filter (بهینه سازی شده پارامتر area).....
۱۲	منابع مصرف شده آی سی.....

۱۲	اطلاعات فرکانس و زمان اجرا و کلاک
۱۳	مقایسه استفاده از core Fir Filter (speed) با فاز یک
۱۳	شبیه سازی core Fir Filter (بهینه سازی شده پارامتر speed)
۱۳	منابع مصرف شده آی سی
۱۴	اطلاعات فرکانس و زمان اجرا و کلاک
۱۴	مقایسه استفاده از core Fir Filter (speed) با فاز یک
۱۴	مقایسه speed و area

مقدمه

تعریف FIR Filter

فیلتر FIR (Finite impulse response)، به معنای "پاسخ محدود ضربه" است. به عنوان مثال اگر در یک ضربه، نمونه ای از "۱" باشد و به دنبال آن بسیاری صفر باشد، صفرها پس از "۱" که نمونه است، راه خود را از طریق تاخیر فیلتر ساخته شده خواهد پیمود.

کاربرد Fir Filter در پروژه

در پروژه ی فعلی، Fir Filter جهت حذف نویز از یک فایل با ۴۴۱۰۰ دیتای ۱۶ بیتی استفاده شده است (ده ثانیه). روند حذف نویز از طریق ضرب ضرایبی مشخص پیش رفته است؛ ۱۹ ضریب در ۱۹ داده متوالی ضرب می شوند و خروجی جمع ضرب ها خواهد بود و حاصل داده بدون نویز است (فاز اول و دوم).

آی سی موردنظر

اسپارتان ۶ xc 6slx9-3tqg144

محیط برنامه نویسی و شبیه سازی

کد پروژه در برنامه Xilinx ISE Design Suite و به زبان verilog نوشته و برای شبیه سازی آنالوگ از شبیه ساز برنامه Modelsim استفاده شده است.

مروری بر پروژه

در فاز اول پروژه، ساده ترین شکل FIR فیلتر نوشته شده است و حاوی test bench ای است که داده ها را از روی فایل داده شده می خواند و به ماجول Fir filter می دهد. در فاز دوم پروژه سعی بر بهینه سازی کد فاز اول شده و در فاز سوم، Fir Filter core مربوط به خود Xilinx به کار برده شده است.

فاز یک

ماجول FIR_Filter

حاوی ضرایب داده شده در ۱۰ خانه ی آرایه به طول ۱۶ بیت است. ضرایبی اولی داده شده ۱۹ تا هستند اما از ضریب ۱۰ به بعد همان ضرایب ۱ تا ۹ تکرار می شوند. برای کاهش مصرف حافظه، ۹ خانه ی تکراری ذخیره نشده اند.

آرایه ای با ۱۹ خانه ی ۱۶ بیتی جهت ذخیره داده های خوانده شده از روی فایل در نظر گرفته شده اند و نهایتاً یک خانه ۳۶ بیتی جهت ذخیره ی حاصل جمع ضرب ها که اندازه آن از طریق تخمین بیشترین داده ی تولید شده، حساب شده است.

روند اجرای FIR_Filter

در ابتدا برای ۱۹ داده ی اولیه که داده ای پیش از آنان نیست، مقدار اولیه صفر در نظر گرفته شده است. برای به دست آوردن خروجی در هر مرتبه ی کلاک دلخواه ورودی، ۱۹ داده تک به تک در ضریب متناظر خود ضرب می شوند و حاصل ضرب ها خود با هم جمع و در یک خانه ی حافظه با طول ۳۶ بیت ذخیره می شوند. در مرتبه بعدی کلاک، هر یک از داده ها به خانه ی قبلی خود شیفت داده می شوند و با خالی شدن خانه ی ۱۹ ام، خروجی جدیدی با ضریب ضرایب در داده ها به دست می آید و این روند ادامه پیدا می کند تا زمانی که به خانه ی ۴۴۱۰۰۰ برسیم.

همان طور که در پاراگراف های قبلی ذکر شد، ضرایب به صورت ۱۹ تایی ذخیره نشده اند پس از خانه های اول تا دهم داده ها در ضرایب ۱ تا ده ضرب می شوند و خانه های ۱۱ تا ۱۹ از طریق حلقه ای نزولی در خانه های ۹، ۸ و ... ضرب می شوند.

تمام عملیات ها همراه با لبه مثبت کلاک ورودی کار می کنند.

و نهایتاً خروجی با حذف بیت اولیه بر روی خروجی ماجول قرار می گیرد.

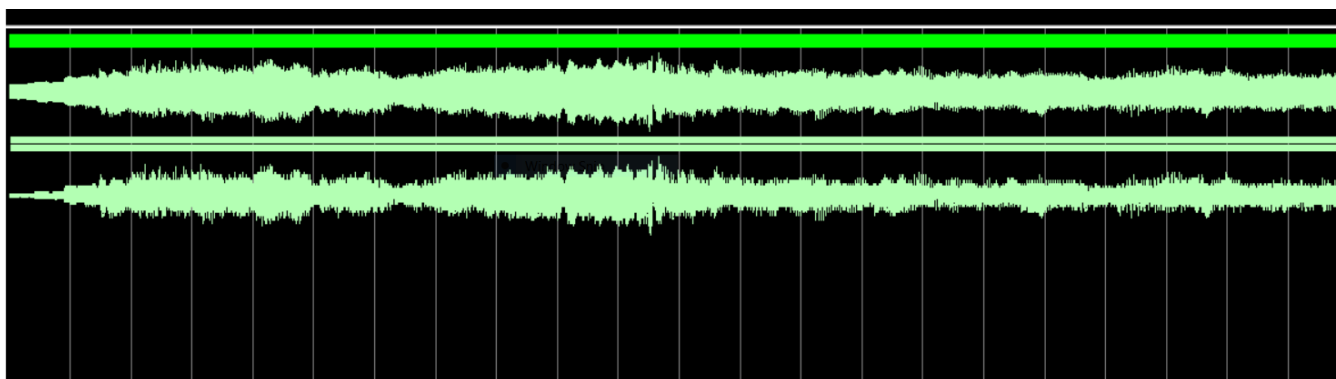
ماجول Test

در این ماجول، نمونه ای از ماجول Fir_Filter گرفته شده و رجیسترهایی علامت دار برای ورودی و خروجی های آن نوشته شده اند. علاوه بر این ها، یک خانه حافظه ۲۱ بیتی به عنوان شمارنده و یک آرایه ۴۴۱۰۰۰ تایی با طول ۱۶ بیت برای ذخیره حافظه خوانده شده از روی فایل داده در نظر گرفته شده است.

روند اجرای Test


کلاک ورودی با دوره 10ns ای کار می کند و هر 5ns نقیض کلاک قبلی می شود. تمام اطلاعات فایل بر روی آرایه ۴۴۱۰۰۰ تایی ذخیره می شوند و پس از ذخیره شدن، به وسیله شمارنده از داده اول تا آخر خوانده شده و به عنوان ورودی به نمونه ماجول Fir_Filter تحویل داده می شود. مقدار اولیه شمارنده صفر و اولین لبه کلاک هم صفر است. ورودی داده هم مطابق لبه مثبت کلاک هر 10ns یک بار تغییر می کند. (با تغییر شمارنده)

شبیه سازی



خروجی شبیه سازی فاز اول در ۵ ثانیه اول

منابع مصرف شده آی سی

Device Utilization Summary (estimated values)				
Logic Utilization	Used	Available	Utilization	
Number of Slice Registers	287	11440	2%	
Number of Slice LUTs	2038	5720	35%	
Number of fully used LUT-FF pairs	55	2270	2%	
Number of bonded IOBs	33	102	32%	
Number of BUFG/BUFGCTRLs	1	16	6%	
Number of DSP48A1s	1	16	6%	

inferred 19 Multiplier(s) .
inferred 18 Adder/Subtractor(s) .
inferred 304 D-type flip-flop(s) .

اطلاعات فرکانس و زمان اجرا و کلاک

Minimum period: 24.194ns (Maximum Frequency: 41.332MHz)

Minimum input arrival time before clock: 14.628ns

Maximum output required time after clock: 3.597ns

Maximum combinational path delay: No path found

اطلاعات گزارش شده توسط نرم افزار Xilinx ISE جلوتر، جهت مقایسه تغییرات کد مورد استفاده قرار می گیرند.

فاز دوم

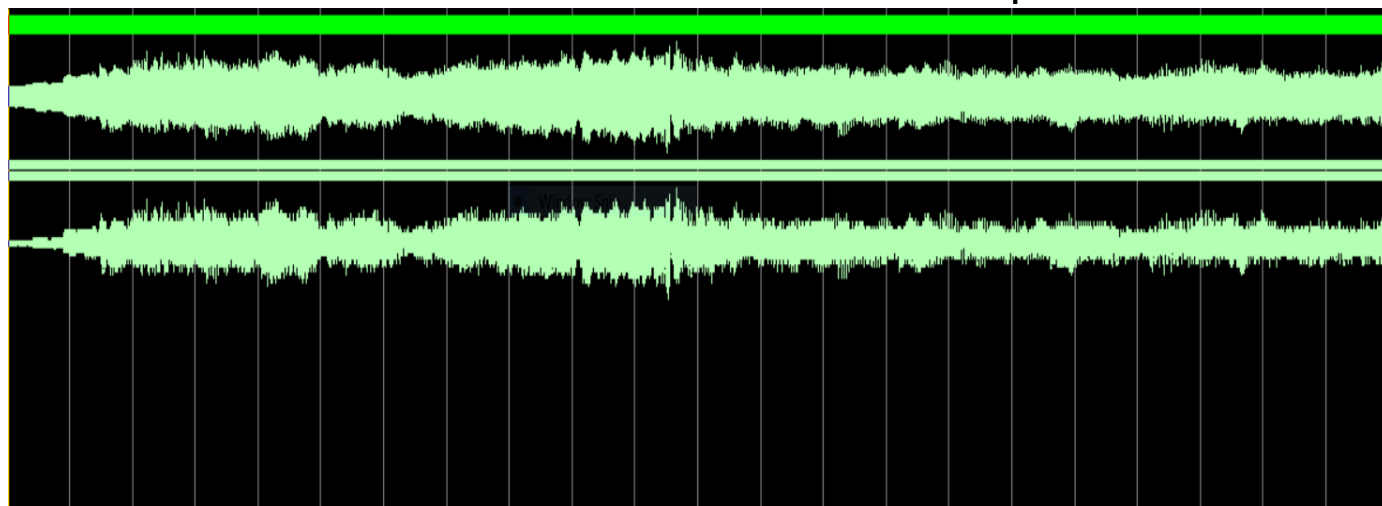
روش های بهینه سازی

برای پائین آوردن مدت اجرای برنامه و بهره گیری کم از قطعات آی سی، دو روش pipeline و resource sharing اعمال شده اند که اجرای این دو trade off زمان و قطعات است و به عنوان مثال با پائین آوردن زمان، قطعات بیشتری درگیر می شود.

Pipeline

در فاز اول پروژه، در هر کلاک ۱۸ عمل ضرب انجام می شد و در خانه ی ۱۹ ام داده ورودی قرار می گرفت. برای این قسمت در دو procedural block مجزای حساس به لبه مثبت کلاک، عمل ضرب و عمل جمع انجام می شوند. علاوه بر فاز اول، یک آرایه ۱۹ تایی به طول ۱۶ هم ساخته شده است. به این ترتیب خروجی اول در کلاک دوم بدست می آید و بقیه خروجی ها به ازای هر یک کلاک بدست خواهد آمد. در این مرحله به دنبال بهینه سازی زمان هستیم.

شبیه سازی Pipeline



شبیه سازی در مدت زمان 4.5s

منابع مصرف شده آی سی

Device Utilization Summary (estimated values)				[1]
Logic Utilization	Used	Available	Utilization	
Number of Slice Registers	378	11440		3%
Number of Slice LUTs	944	5720		16%
Number of fully used LUT-FF pairs	138	1184		11%
Number of bonded IOBs	33	102		32%
Number of BUFG/BUFGCTRLs	1	16		6%
Number of DSP48A1s	16	16		100%

inferred 19 Multiplier(s) .

inferred 37 Adder/Subtractor(s)

inferred 988 D-type flip-flop(s)

اطلاعات فرکانس و زمان اجرا و کلاک

Minimum period: 9.076ns (Maximum Frequency: 110.179MHz)

Minimum input arrival time before clock: 6.468ns

Maximum output required time after clock: 3.597ns

Maximum combinational path delay: No path found

مقایسه pipeline با فاز اول

تعداد رجیسترها ۹۱ تا زیاد، LUT ۱۰۹۴ تا کم، تعداد جفت های LUT-FF ۸۳ تا زیاد و DSP48A1 ها ۱۵ تا زیاد شده است. تعداد ضرب کننده ها ثابت مانده اند اما تعداد جمع کننده ها و فلیپ-فلاپ های D به ترتیب ۱۹ تا و ۶۸۴ تا اضافه شده اند.

تا این جا، قطعات بیشتری از آی سی FPGA در گیر شده اند.

اما مینیموم دوره از 24.194ns به 9.076ns و ماکسیموم فرکانس از 41.332MHz به 110.179MHz رسیده است. که پیشرفت خوبی به حساب می آید. زمان وارد شدن ورودی ها هم از 14.628ns به 3.597ns رسیده اند و مابقی المان ها ثابت مانده اند.

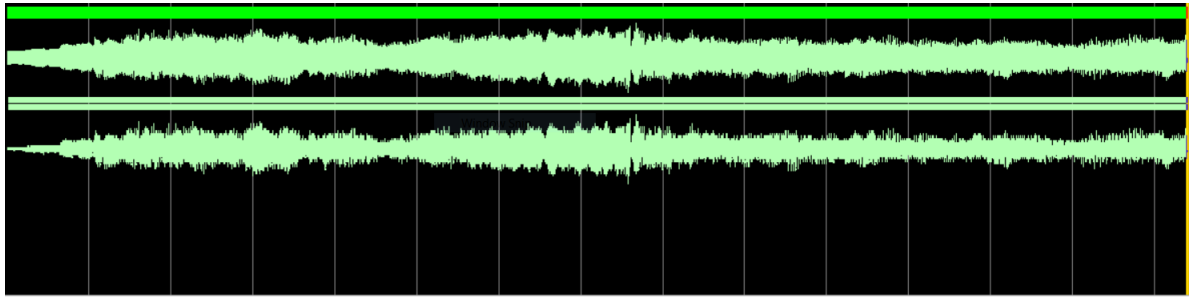
به طور کلی می توان گفت با اجرای pipeline قطعات بیشتری در آی سی استفاده شده اند و در مقابل متغیر زمان وضعیت بهتری پیدا کرد.

Resource sharing

در فاز اول پروژه در هر کلاک به ۱۹ ضرب کننده و جمع کننده نیازمند داشتیم و در هر کلاک یک خروجی محاسبه می شد و به تبع منابع زیادی در آی سی مورد استفاده می شد.

در بخش resource sharing به دنبال بهینه سازی منابع آی سی هستیم و برای بهینه سازی، در هر کلاک تنها یک ضرب کننده و جمع کننده قرار می دهیم. با این روش خروجی موردنظر به دست می آید و در منابع صرفه جویی می شود.

شبیه سازی Resource sharing



شبیه سازی در مدت زمان 7s

منابع مصرف شده آی سی

Device Utilization Summary (estimated values)				
Logic Utilization	Used	Available	Utilization	
Number of Slice Registers	346	11440	3%	
Number of Slice LUTs	473	5720	8%	
Number of fully used LUT-FF pairs	13	806	1%	
Number of bonded IOBs	33	102	32%	
Number of BUFG/BUFGCTRLs	1	16	6%	
Number of DSP48A1s	1	16	6%	

```

inferred    1 RAM(s) .
inferred    1 Multiplier(s) .
inferred    2 Adder/Subtractor(s) .
inferred 362 D-type flip-flop(s) .
inferred    2 Multiplexer(s) .
  
```

اطلاعات فرکانس و زمان اجرا و کلاک

```
Minimum period: 9.803ns (Maximum Frequency: 102.011MHz)
Minimum input arrival time before clock: 2.211ns
Maximum output required time after clock: 3.597ns
Maximum combinational path delay: No path found
```

مقایسه resource sharing با فاز اول

تعداد ۵۹ تا رجیستر زیاد، ۱۵۶۵ تا LUT کم، ۴۲ تا جفت LUT-FF کم و مابقی ثابت مانده اند. تعداد ضرب کننده ها از ۱۹ تا به یکی و جمع کننده ها از ۱۸ تا به دو تا تقلیل پیدا کرده اند. تعداد ۵۸ تا فلیپ-فلاپ نوع D اضافه شده است. هم چنین به انواع قطعات دو عدد MUX و یک RAM نیز اضافه شده اند. هدف ما کم کردن تعداد ضرب کننده ها و جمع کننده ها بود که در اعداد ارائه شده چنین چیزی مشاهده می شود.

و در بخش زمان ها از 24.194ns به 9.803ns در مورد مینیموم دوره رسیده ایم که شاهد کاهش بوده ایم. هم چنین فرکانس از 41.332MHz به 102.011MHz رسیده ایم. زمان وارد شدن ورودی ها هم از 14.628ns به 2.211ns رسیده اند و مابقی المان ها ثابت مانده اند. با توجه به ارقام مربوط به زمان، چندان با کاهش قطعات موردنظرمان از لحاظ زمانی ضرر نکرده ایم.

فاز سوم

Core FIR Filter

برنامه xilinx ISE خود تعدادی core آماده را ارائه می دهد که در میان آن ها Fir Filter نیز قرار دارد. با تنظیم کردن ویژگی های آن و نوشتن test bench برای ورودی های core می توان خروجی ها مد نظر را دریافت کرد.

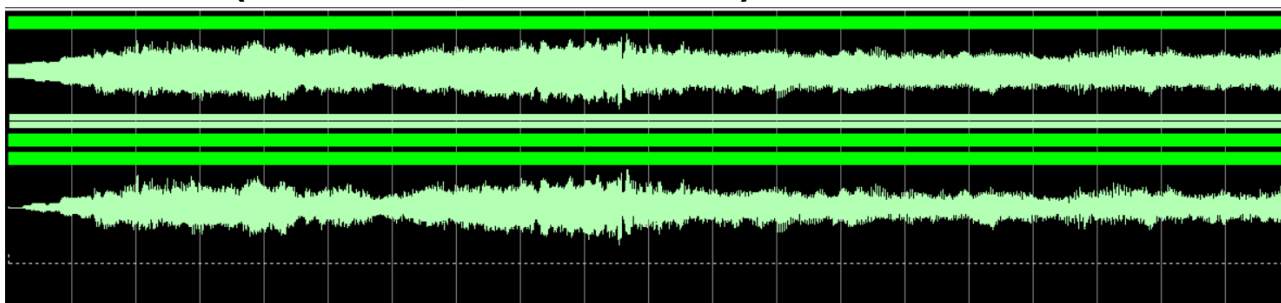
تنظیمات FIR Filter

ضرایب از روی فایل داده شده خوانده می شوند. نوع Filter type، Single rate است. تعداد channel ها یکی است. و select format همان frequency specification باقی می ماند. Input sampling frequency طبق توضیحات داده شده در شرح پروژه 0.0441 MHz و 50MHz clock frequency است. طول ورودی ۱۶ بیت می شود. و نوع output rounding mode تبدیل به truncate LSBs می شود.

ماجول Test

ماجول تست تقریباً همانند ماجول تست فاز اول است. به جز آن که delay ها دقیق محاسبه شده اند. فرکانس کلاک 50MHz است و تبدیل به دوره 10ns ای می شود و کلاک ورودی داده که 0.0411 است، با تقسیم ۱ بر آن، با تقریبی مناسب 22675ns می شود.

شبیه سازی core Fir Filter (بهینه سازی شده پارامتر area)



شبیه سازی در مدت 10s است.

منابع مصرف شده آی سی

Device Utilization Summary (estimated values)				
Logic Utilization	Used	Available	Utilization	
Number of Slice Registers	148	11440	1%	
Number of Slice LUTs	145	5720	2%	
Number of fully used LUT-FF pairs	136	157	86%	
Number of bonded IOBs	35	102	34%	
Number of BUFG/BUFGCTRLs	1	16	6%	
Number of DSP48A1s	1	16	6%	

اطلاعات فرکانس و زمان اجرا و کلاک

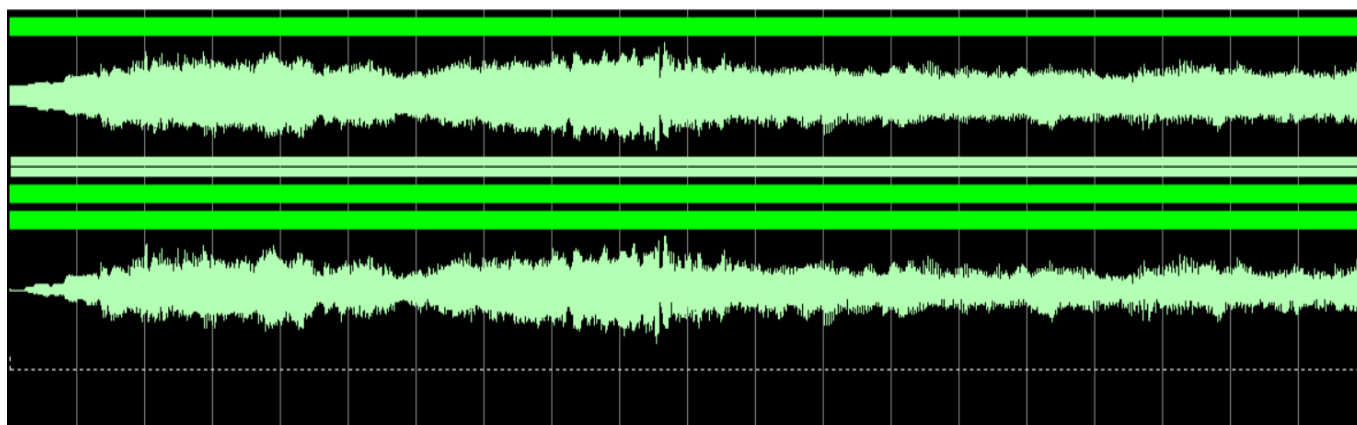
Minimum period: 2.882ns (Maximum Frequency: 346.929MHz)
 Minimum input arrival time before clock: 1.801ns
 Maximum output required time after clock: 3.791ns
 Maximum combinational path delay: No path found

مقایسه استفاده از core Fir Filter (area) با فاز یک

تعداد رجیستر ها ۱۳۹ تا، LUT ها ۱۸۹۳ تا کاهش و جفت های LUT-FF ۸۱ ای افزایش پیدا کرده اند.

مینوم دوره از 24.19ns به 2.882ns و فرکانس از 41.332MHz به 346.929MHz رسیده است. زمان وارد شدن ورودی ها هم از 14.628ns به 1.801ns تغییر پیدا کرده. با توجه به اعداد و ارقام شاهد بهبودی در تمامی جهات هستیم.

شبیه سازی core Fir Filter (بهینه سازی شده پارامتر speed)



شبیه سازی در مدت 10s است.

منابع مصرف شده آی سی

Device Utilization Summary (estimated values)				[1]
Logic Utilization	Used	Available	Utilization	
Number of Slice Registers	160	11440	1%	
Number of Slice LUTs	142	5720	2%	
Number of fully used LUT-FF pairs	136	166	81%	
Number of bonded IOBs	35	102	34%	
Number of BUFG/BUFGCTRLs	1	16	6%	
Number of DSP48A1s	1	16	6%	

اطلاعات فرکانس و زمان اجرا و کلاک

Minimum period: 2.210ns (Maximum Frequency: 452.396MHz)
Minimum input arrival time before clock: 1.801ns
Maximum output required time after clock: 3.950ns
Maximum combinational path delay: No path found

مقایسه استفاده از core Fir Filter (speed) با فاز یک

تعداد رجیستر ها ۱۲۷ تا، تعداد LUT ها ۱۸۹۶ تا کاهش و تعداد جفت های LUT-FF ۸۱ افزایش داشته اند.
مینیموم دوره از 24.194ns به 2.210ns و فرکانس از 41.332MHz به 452.396MHz رسیده است.
زمان وارد شدن ورودی ها هم از 14.628ns به 1.801ns تغییر پیدا کرده است.

مقایسه area و speed

در حالت area بهینه سازی، تعداد ۱۲ تا رجیستر کمتر اما ۳ تا LUT بیشتر به کار رفته است اما جفت های LUT-FF یکسان باقی مانده اند. در حالت speed 0.661ns بهبود مینیموم دوره و 105.467MHz شاهد افزایش فرکانس هستیم.