

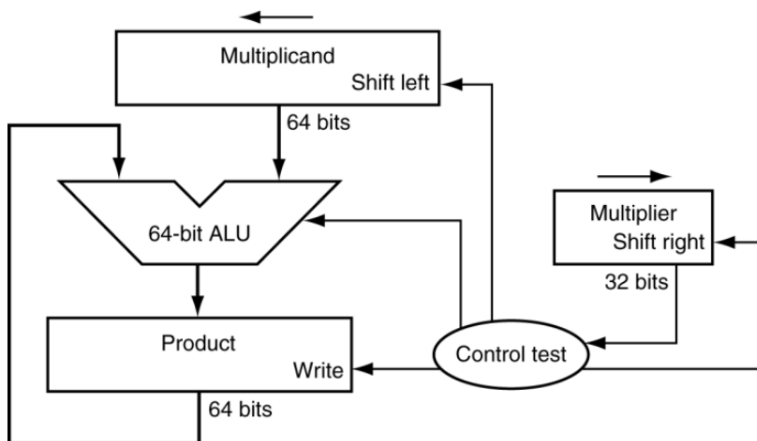


آزمایشگاه مدارهای منطقی و معماری کامپیوتر

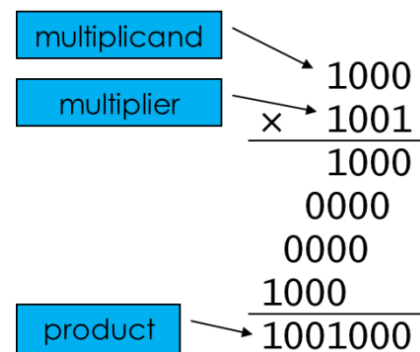
(سال تحصیلی ۰۰-۰۱، نیم سال دوم)

پروژه سوم: پیاده سازی ضرب کننده

هدف از انجام این پروژه پیاده سازی یک ضرب کننده با استفاده از روش جمع و شیفت می باشد. در این روش، عملیات جمع مقادیر شیفت یافته ضرب شونده (multiplicand) به تعداد بیت های ضرب کننده (multiplier) تکرار می شود. نمونه ای از ضرب چهار بیتی به این روش در شکل (۱) قابل مشاهده است. شکل (۲) سخت افزار ضرب دو عدد با روش جمع و شیفت را برای دو عدد ۳۲ بیتی نشان می دهد که شامل جمع کننده، ثبات هایی برای ذخیره ی مقادیر ضرب شونده، ضرب کننده و نتیجه نهایی است.

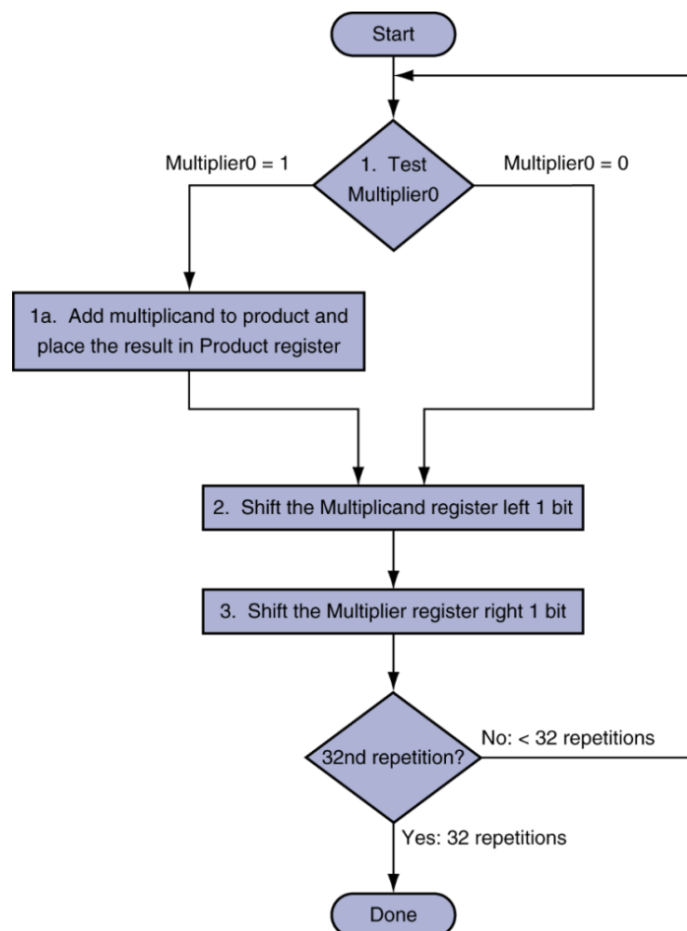


شکل ۲ سخت افزار ضرب دو عدد با شیفت و جمع



شکل ۱ نمونه ضرب به روش جمع و شیفت

شکل (۳) الگوریتم کامل ضرب به روش جمع و شیفت را برای ضرب ۳۲ بیتی به صورت مرحله به مرحله نشان می‌دهد. همچنین در شکل (۴) مثالی از انجام این روش برای ضرب ۴ بیتی نشان داده شده است.



شکل ۳ مراحل انجام الگوریتم ضرب به روش شیفت و جمع

Iteration	Step	Multiplier	Multiplicand	Product
0	Initial values	0011	0000 0010	0000 0000
1	1a: 1 \Rightarrow Prod = Prod + Mcand	0011	0000 0010	0000 0010
	2: Shift left Multiplicand	0011	0000 0100	0000 0010
	3: Shift right Multiplier	0001	0000 0100	0000 0010
2	1a: 1 \Rightarrow Prod = Prod + Mcand	0001	0000 0100	0000 0110
	2: Shift left Multiplicand	0001	0000 1000	0000 0110
	3: Shift right Multiplier	0000	0000 1000	0000 0110
3	1: 0 \Rightarrow No operation	0000	0000 1000	0000 0110
	2: Shift left Multiplicand	0000	0001 0000	0000 0110
	3: Shift right Multiplier	0000	0001 0000	0000 0110
4	1: 0 \Rightarrow No operation	0000	0001 0000	0000 0110
	2: Shift left Multiplicand	0000	0010 0000	0000 0110
	3: Shift right Multiplier	0000	0010 0000	0000 0110

شکل ۴ مثالی از ضرب دو عدد به همراه مقادیر ثبات‌ها در هر مرحله

۱. پیاده‌سازی ضرب به روش جمع و شیف:

الف) طرح فوق را برای ضرب دو عدد ۶ بیتی، با استفاده از یک زبان توصیف سخت‌افزار (Verilog, VHDL) پیاده‌سازی کنید.

بخش امتیازی: سخت‌افزار مورد نظر را به صورت Generic به گونه‌ای توصیف کنید که قابلیت انجام

عمل ضرب برای اعدادی با عرض بیت‌های دلخواه را داشته باشد.

ب) صحت عملکرد طرح خود را با استفاده از یک فایل آزمون و انتخاب چند نمونه ورودی مورد سنجش قرار دهید. در این قسمت باید شبیه‌سازی را با استفاده از ابزار ModelSim انجام دهید و تصاویر مربوط به مقادیر سیگنال‌های ورودی و خروجی در شبیه‌ساز را گزارش نمایید.

پ) پروژه مورد نظر را با استفاده از ابزار ISE برای برد Spartan 3E-XC3S100E-VQ100-5 سنتز نمایید و شماتیک کلی طرح سنتز شده و نحوه‌ی قرارگیر LUTها را استخراج و گزارش نمایید.

ج) با استفاده از قسمت Design Summary در ابزار، میزان استفاده از انواع منابع موجود در FPGA و همچنین تأخیر خروجی‌های مختلف طرح را گزارش نمایید.

۲. گزارش:

گزارش باید شامل توضیحاتی راجع به پروژه، شرح کد مدار توصیف شده و تمامی موارد خواسته شده در قسمت‌های قبل باشد و همچنین در قالب مشخص شده برای گزارش‌ها آماده شود.

توجه: با توجه به اینکه الگوریتم فوق یک الگوریتم ترتیبی است، پیاده‌سازی این طرح باید با استفاده از کلاک باشد.

موفق باشید