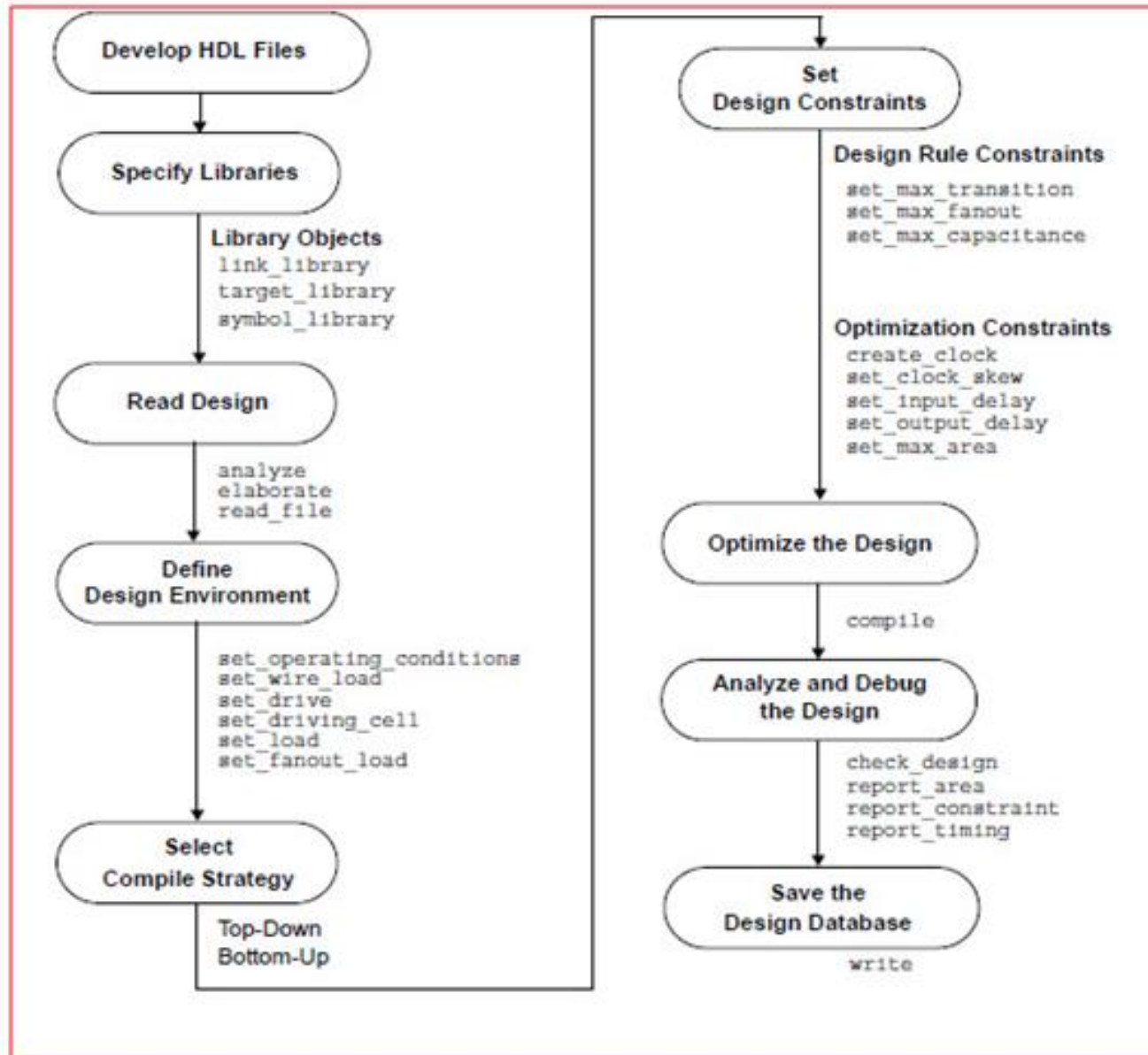


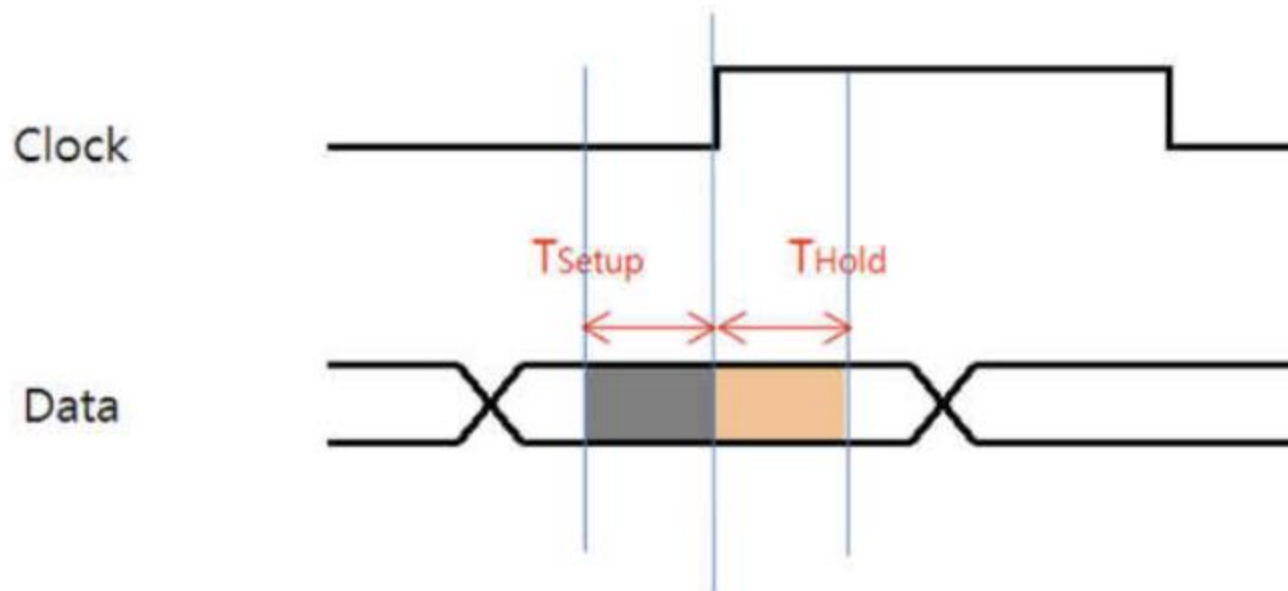
Synthesis (Design Compiler)

Basic Synthesis Flow



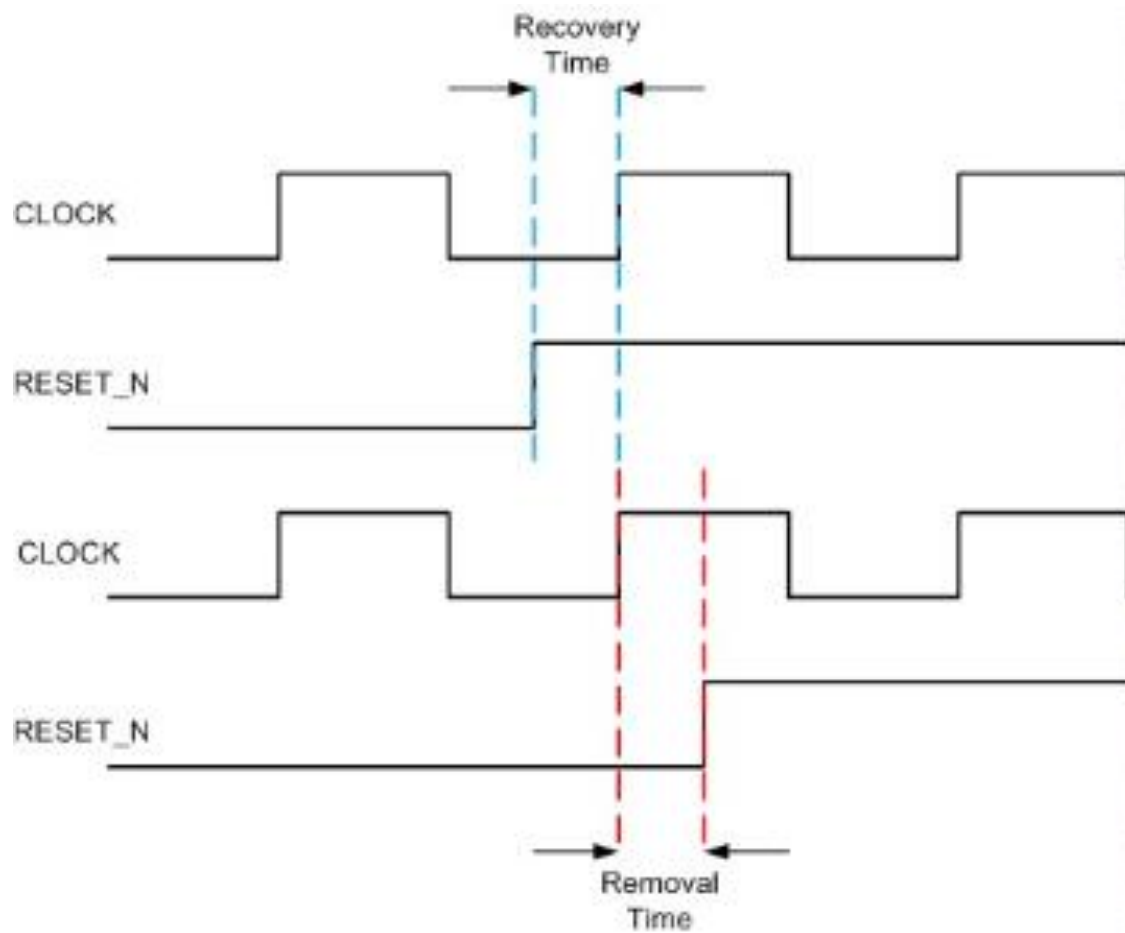
Setup/Hold time

Switching이 일어난 후 상태의 변화가 정확히 인식되도록 필요한 최소 시간
(판별된 결과가 유지되어야 하는 최소 시간)



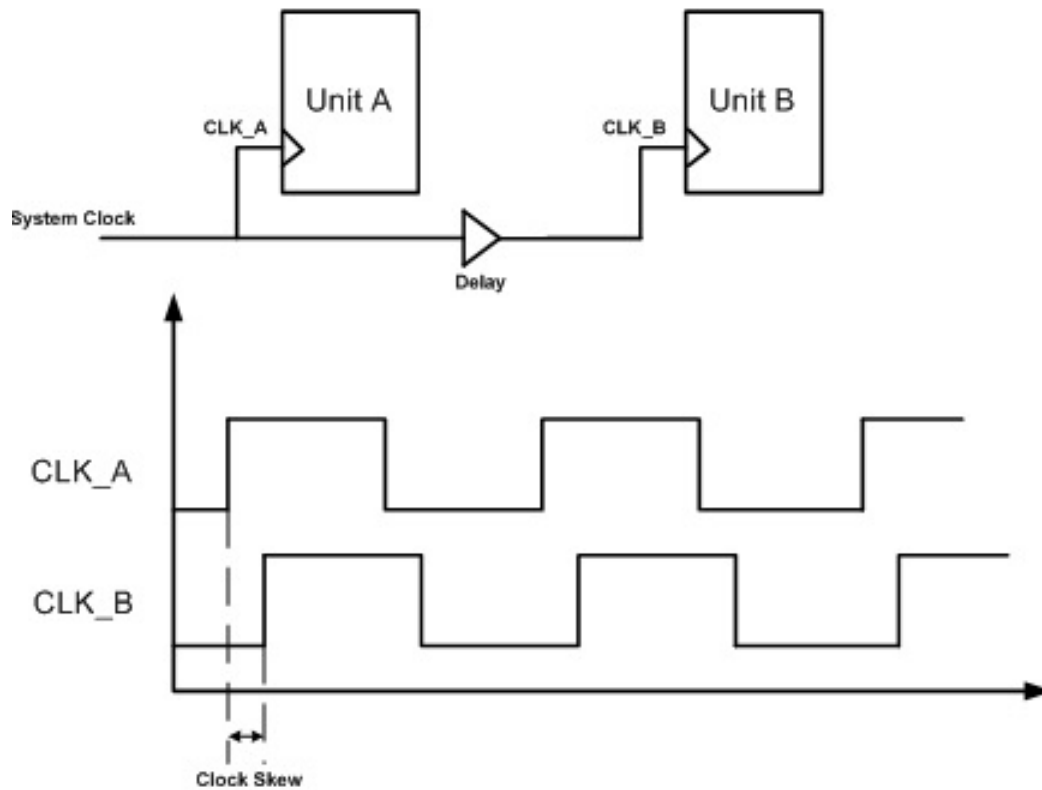
Recovery/Removal time

Asynchronous reset에 대한 timing 기준



Clock skew

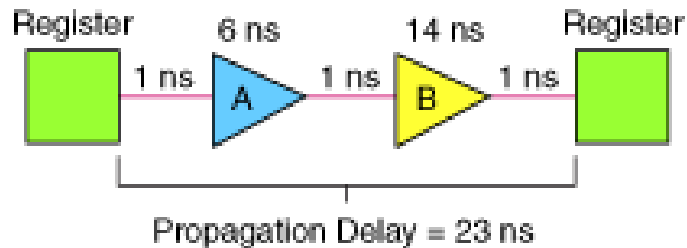
가장 빨리 도착하는 clock과 가장 늦게 도달하는 clock의 차이



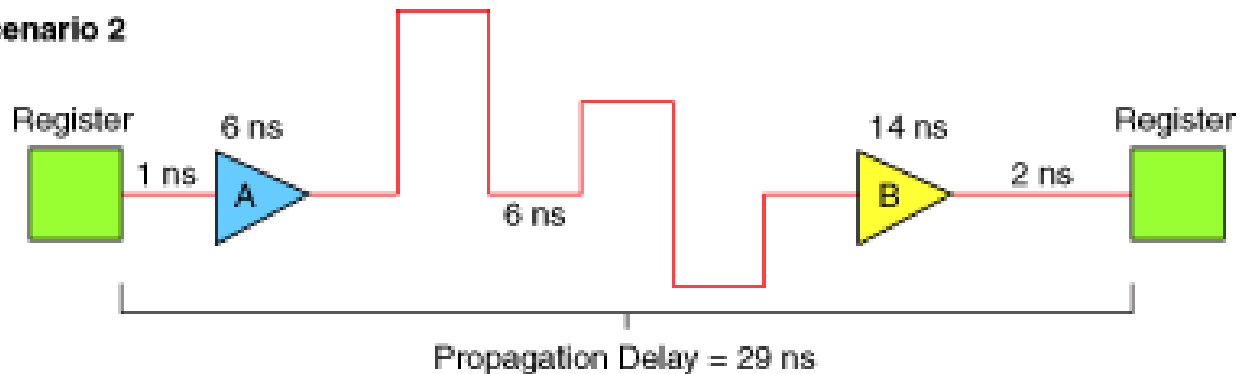
Critical path

가장 큰 propagation delay를 갖는 path (Setup violation에 영향)

Scenario 1



Scenario 2



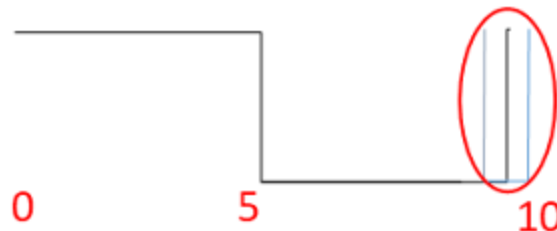
create_clock

```
status create_clock
    [-name clock_name]
    [-add]
    [source_objects]
    [-period period_value]
    [-waveform edge_list]
    [-comment comment_string]
```

create_clock "CLK1" -period 10 -waveform {0 5.0}
: 100 MHz clock, '1' from 0 to 5.0

set_clock_uncertainty

set_clock_uncertainty -setup 0.65 [get_clocks CLK1]
: setup time 0.65 ns 만큼 clock skew margin을 두고 싶은 경우
set_clock_uncertainty -hold 0.45 [get_clocks CLK1]
: hold time 0.45 ns 만큼 clock skew margin을 두고 싶은 경우



set_clock_transition

set_clock_transition 0.64 -fall [get_clocks CLK1]

: clock의 fall transition time을 0.64 ns로 지정해 주고 싶은 경우

set_max_transition

set_max_transition 0.3 -clock_path [all_clocks]

: 신호의 max transition time을 0.3 ns로 지정해 주고 싶은 경우

set_max_fanout

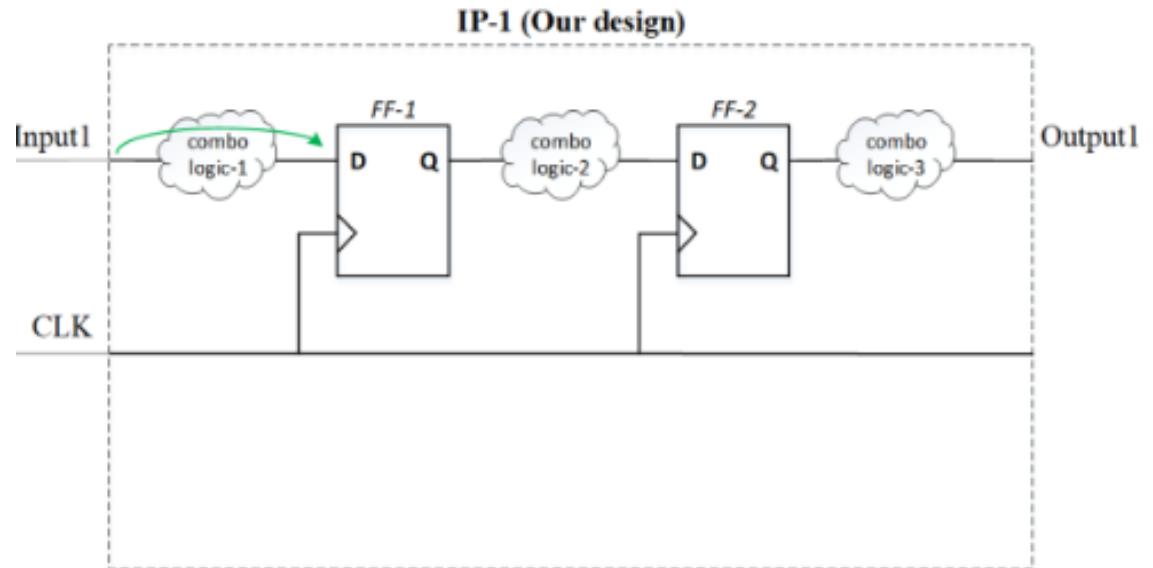
set_max_fanout 64 [current_design]

: 외부 fanout 부하 단위 설정

set_input_delay

set_input_delay -max 1.35 -clock {CLK1}

: clock edge에 대한 input port의 requirement time을 정의 (default : 0)



set_output_delay

set_output_delay -max 1.0 -clock {CLK1}

: clock edge에 대한 output port의 requirement time을 정의 (default : 0)

set_multicycle_path

set_multicycle_path 2 -from A -to B

: setup/hold check를 위해 데이터 경로에 필요한 clock cycle을 정의

set_false_path

set_false_path -from A -to B

: timing analysis 동안 제외