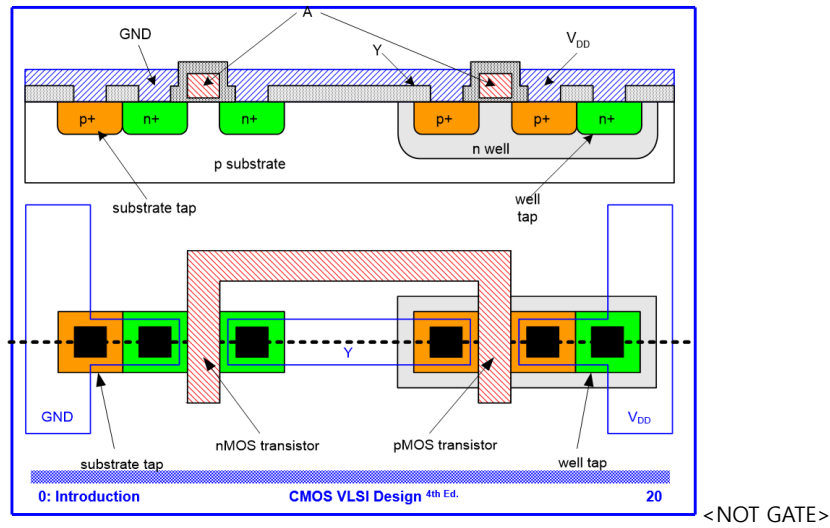


250617

Inverter Cross-section



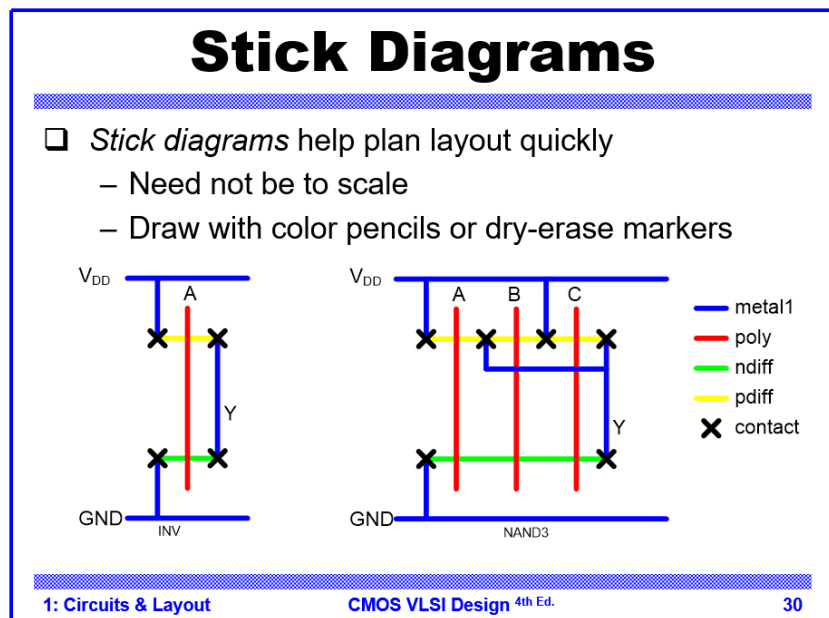
but 제대로된 동작X 이유: nMOS와 pMOS의 I , w 가 동일해서 전류가 다르게 흐르기 때문에.

해결방안: I , w 값을 조정시킴. 공정에서 조절

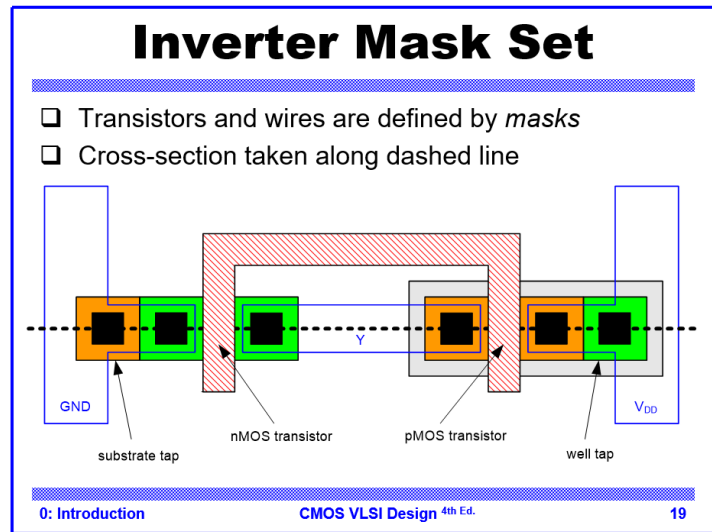
설계과정에서 설계자는 MOS의 전류를 조정하고 싶을 때, I , w 만 조정가능. 전류는 I 에 비례, w 에 반비례

Contact을 최소 크기로 여러 개 뚫는 것이 저항값이 병렬처리되어 저항값이 줄어든다.

Stick Diagram

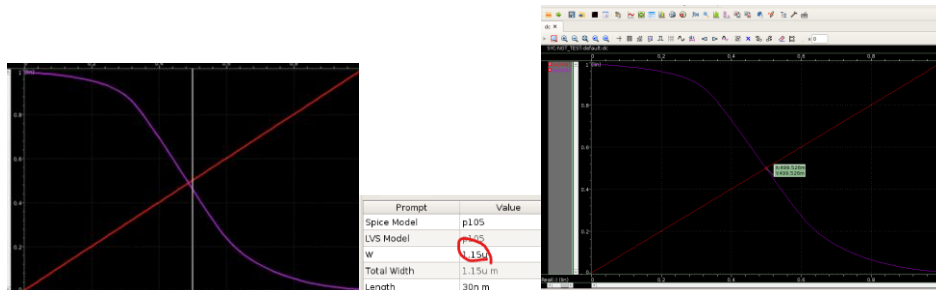


Inverter Mask Set

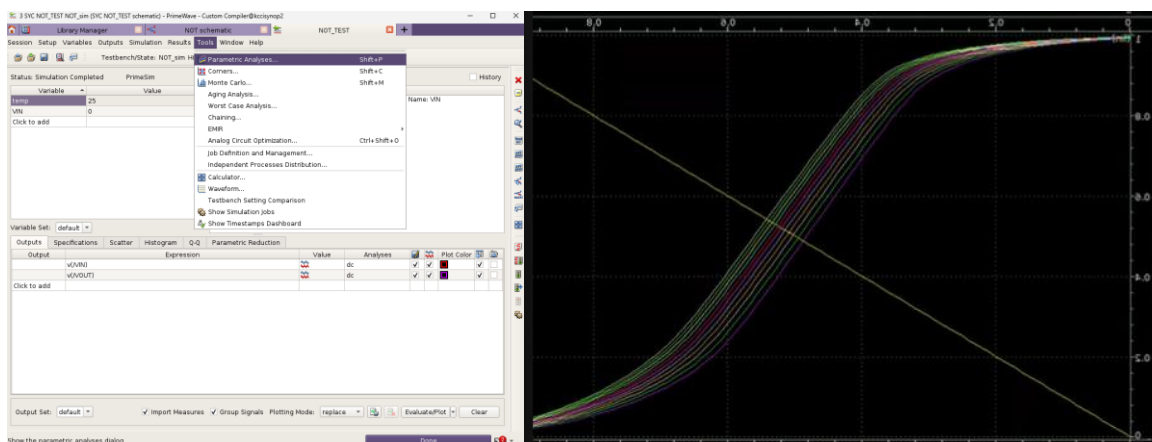


지난 시간에 이은 Inverter 동작 확인

오차 발생: input전압(보라색 wave)과 $y=x$ (빨간색 전압)이 정확히 0.5V에서 cross되지 않음.

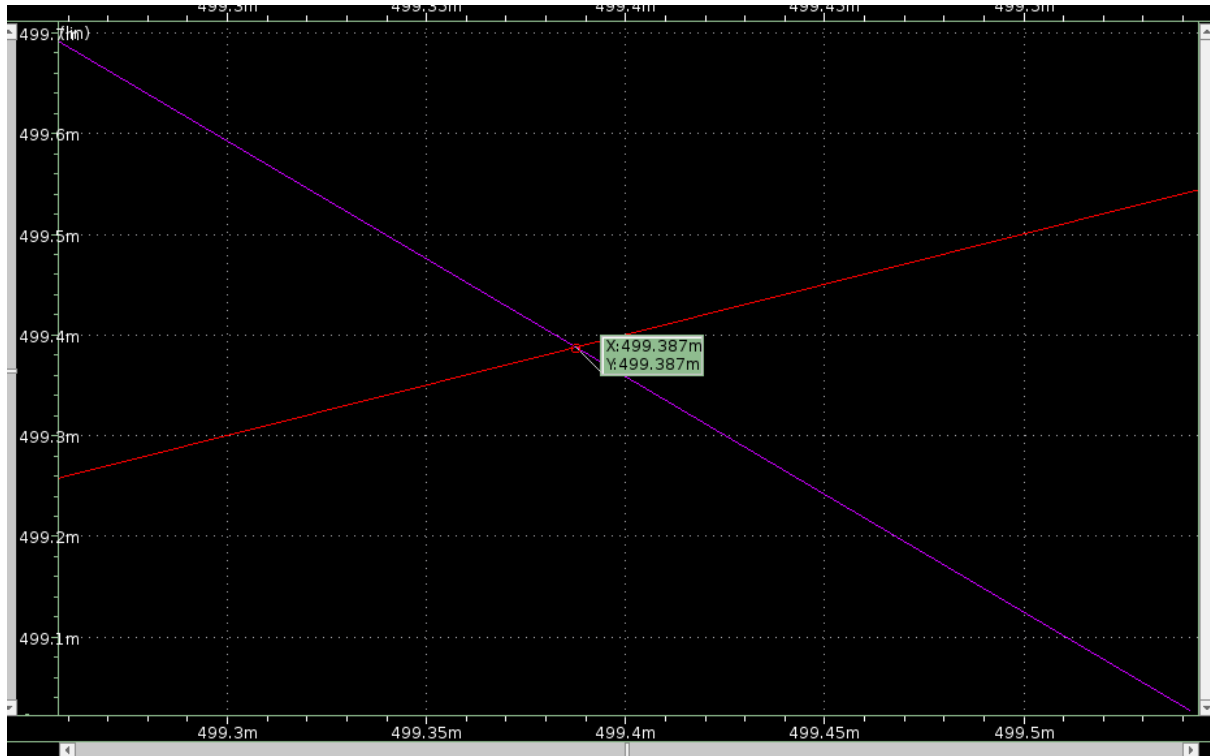


⇒ W를 조정해서 0.5V에 맞추기



⇒ Step size를 0.01u로 설정하여 1.1um~1.2um W 크기에 따라 wave 생성

⇒ 정확히 동작되는 w를 확인 => 수정



Pmos의 w 를 조정한 결과, 중심값 0.5V에서 0.613mV의 오차가 발생하는 것을 확인. => 오차율 1%미만이므로 허용가능

$W_p = 1.148\mu m$, $W_n = 0.5\mu m$

⇒ pdk파일에서 u_n 과 u_p 사이의 비율이 2:1이 아닌 것을 확인가능.

참고:

🔍 왜 확대하면 오차가 보일까?

1. 정확히 대칭되지 않는 μ_n/μ_p 비율

- 실리콘 공정에서 μ_n/μ_p 비율은 정확히 2가 아닐 수 있어.
- 예: 어떤 공정에서는 $\mu_n/\mu_p = 2.2$, 어떤 건 2.5 등

👉 즉, $W_p/W_n \approx 2.296$ ($1.148/0.5$)는 아주 근접한 값이지만, 공정 모델 상의 실제 이동도 차이와 완전히 일치하지 않으면 소수점 수준의 미세한 언밸런스가 생길 수 있어.

2. 레이아웃 기생 요소 반영되지 않은 시뮬레이션

- 아직 레이아웃 기반 LVS/PEX 후 시뮬레이션이 아니라면, 기생 저항/커패시턴스 미반영 상태.
- 확대할수록 지연 차이, 출력 응답 곡선 꼬리 등이 살짝 차이 날 수 있어.

3. SPICE 모델의 비이상성

- PMOS/NMOS가 이상적인 식 ($I_D = \frac{1}{2}\mu C_{ox} \dots$)만 따르지 않음.
- BSIM 모델은 실제 비선형성, 채널 길이 변조, V_{th} roll-off 등을 포함하므로, 계산과 아주 살짝 어긋날 수 있음.