

250618

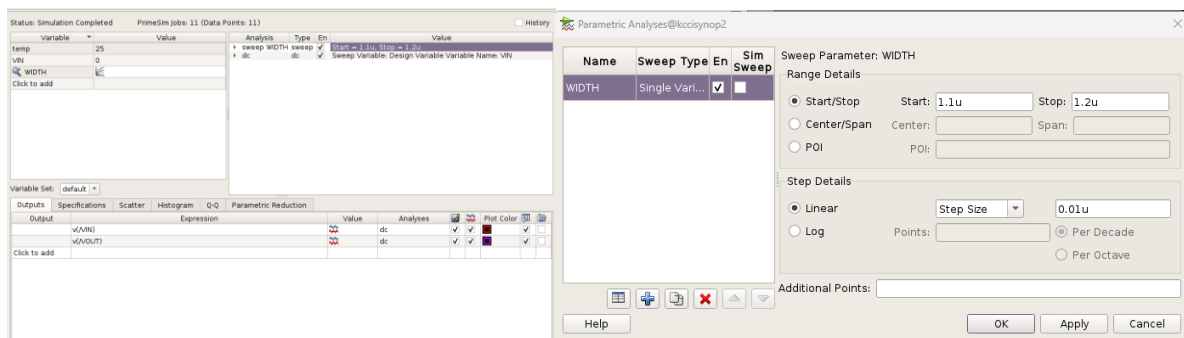
Nand 게열로 칩을 구성하는게 칩면적면에서 유리

이유: Nand로 구성했을 때 칩이 커질수록 PMOS의 w 를 계속 줄일 수 있기 때문.

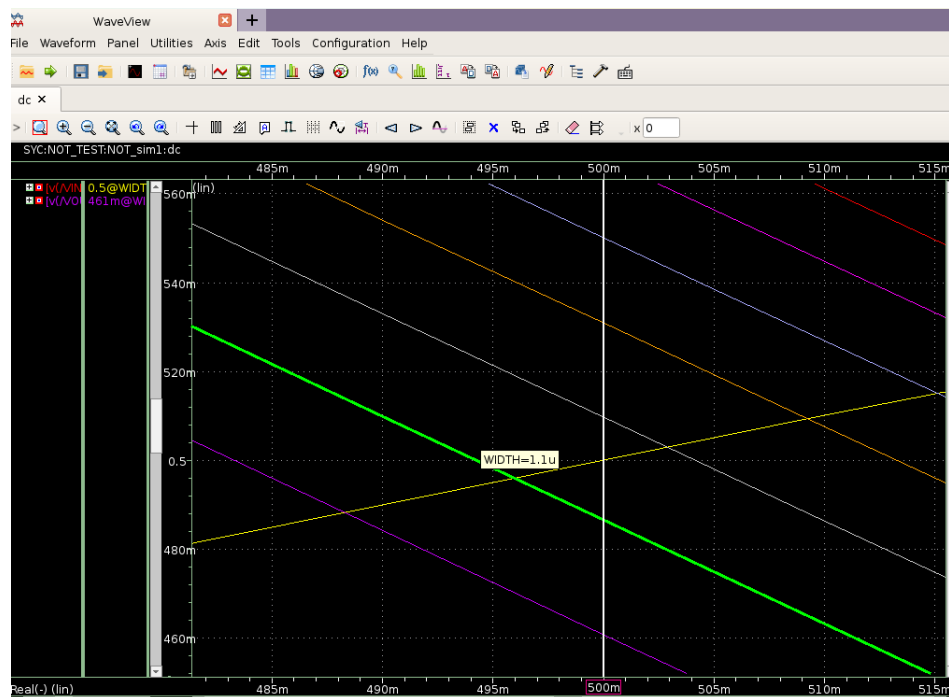
반면, NOR로 구성한다면 PMOS의 w 가 계속 커지기 때문에 불리.

NOT GATE 시뮬레이션

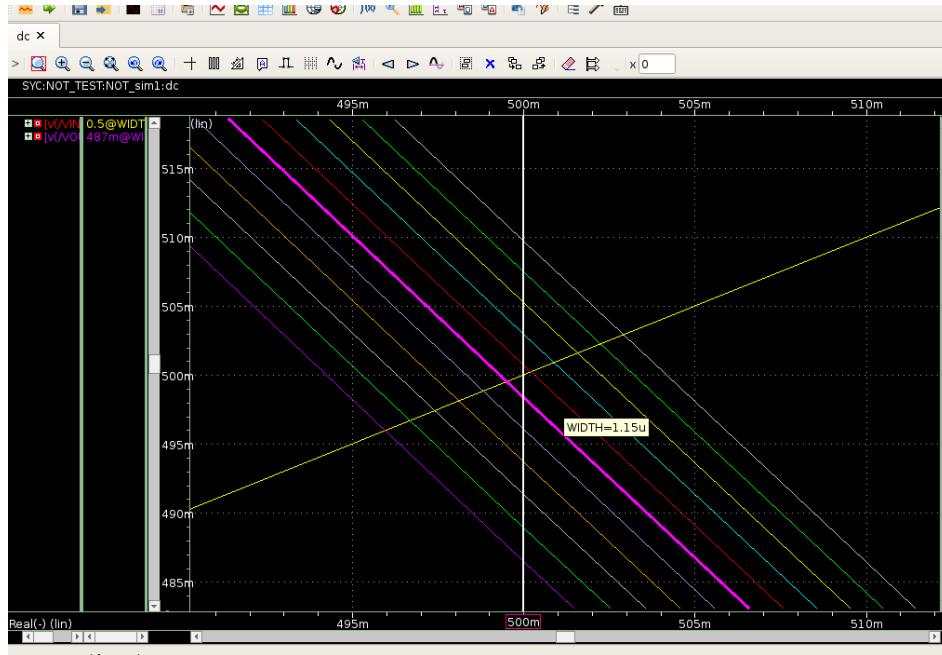
PMOS의 w 값에 변화를 주면서 진행.



결과

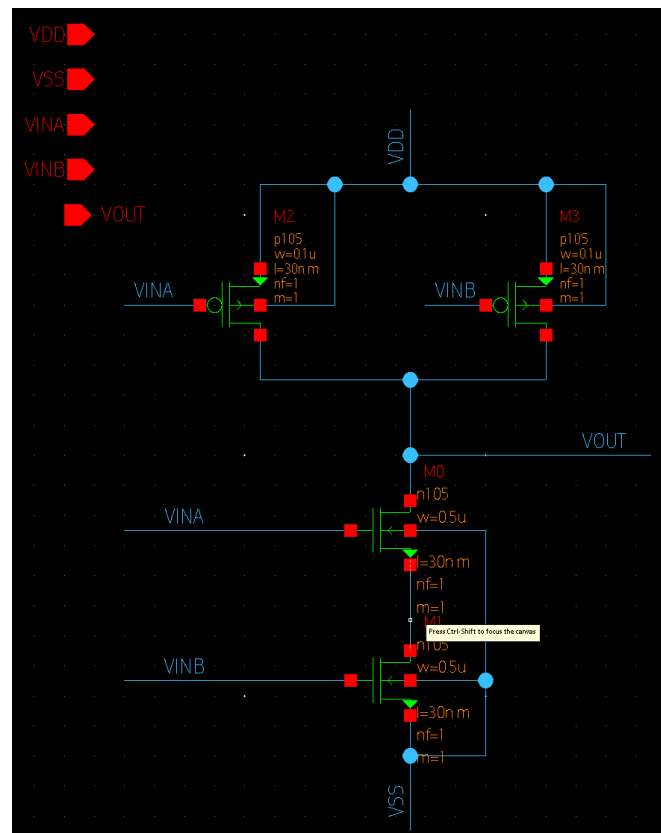


WIDTH: 1um~2um로 시뮬레이션 진행 => 0.5V와 가까운 width => 1.1um, 1.2um

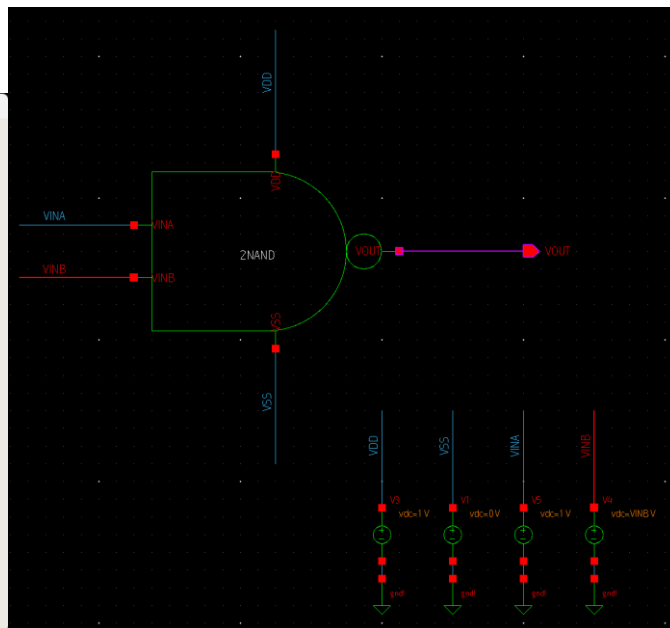
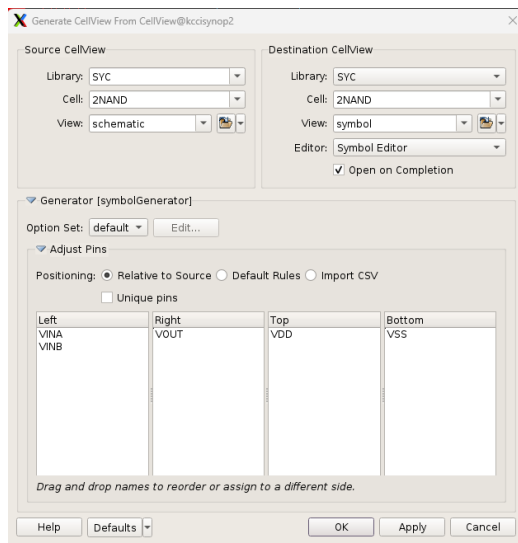


WIDTH: 1.1um~1.2um로 시뮬레이션 진행 => 0.5V와 가까운 width => 1.15um, 1.16um 사이

2NAND



⇒ 2NAND schematic 생성



⇒ 2NAND symbol 생성 후, label로 input에 대한 source 연결 및 port로 output 선언

Status: Ready... PrimeSim Jobs: 11 (Data Points: 11) History

Variable	Value	Analysis	Type	En	Value
temp	25	► sweep WIDTH sw...	sw...	✓	Start = 0.5u, Stop = 1.5u
VINB	0	► dc	dc	✓	Sweep Variable: Design Variable Variable Name: VINB
WIDTH					
Click to add					

Variable Set: default

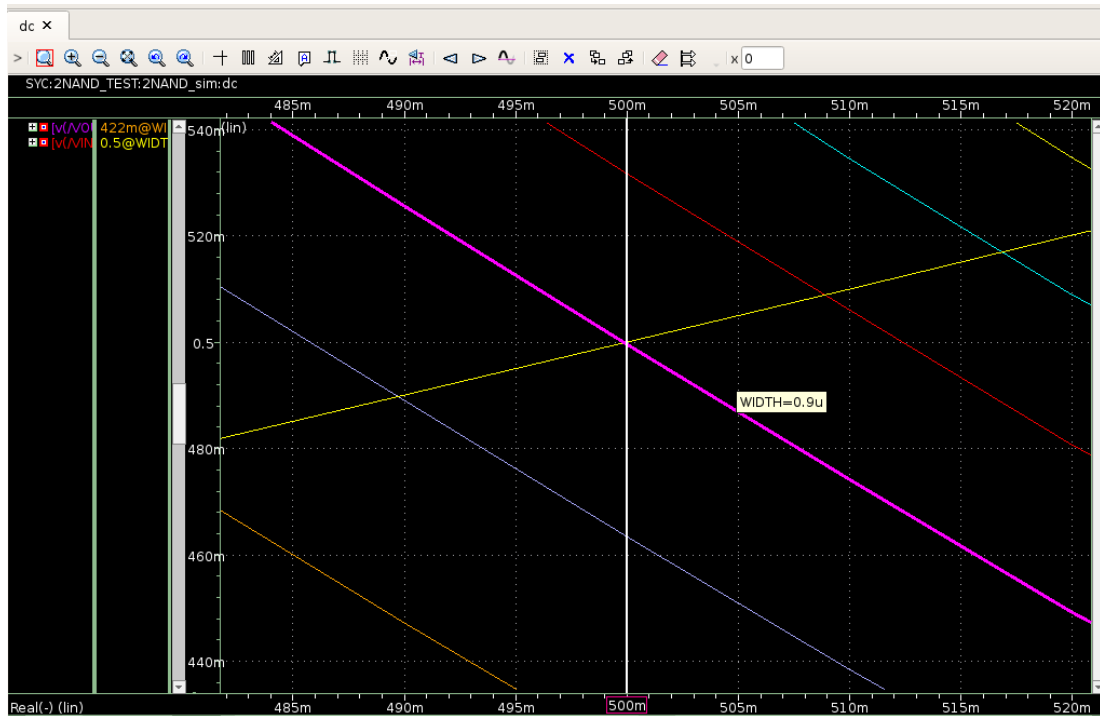
PMOS

Outputs	Specifications	Scatter	Histogram	Q-Q	Parametric Reduction
Output	Expression	Value	Analyses	Plot Color	
	v(/VOUT)		dc	✓	✓
	v(/VINB)		dc	✓	✓
Click to add					

⇒ Simulation 환경

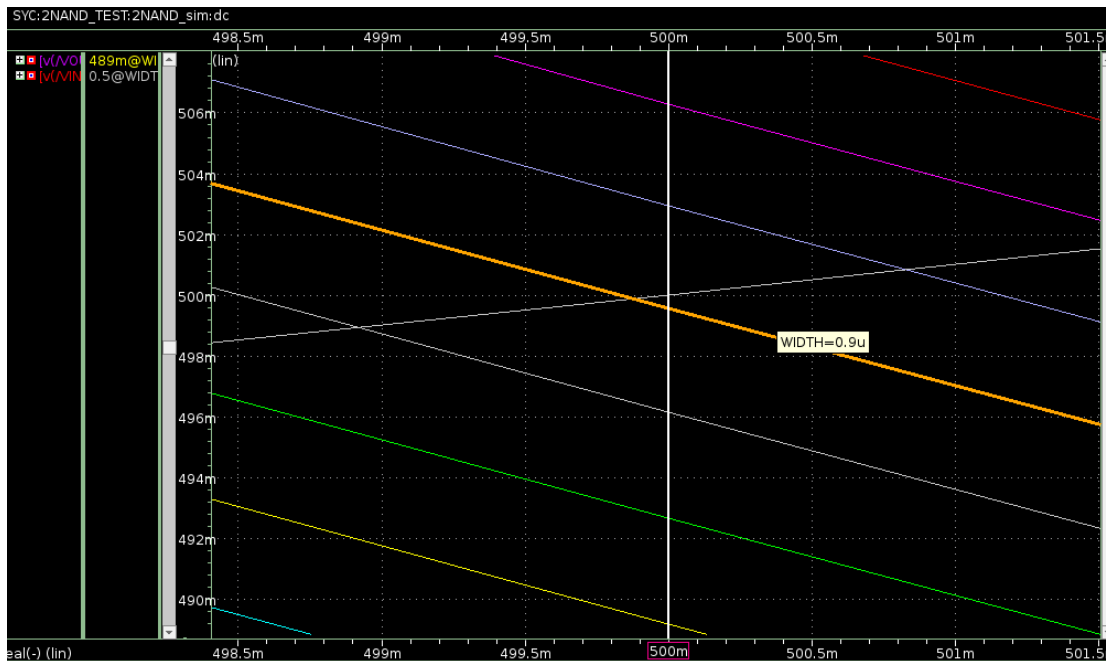
Simulation

확인해야할 사항: 0.5V 부근에서 PMOS의 WIDTH의 어떤 값이 가장 가까운가?



⇒ width (PMOS): 0.5um~1.5um, step size = 0.1um ⇒ 가장 근사한 width는 0.9um

cf) width마다 간격이 다름.



⇒ width (PMOS): 0.8um~1.0um, step size = 0.01um ⇒ 가장 근사한 width는 0.9um

2NAND

