

Teil 2: Grundlagen der Elektronik

Aufgabe 18: DRAM-Zelle

Betrachtet werden soll ein DRAM mit einer Speichermatrix mit 256 Zeilen und 256 Spalten. Eine Speicherzelle benötigt auf dem Chip $10\text{ }\mu\text{m} \times 20\text{ }\mu\text{m}$ (Spalten- x Zeilenabstand). Die Kapazität C_z einer Zelle beträgt ca. $0,05\text{ pF}$, ihr parasitärer Leitwert G_z ca. 10 pS . Der Kapazitätsbelag der Zuleitungen kann mit $C'_L = 0,1 \frac{\text{pF}}{\text{mm}}$ angenommen werden.

Die Speicherzelle wird mit einer Versorgungsspannung von $U_B = 5\text{ V}$ betrieben. Nehmen Sie an, dass diese Spannung unmittelbar nach dem Refresh an der Speicherkapazität anliegt. Die Speicherzelle soll für eine Refresh-Zykluszeit von $t_R = 4\text{ ms}$ ausgelegt werden.

- a) Welche Ladung trägt der Speicherkondensator unmittelbar nach dem Refresh?
- b) Auf welchen Wert sinkt die Spannung am Speicherkondensator innerhalb einer Refresh-Zykluszeit ab?
- c) Welche Kapazität ist bei der Durchführung des Refreshs wirksam?
- d) Wie groß ist die Spannung U_R , die zum Anfang des Refreshs am Leseverstärker anliegt?
- e) Welchen Spannungsunterschied muss der Leseverstärker detektieren können, um eine logische 0 von einer 1 zu unterscheiden?