



DUT-IDIA Semestre 1

Module Architecture des Ordinateurs

Chapitre III

LOGIQUE COMBINATOIRE

Pr : Mustapha Johri

Année Universitaire: 2024 - 2025

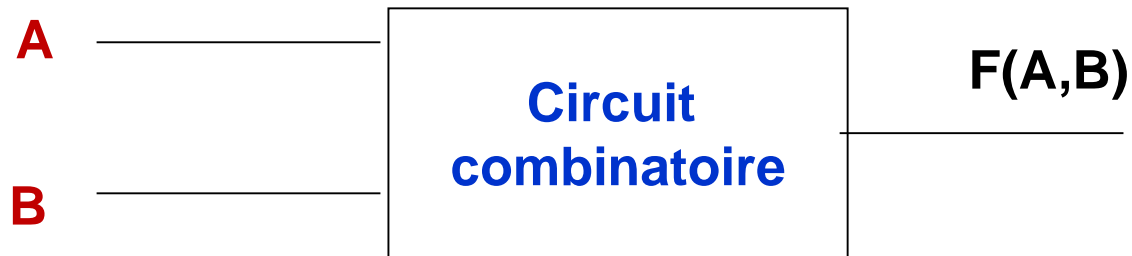
Circuits logiques combinatoires

1. Combinatoires

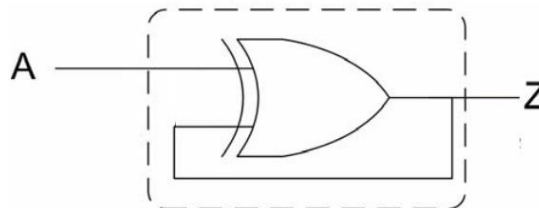
- Les **circuits logiques** sont des circuits électroniques servant à effectuer physiquement des fonctions logiques.

❖ Circuits combinatoires:

- Les signaux de sortie **ne dépendent que** des signaux d'entrée présents.



- Exemple : les portes logiques,...
- Contre-exemple : **le circuit ci-dessous n'est pas un circuit combinatoire**



1. Addition et comparaison

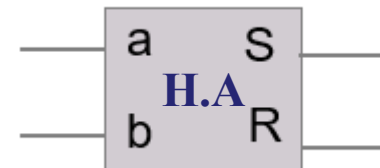
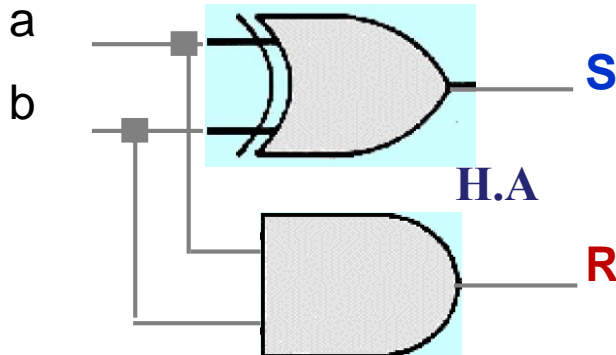
□ Demi-additionneur binaire

- La table de vérité du demi-additionneur (qui ne tient pas compte d'une retenue antérieure).

a	b	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

$$\square R = a \cdot b$$

$$\square S = a \oplus b$$



1. Addition et comparaison

□ Additionneur complet

(En tenant pas compte d'une retenue antérieure).



a	b	R	S	R'
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$R' = \bar{a}.b.R + a.\bar{b}.R + a.b.\bar{R} + a.b.R$$

$$S = \bar{a}.\bar{b}.R + \bar{a}.b.\bar{R} + a.\bar{b}.\bar{R} + a.b.R$$

Ce qui donne

$$R' = (a \oplus b).R + a.b$$

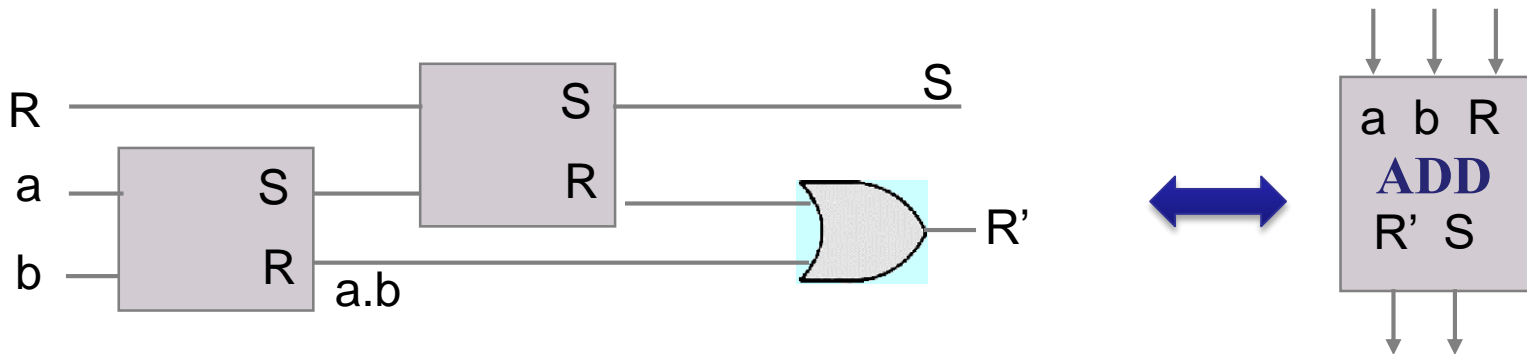
$$S = (a \oplus b) \oplus R$$

1. Addition et comparaison

□ Additionneur complet

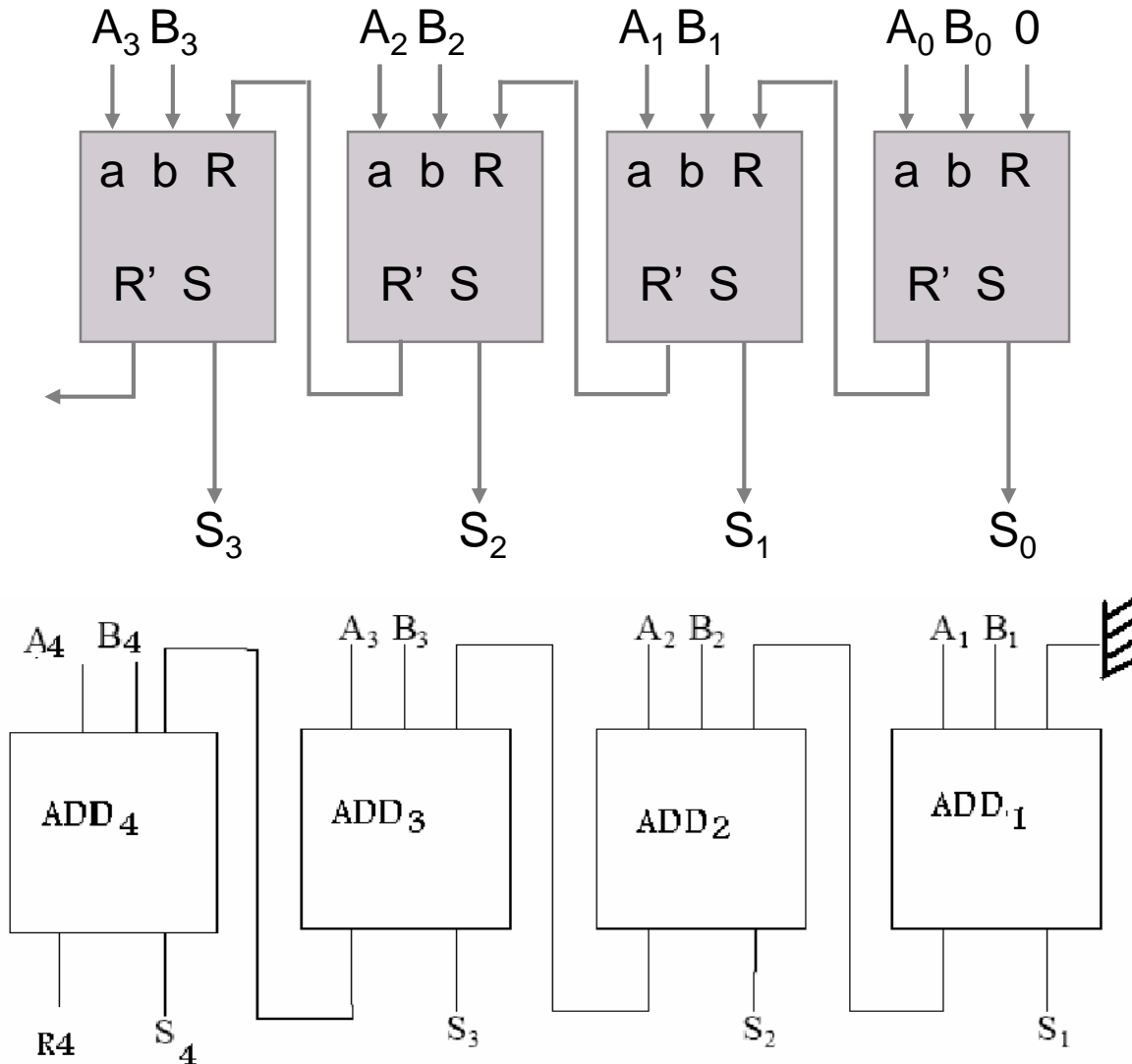
- Réalisation d'un additionneur complet en utilisant les demi additionneurs

$$R' = (a \oplus b).R + a.b$$
$$S = (a \oplus b) \oplus R$$



1. Addition et comparaison

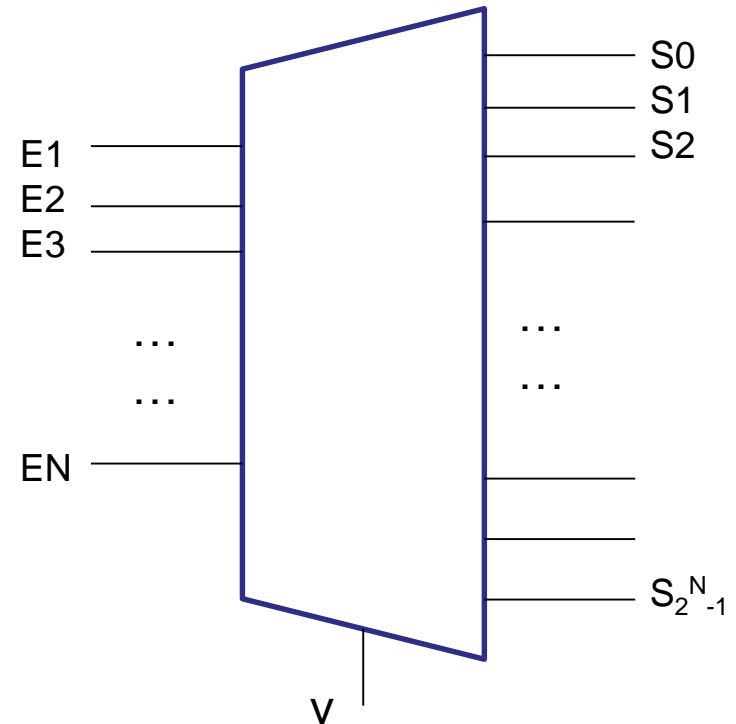
□ Additionneur à plusieurs bits



2. Décodeur

□ Définition et fonctionnement

- C'est un circuit combinatoire qui est constitué de :
 - ❖ V : Une entrée d'activation (1 : activée 0 non)
 - ❖ N : entrées de données.
 - ❖ 2^N sorties.
- Pour chaque combinaison des entrées ($E1, \dots, EN$) la seule sortie activée est celle dont l'indice est le nombre codé en binaire.
- Exemple : Si $V=1$ et si $E1=E2=\dots=EN=0$, la sortie $S0$ qui sera activée ($S0=V=1$).

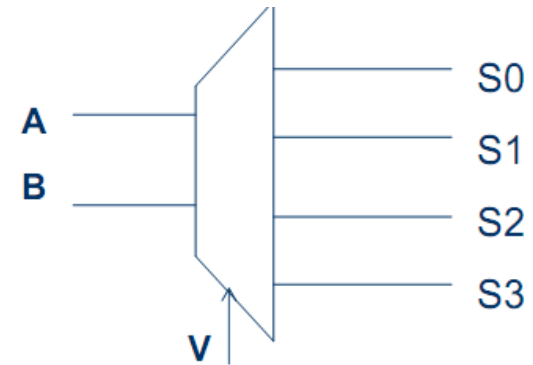


2. Décodeur

❑ Décodeur binaire de 2x4

- ❖ 2: entrées de données.
- ❖ $2^2 = 4$ sorties.

V	A	B		S0	S1	S2	S3
0	X	X		0	0	0	0
1	0	0		1	0	0	0
1	0	1		0	1	0	0
1	1	0		0	0	1	0
1	1	1		0	0	0	1

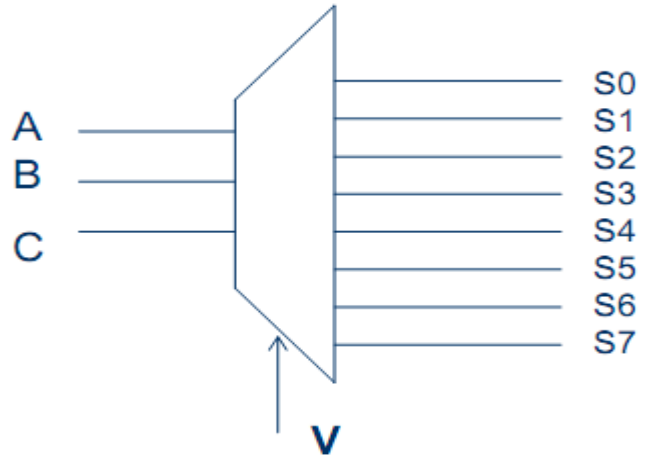


2. Décodeur

❑ Décodeur binaire de 3x8

V=1

A	B	C		S0	S1	S2	S3	S4	S5	S6	S7
0	0	0		1	0	0	0	0	0	0	0
0	0	1		0	1	0	0	0	0	0	0
0	1	0		0	0	1	0	0	0	0	0
0	1	1		0	0	0	1	0	0	0	0
1	0	0		0	0	0	0	1	0	0	0
1	0	1		0	0	0	0	0	1	0	0
1	1	0		0	0	0	0	0	0	1	0
1	1	1		0	0	0	0	0	0	0	1



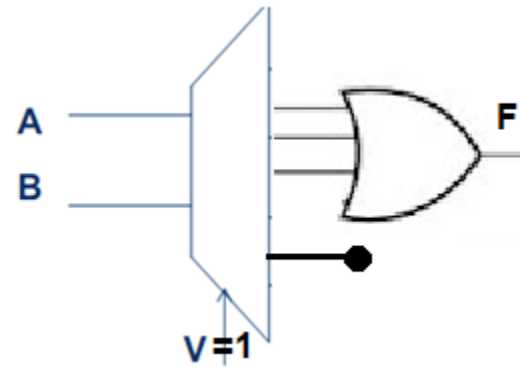
2. Décodeur

❑ Réalisation d'une fonction logique avec Décodeur

Comment réaliser la fonction F avec un décodeur?

On a 2 entrée donc on utilise un décodeur à 2x4.

A	B	F
0	0	1
0	1	1
1	0	1
1	1	0



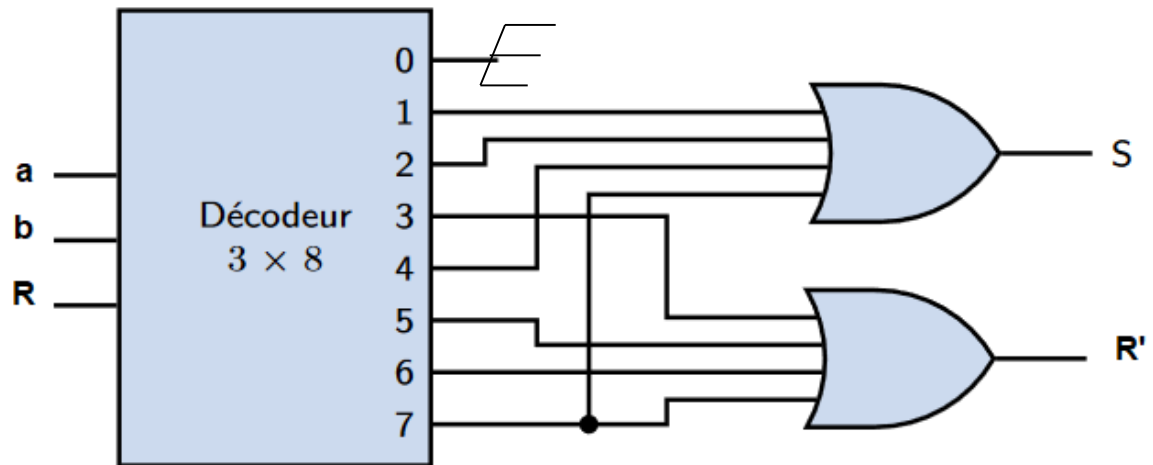
2. Décodeur

❑ Réalisation d'une fonction logique avec Décodeur

Exercice : Réaliser un additionneur complet avec un décodeur et des portes logiques?

a	b	R	S	R'
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

On a 3 entrée donc on utilise un décodeur 3x8.



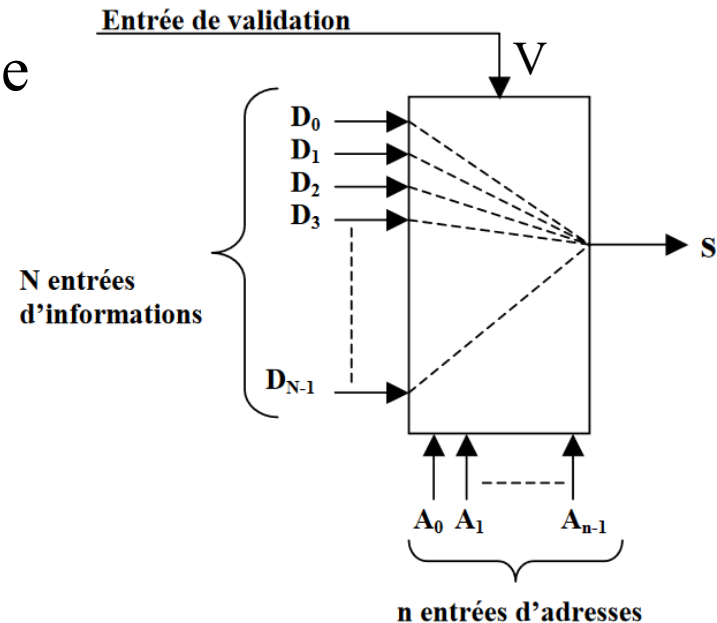
3. Multiplexeur et démultiplexeur

□ Multiplexeur

- Un multiplexeur est un circuit combinatoire qui permet de sélectionner une information parmi 2^n valeurs en entrée.
- Ce circuit est constitué de :
 - ❖ n entrées d'adresses/commandes (A_0, A_1, \dots, A_{n-1}).
 - ❖ $N=2^n$ entrées d'information (D_0, D_1, \dots, D_{N-1})
 - ❖ Une seule sortie S .

La sortie S reflète l'entrée qui porte le numéro codé par les n bits d'adresse

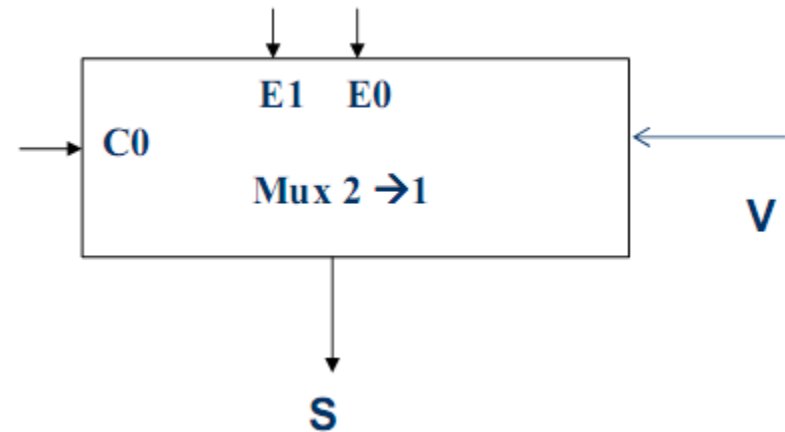
Exemple : Si $A_0=A_1=\dots A_n=0$, La sortie $S=D_0$.



3. Multiplexeur et démultiplexeur

❑ Multiplexeur 2x1

V	C ₀		S
0	X		0
1	0		E0
1	1		E1



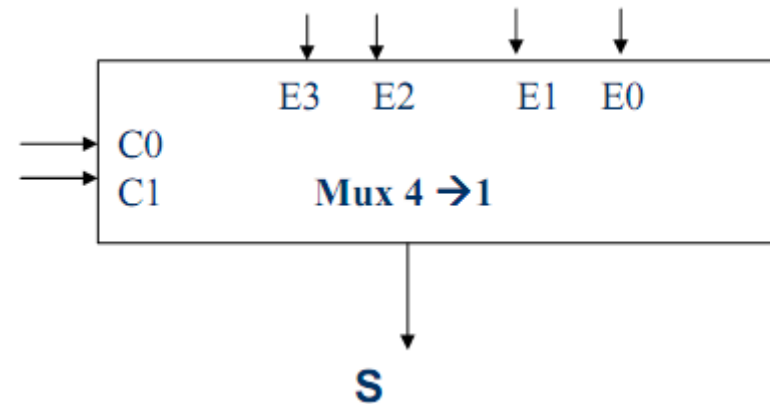
Trouver l'expression logique de la sortie S?

$$S = V \cdot (\overline{C_0} \cdot E_0 + C_1 E_1)$$

3. Multiplexeur et démultiplexeur

❑ Multiplexeur 4x1

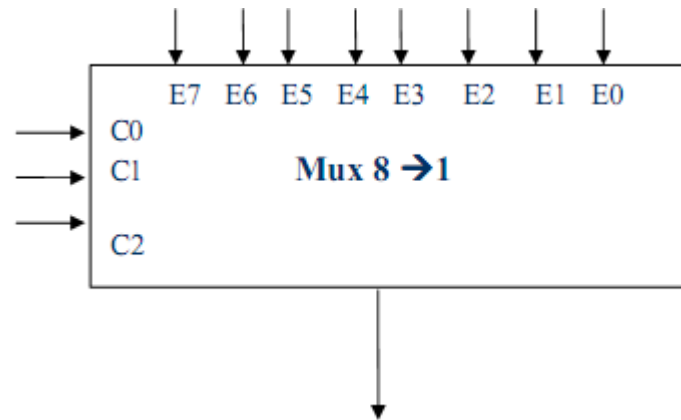
C1	C0		S
0	0		E0
0	1		E1
1	0		E2
1	1		E3



3. Multiplexeur et démultiplexeur

❑ Multiplexeur 8x1

C2	C1	C0	S
0	0	0	E0
0	0	1	E1
0	1	0	E2
0	1	1	E3
1	0	0	E4
1	0	1	E5
1	1	0	E6
1	1	1	E7



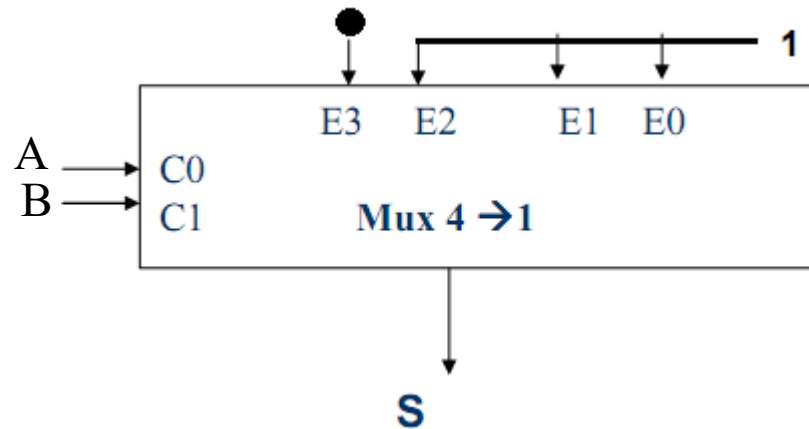
3. Multiplexeur et démultiplexeur

❑ Réalisation d'une fonction logique avec multiplexeur

Comment réaliser la fonction S avec un MUX 4x1 ?

On affecte aux variables d'adresse les variables de la fonction logique S

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



3. Multiplexeur et démultiplexeur

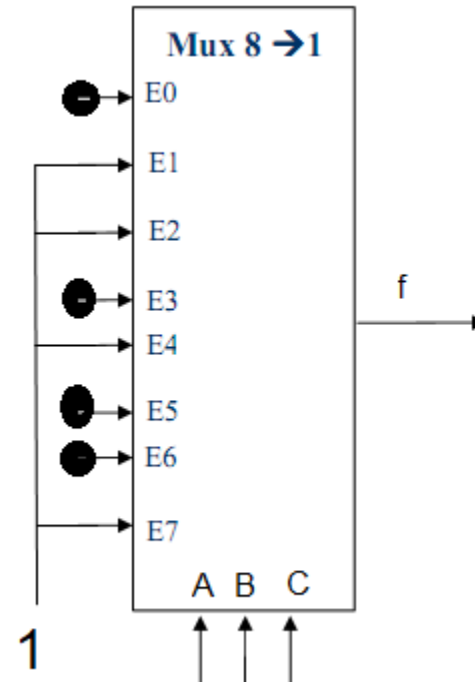
❑ Réalisation d'une fonction logique avec multiplexeur

Soit la table de vérité suivante :

réaliser la fonction logique "f" en utilisant un :

- multiplexeur 8x1

A	B	C	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



3. Multiplexeur et démultiplexeur

❑ Réalisation d'une fonction logique avec multiplexeur

Soit la table de vérité suivante :

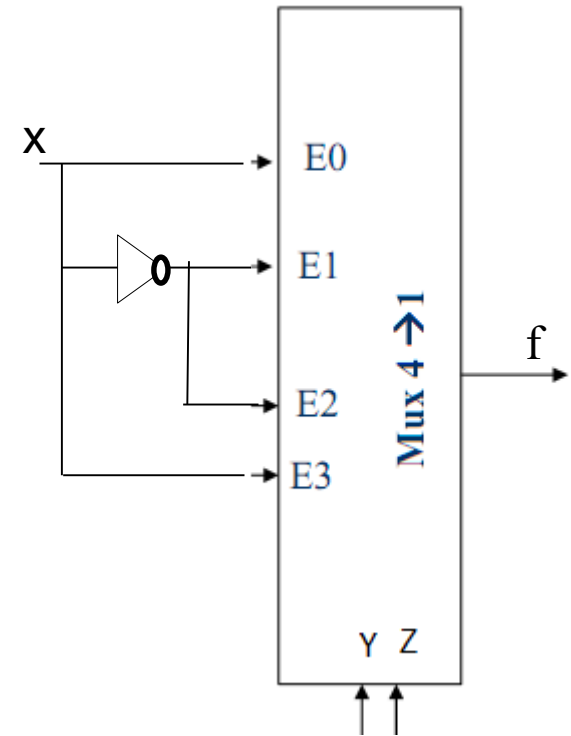
réaliser la fonction logique "f" en utilisant un :

- multiplexeur 4x1

Z	Y	X	f
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



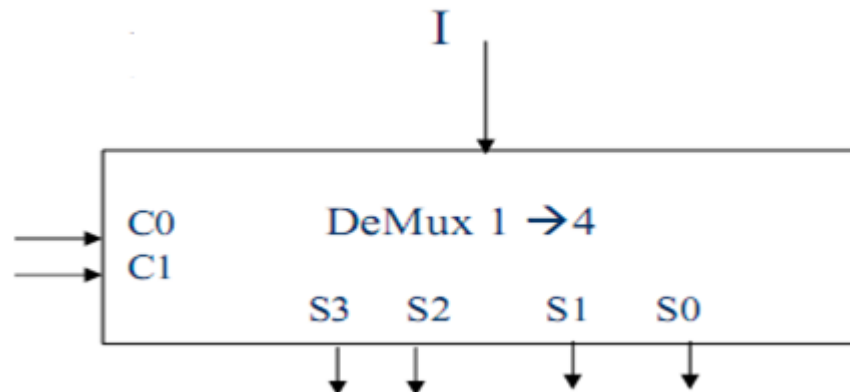
Z	Y	f
0	0	$f = X$
0	1	$f = \bar{X}$
1	0	$f = \bar{X}$
1	1	$f = X$



3. Multiplexeur et démultiplexeur

❑ Démultiplexeur

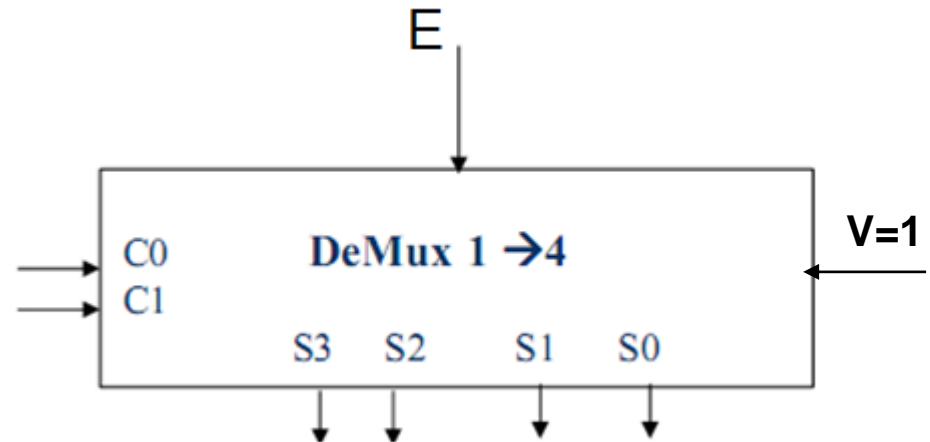
- Il joue le rôle inverse d'un multiplexeur, il permet de faire passer une information dans l'une des sorties selon les valeurs des entrées de commandes.
- Il possède:
 - ❖ Une seule entrée.
 - ❖ 2^n sorties
 - ❖ N entrées de sélection (commandes)



3. Multiplexeur et démultiplexeur

❑ Démultiplexeur de 1 à 4

C1	C0		S3	S2	S1	S0
0	0		0	0	0	E
0	1		0	0	E	0
1	0		0	E	0	0
1	1		E	0	0	0

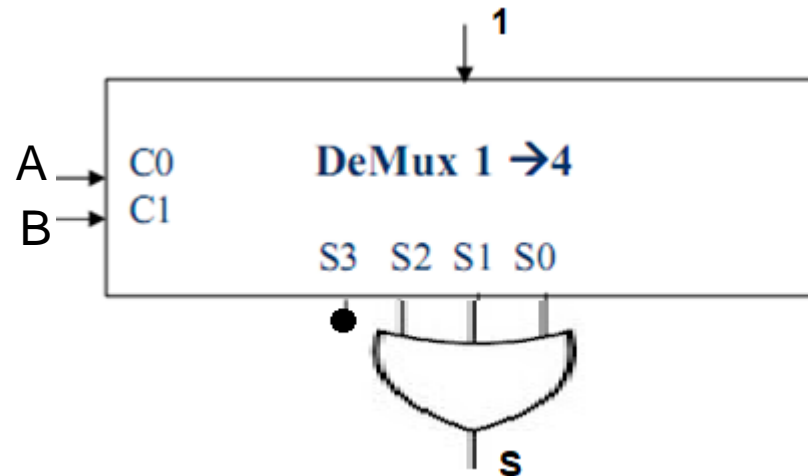


3. Multiplexeur et démultiplexeur

❑ Réalisation d'une fonction logique avec démultiplexeur

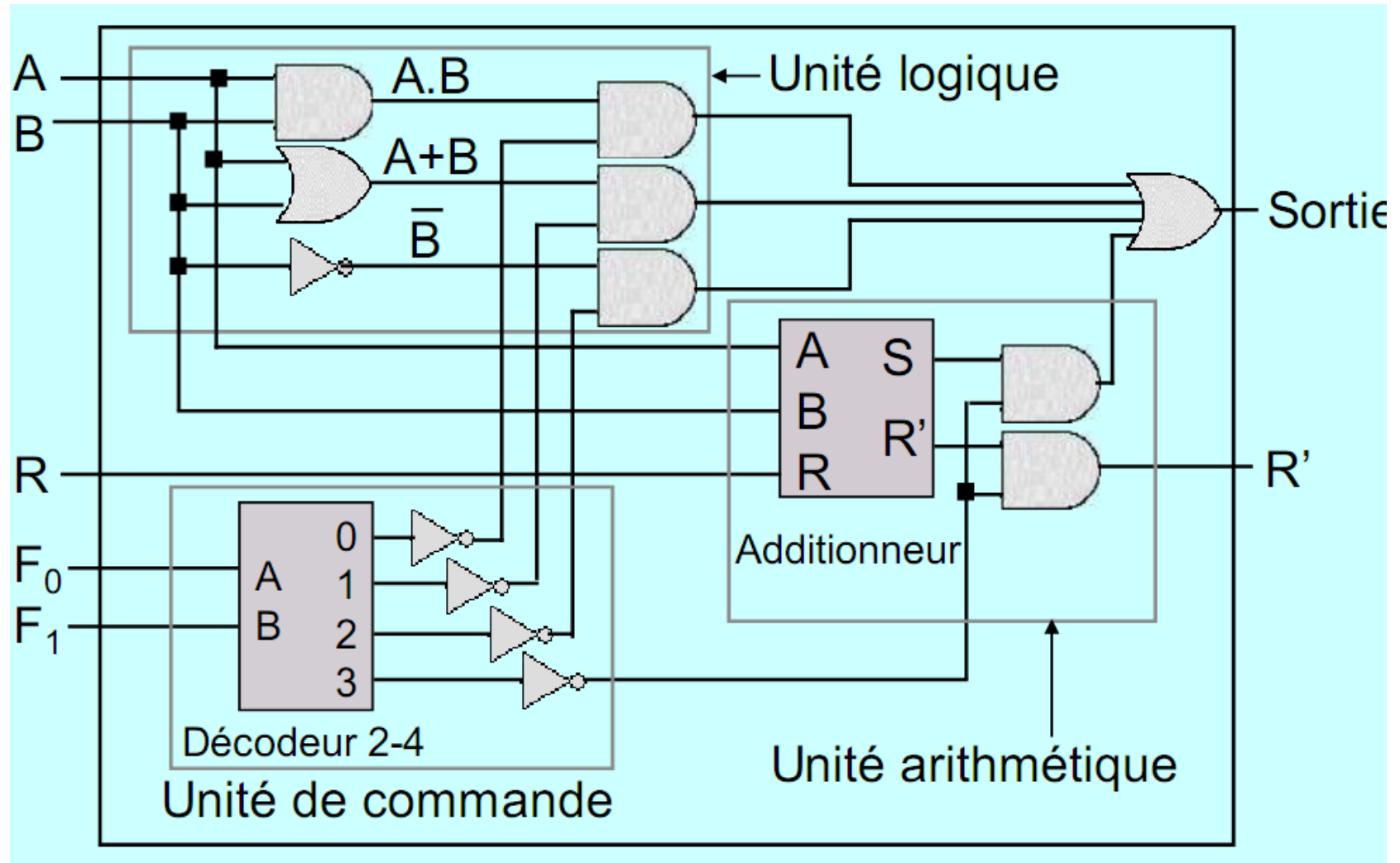
Comment réaliser la fonction S avec un DeMUX 1x4 ?

A	B	S
0	0	1
0	1	1
1	0	1
1	1	0



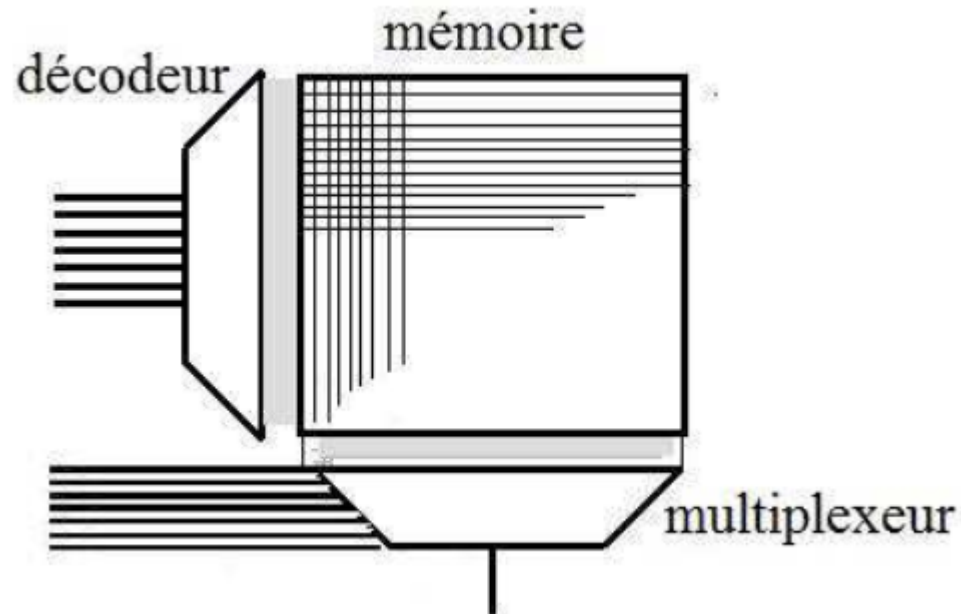
4. Un coup d'œil sur le microprocesseur/Mémoire

□ UAL du Microprocesseur à 1 bit



❑ Aperçu vers la Mémoire

Avec un décodeur et un multiplexeur qui vont permettre de réduire le nombre de fils de transfert d'adresses à l'entrée de la mémoire.



FIN