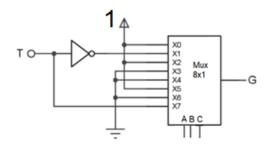


Module : Archi. Filière : DUT – IDIA

## **TD 2 : (Logique Combinatoire)**

## Exercice 1 : Soit le montage ci-contre :

- 1) Donner l'équation de G en fonction de A, B, C et T.
- 2) Simplifier l'équation en utilisant le tableau de KARNAUGH



Exercice 2 : Réaliser un circuit qui permet d'effectuer l'opération binaire  $b1 \oplus b0$  de 2 bits  $(b_1b_0)$  à l'aide d'un Démultiplexeur 1x4 et une porte OR.

Exercice 3 : Soit l'opération de soustraction suivante sur n bits :  $(a_{n-1}....a_1a_0) - (b_{n-1}....b_1b_0)$ 

- 1) Donner le schéma d'un Soustracteur de n bits en **ca1** puis en **ca2** à l'aide des additionneurs complets et des portes logiques.
- 2) Déduire le schéma d'un seul circuit qui fait l'addition et la soustraction en ca2 de deux nombres composées de n bits en utilisant une commande **c** (0 : addition, 1 : soustraction)

Exercice 4: Le but de cet exercice est de concevoir un circuit permettant de détecter le nombre des 1 dans un mot de 3 bits (ABC)<sub>2</sub>. La sortie vaudra 0 si le nombre de « 1 » dans (ABC)<sub>2</sub> est pair (ex : 011) et 1 sinon (ex : 100).

- 1) Écrire la table de vérité correspondante.
- 2) Utiliser un multiplexeur 8 x 1 pour réaliser cette fonction.
- 3) Utiliser un démultiplexeur 1x 8 pour réaliser cette fonction.

**Exercice 5 :** Construire un circuit combinatoire à trois entrées a, b et c capable de détecter si le nombre de représentation binaire (abc)<sub>2</sub> est divisible par 3 :

- a) En utilisant un décodeur
- b) En utilisant un multiplexeur 4x1