

CORRECTION EXERCICE - CONTRÔLE FINAL

1. Couche ISA

- Traduction assembleur/hexadécimal

Instruction Pascal	Assembleur (1,5 pt)			Hexadécimal (1,25 pt)	
$Z := X - (Y + 3)$	I ₁	LD@	Y	I ₁	A30082h
	I ₂	ADD#	3	I ₂	E103h
	I ₃	ST@	Z	I ₃	A40082h
	I ₄	LD@	X	I ₄	A30080h
	I ₅	SUB@	Z	I ₅	E20082h
	I ₆	ST@	Z	I ₆	A40082h

- Adresses des instructions en mémoire (1,75 pt)

I ₁	1000h
I ₂	1003h
I ₃	1005h
I ₄	1008h
I ₅	100Bh
I ₆	100Eh

- Contenu des registres CO, RI et ACC (3,5 pts)

Instruction	CO	RI	ACC
I1	1003h	A3h	45h
I2	1005h	E1h	48h
I3	1008h	A4h	48h
I4	100Bh	A3h	CAh
I5	100Eh	E2h	82h
I6	1011h	A4h	82h

2. Couche microarchitecture

Cycle de Recherche	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; RI _{IN}	

LD# <d>	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; ACC _{IN}	
T ₄ : END	

ADD# <d>	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC} ; ACC _{OUT} ; RTUAL _{IN}	
T ₂ : WMFC	
T ₃ : MDR _{OUT}	
T ₄ : AD ; ACC _{IN}	
T ₅ : END	

PUSH	(1 pt)
T ₀ : ACC _{OUT} ; MDR _{IN} ; SP _{DEC}	
T ₁ : SP _{OUT} ; MAR _{IN}	
T ₂ : WR	
T ₃ : WMFC	
T ₄ : END	

LD@ [adr]	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; RL _{IN} ; CO _{OUT} ; MAR _{IN}	
T ₄ : RD ; CO _{INC}	
T ₅ : WMFC	
T ₆ : MDR _{OUT} ; RH _{IN}	
T ₇ : RA _{OUT} ; MAR _{IN}	
T ₈ : RD	
T ₉ : WMFC	
T ₁₀ : MDR _{IN} ; ACC _{OUT}	
T ₁₁ : END	

ST@ [adr]	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; RL _{IN} ; CO _{OUT} ; MAR _{IN}	
T ₄ : RD ; CO _{INC}	
T ₅ : WMFC	
T ₆ : MDR _{OUT} ; RH _{IN}	
T ₇ : ACC _{OUT} ; MDR _{IN} ; RA _{OUT} ; MAR _{IN}	
T ₈ : WR	
T ₉ : WMFC	
T ₁₀ : END	

ADD@ [adr]	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC} ; ACC _{OUT} ; RTUAL _{IN}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; RL _{IN} ; CO _{OUT} ; MAR _{IN}	
T ₄ : RD ; CO _{INC}	
T ₅ : WMFC	
T ₆ : MDR _{OUT} ; RH _{IN}	
T ₇ : RA _{OUT} ; MAR _{IN}	
T ₈ : RD	
T ₉ : WMFC	
T ₁₀ : MDR _{OUT}	
T ₁₁ : AD ; ACC _{IN}	
T ₁₂ : END	

POP@ [adr]	(1 pt)
T ₀ : CO _{OUT} ; MAR _{IN}	
T ₁ : RD ; CO _{INC}	
T ₂ : WMFC	
T ₃ : MDR _{OUT} ; RL _{IN} ; CO _{OUT} ; MAR _{IN}	
T ₄ : RD ; CO _{INC}	
T ₅ : WMFC	
T ₆ : MDR _{OUT} ; RH _{IN} ; SP _{OUT} ; MAR _{IN}	
T ₇ : RD ; SP _{INC}	
T ₈ : WMFC	
T ₉ : RA _{OUT} ; MAR _{IN}	
T ₁₀ : WR	
T ₁₁ : WMFC	
T ₁₂ : END	