



### TP N° 3: Integración de conceptos de Arquitectura de Computadoras

1) Si una instrucción de multiplicación tiene sus dos operandos en registros. Enunciar las etapas requeridas del ciclo de instrucción básico (visto en la teoría) para ejecutar esta instrucción.

2) Analice y responda las siguientes preguntas. Si se tiene un sistema con 4 MiB de memoria RAM.

- a) ¿Cuántos bytes de memoria tenemos?
- b) ¿Cuántos bits son necesarios para direccionar esa cantidad de celdas de memoria?

3) El siguiente es un fragmento de un volcado de memoria, que comienza en la dirección 0x1010 y termina en la dirección 0x175A. *Nota: 0x indica que es un número hexadecimal.*

0x40	0x23	0x33	0x24	0xA2	0x3F	0x1D	0x34	0xAD	0x38	0x22	0xFF	0xFF
0xFF	0xFF	0xFF	0x31	0xE2	0x10	0x0E	0x23	0x33	0x43	0xA2	0x3F	0x1D
0x34	0x43	0xA2	0x3F	0x1D	0x34	0xAD	0x38	0x22	0xFA	.....		

- a) ¿Cuántos bytes tiene este fragmento de memoria?
- b) ¿Cuál es la dirección de memoria del dato 0x24?
- c) ¿En qué rango de direcciones encontramos bytes con todos sus bits en 1?

4) Dada una instrucción con la siguiente estructura: 4 bits para el código de operación, 6 bits para el operando 1 y 6 bits para el operando 2.

- a) ¿Cuántas operaciones diferentes podría tener el procesador?
- b) Si en un operando puede haber una dirección de memoria, ¿Cuál es el tamaño máximo que puede tener la memoria RAM?

5) Responda por verdadero o falso y justifique.

- a) Un programa accede a datos (de un byte) ubicados en la memoria principal. Los datos están muy distantes entre sí. La memoria caché es útil para este caso.
- b) Tres accesos a datos de la caché L3 equivalen aproximadamente en tiempo a un único acceso a memoria RAM.
- c) Tres accesos a datos de la memoria RAM equivalen aproximadamente en tiempo a un único acceso a un dato que está en un disco de estado sólido.

6) Utilizando el volcado de memoria que se encuentra en el ejercicio 3, deberá indicar la cantidad de fallos y aciertos en los accesos a memoria caché, considerando que el tamaño de la caché es de 1kB, el tamaño de la línea de caché es de 4 bytes. Los bloques de memoria comienzan en direcciones múltiplo de 4. Al inicio de cada inciso, la caché se encuentra vacía.

Tenga en cuenta las siguientes secuencias de direcciones o rafagas de accesos a memoria:

a) (0x1010 ; 0x1011 ; 0x1012 ; 0x1013 ; 0x1014 ; 0x1015 ; 0x1016)

b) (0x1010 ; 0x1013 ; 0x1016 ; 0x1018 ; 0x101A ; 0x1020 ; 0x1016)

c) (0x1010 ; 0x1020 ; 0x1030 ; 0x1041 ; 0x1042 ; 0x1050 ; 0x1060)

¿Por qué motivo no será necesario efectuar reemplazos de líneas en caché?.