**深 圳 大 学 实 验 报 告**

**课程名称：­ 数字电路**

**实验项目名称： 全加器**

**学院： 电子与信息工程学院**

**专业： 通信工程**

**指导教师： 张志朋**

**报告人： 彭浩洋 学号： 2019282025 班级： 04**

**实验时间： 2020年11月6日**

**实验报告提交时间： 2020年11月20日**

**教务部制**

|  |  |  |
| --- | --- | --- |
| 1. **实验目的**   了学习全加器的逻辑功能，并完成相应的逻辑电路。 | | |
| 1. **实验要求** 2. 复习组合逻辑电路的分析与设计方法； 3. 根据任务要求设计电路，并拟定实验方法； 4. 熟悉所用芯片的逻辑功能、引脚功能和参数。 | | |
| 1. **实验仪器与材料** 2. RXS-1B数字电路实验箱； 3. 74LS54（四路2-3-3-2输入与或非门）1片、74LS283（四位二进制超前进位全加器）1片，74LS48（四线至七段译码器/驱动器（**BCC**输入，有上拉电阻））1片、共阴极七段显示数码管。 | | |
| 1. **实验说明**   相加时不考虑进位的二进制加法称为半加，所用的电路叫做半加器。相加时考虑来自低位的进位以及向高位的进位的二进制加法则称为全加，所用的电路为全加器。  两个多位数相加时每一位都是带进位相加的，所以必须使用全加器。这时候，只要依次将低一位的进位输出接到高位的进位输入就可以构成多位加法器了。  全加器除完成加法运算外，还可用来产生组合逻辑函数。若某一逻辑函数的输出恰好等于输入代码表示的数值加上另外一个常数或由同一组输入变量组成的代码时，则使用全加器往往会达到设计简单的效果。 | | |
| 1. **实验任务**   任务一：四位二进制全加器74LS283功能测试：  自行设计实验电路和记录表格。输入端接数字电路实验箱的逻辑开关、输出端接数字电路实验箱的电平指示灯，观察输出结果Sn及进位Cn，并记录下来。  表1 74LS283功能测试表   |  |  | | --- | --- | | 输入 | 输出 | |  |  | | 0 0 0 1 0 0 1 1 0  0 1 0 1 0 1 1 0 0  0 1 1 0 1 0 1 1 0  0 0 1 1 0 1 0 1 1  0 1 1 1 1 0 0 1 1  1 0 1 0 1 1 0 0 1 | 0 0 1 0 0  0 1 0 1 1  1 0 0 0 1  0 1 0 0 1  1 0 0 0 1  1 0 1 1 1 |  1. 任务二：用全加器74LS283设计一个代码转换电路，把四位余3码用十进制数在LED七段数码管上显示出来。   （一）设计方法提示  （1）通过余**3**码与**8421BCC**码对应关系（如表**2.3.1**所示）找出两种制之间的关系，从而得到码制变换电路。**8421BCC**码到七段数码管的译码及驱动可采用**74LS48**，显示可用七段数码管。  （2）自行查找集成电路数据手册。查到**74LS48**的功能和外引脚排列图。  （二）实验方法提示  按设计的电路连线，将余**3**码输入端**d3、d2、d1、d0**分别接到四个逻辑开关，按表**2**所列出的余**3**码设置四个逻辑开关的状态，记录七段数码管的数字，验证是否符合要求。  表2 余3码与8421BCC码对应表   |  |  |  | | --- | --- | --- | | 十进制数 | 8421码 | 余3码 | | 0 | 0000 | 0011 | | 1 | 0001 | 0100 | | 2 | 0010 | 0101 | | 3 | 0011 | 0110 | | 4 | 0100 | 0111 | | 5 | 0101 | 1000 | | 6 | 0110 | 1001 | | 7 | 0111 | 1010 | | 8 | 1000 | 1011 | | 9 | 1001 | 1100 | | | |
| 表3 余3码与输出图形对应表   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | | 输入 | 输出 | | 输入 | 输出 | | | 余3码 | 理论图形 | 实验图形 | 余3码 | 理论图形 | 实验图形 | | 0011 |  |  | 1000 |  |  | | 0100 |  |  | 1001 |  |  | | 0101 |  |  | 1010 |  |  | | 0110 |  |  | 1011 |  |  | | 0111 |  |  | 1100 |  |  | |
| **六、实验结论及思考题**：   1. 全加器可以实现两个二进制数的相加运算，灵活连接的话，也可以实现两个二进制数的相减。 2. 思考题：如果余3码输入出现了六项禁止项（0000、0001、0010、1101、1110、1111），那译码器驱动部分如何修改？   答：利用74LS54芯片，六项禁止项的余三码对应的8421码为1101、1110、1111、1010、1011、1100，利用卡诺图，在74LS54芯片上可化简成（其他的3输入端接地即可），然后将输出端引脚6接入译码器的驱动部分（引脚3、4、5）。 |
| **指导教师批阅意见：**  **成绩评定：**  指导教师签字：  年 月 日 |
| 备注： |

注：1、报告内的项目或内容设置，可根据实际情况加以调整和补充。

2、教师批改学生实验报告时间应在学生提交实验报告时间后10日内。