



盛科 CTC8180

端口应用指南

版本 R1.3

日期 2021-03-29

版权所有 © 盛科网络（苏州）有限公司。保留一切权利。

未经盛科网络（苏州）有限公司书面许可，任何单位和个人不得擅自摘抄、复制本档内容的部分或全部，并不得以任何形式和任何方法传播。



盛科商标，服务标志和其他盛科标志均为盛科网络（苏州）有限公司拥有商标。盛科交换机系列产品和芯片系列产品的标志均为盛科网络（苏州）有限公司商标或注册商标。未经盛科书面授权，不允许使用这些标志。

本文档提及的其他所有商标和商业名称，由各自的所有人拥有。

注意

您购买的产品、服务或特性等应受盛科网络商业合同和条款的约束，本档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，本公司对本档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本档内容会不定期进行更新。除非另有约定，本档仅作为使用指导，本档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

盛科网络（苏州）有限公司

地址 江苏省苏州市工业园区星汉街 5 号（腾飞新苏工业坊）B 幢 4 楼 13/16 单元

电话 86-512-62885358

传真 86-512-62885870

网址 <http://www.centecnetworks.com>

邮箱 support@centecnetworks.com

内容目录

1 CTC8180 介绍	8
1.1 概述	8
1.2 典型应用	8
联通/移动，集中式机架	8
电信集中式机架方案	9
企业网/数据中心 ToR	9
园区网机架	10
1.3 端口模式	10
1.4 主要特性	11
2 芯片 SerDes 综述	12
2.1 SerDes 概述	12
2.2 SerDes TX/RX 均衡	14
3 端口功能介绍	15
3.1 端口功能介绍	15
3.2 端口应用关键概念：	16
3.3 CTC8180 端口介绍	16
3.4 FLEXE 简介	18
3.4.1 概述	18
3.4.2 FLEXE 能力说明	18
端口能力	18
特性能力	19
4 端口/SerDes 限制	20
4.1 带宽相关的限制	20
4.2 PAM4 的 Index 配置限制	20
4.3 FLEXE 限制	20
4.4 基本端口限制	21
5 Debug 指导	22
5.1 SerDes CLI	22
5.1.1 SDK 环境	22
PRBS 相关	22
5.1.2 DKITS 环境内的 debug 命令	23

SerDes 内部寄存器读写	23
获取 serdes 状态	23
PRBS.....	23
信号完整性信息获取	24
5.2 端口 debug 指南	25
5.2.1 端口分布图以及相关的 debug 寄存器.....	25
6 推荐 FFE 参数值	31
6.1 DAC 或 KR.....	31
6.1.1 NRZ 编码.....	31
6.1.2 PAM4.....	31
6.2 光模块.....	31
56G_PAM4 端口	32
25G NRZ.....	32

表格目录

表 3-1 Index 和物理 SerDes Lane 的 mapping 关系	16
表 3-2 CTC8180 支持的端口工作模式.....	17
表 4-1 不同时钟主频的转发性能.....	20
表 5-1 PCS LOCK 状态寄存器.....	26
表 6-1 NRZ 编码 FFE 推荐参数.....	31
表 6-2 PAM4 编码 FFE 推荐参数	31

图形目录

图 1-1 联通/移动端口需求形态	8
图 1-2 电信集中式机架方案.....	9
图 1-3 ToR 盒式交换机框图	9
图 1-4 园区网机架交换机框图	10
图 1-5 CTC8180 结构框图	11
图 2-1 CTC8180 SerDes 结构框图	13
图 3-1 CTC8180 端口示意图.....	15
图 5-1 SerDe ID 映射关系.....	25
图 5-2 端口问题 debug 流程.....	25

修订记录

日期	版本号	说明
2020-08-12	Preliminary R1.0	Initial Release for Preliminary version
2020-08-21	Preliminary R1.1	
2021-02-19	R1.2	增加 debug 相关 CLI，增加主频说明，增加推荐 FFE 参数
2021-03-29	R1.3	增加 debug 相关 CLI

1 CTC8180 介绍

1.1 概述

CTC8180 (TsingMa.MX) 是指在满足 5G 承载，企业网/园区网机架、数据中心 ToR 演进需求的新一代交换芯片。芯片支持 2.4T I/O 带宽，680G Core 带宽。支持 SGMII/QSGMII/XFI/25G/40G/50G/100G/200G/400G 等多速率端口形态，并集成了总带宽达 800G 的 FLEXE 接口灵活应对 5G/SPN 等下一代承载网的应用需求。

1.2 典型应用

联通/移动，集中式机架



图1-1 联通/移动端口需求形态

集中式机架，共 8 张业务卡，均为半宽的尺寸。

- Ethernet 卡：
 - 8x1GE 电口
 - 8x10GE
 - 4x25GE
- FLEXE 接口卡：
 - 2x50GE
 - 1x100GE

电信集中式机架方案

电信共有两种集中式方案，第一种和图 1-1 的联通/移动方案类似。第二种有所不同，其框图简化如下：



图1-2 电信集中式机架方案

8 张半宽业务卡。

- Ethernet 卡有两种
 - 4x25GE
 - 通过线卡上的 FPGA 借助 MUX/DEMUX 方案实现端口扩展，扩出 10x10GE 的形态
- FLEXE 卡有两种
 - 2x50GE
 - 1x100GE

企业网/数据中心 ToR

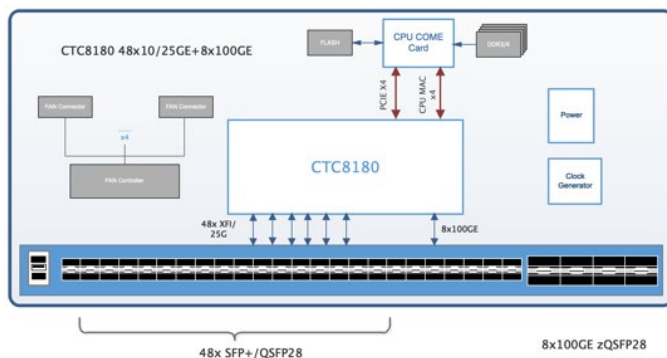


图1-3 ToR 盒式交换机框图

园区网机架

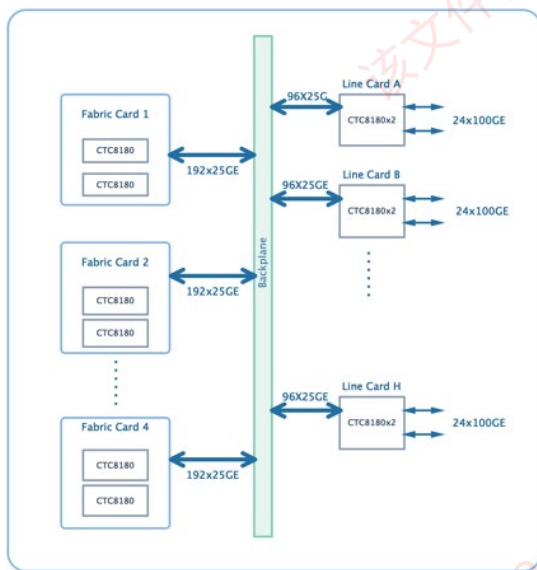


图1-4 园区网机架交换机框图

1.3 端口模式

CTC8180 集成了 96 根高速 SerDes，其中 64 根可配置工作在 56G PAM4 模式。其 SerDes 的设计满足多个标准：1000BASE-X/SGMII/QSGMII/XFI/25G/50G/100G/200G/400G 等。

CTC8180 可以灵活配置为不同的工作模式，典型配置如下：

- 48x25G + 8x100G
- 16x25G/40x10G + 8x10G + 32x25G FLEXE
- 16x100G-CR4 + 16x100G -CR2 (PAM4)

CTC8180 还额外提供 4 根 25GSerDes 出 CPUMAC 口，可以外接 CPU 或者多核处理器做额外的协议面的处理。

CTC8180 支持 4x PCIE 3.0 Lane，用于和外置 CPU 交互。

CTC8180 的结构框图如下所示：

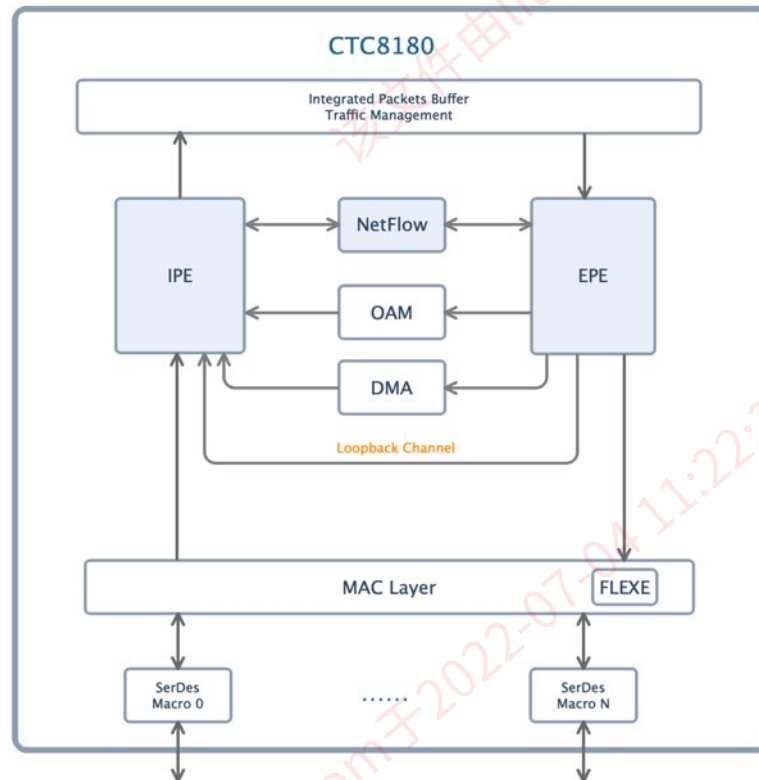


图1-5 CTC8180 结构框图

1.4 主要特性

CTC8180 主要特性包括：

- 内置 36MB 报文缓存，自调整阈值，更有效的利用效率；
- 基于 4-lane 高速 SerDes 的 PCIE3.0 接口；
- 片上 OAM Engine，支持 Ethernet/BFD/MPLS-TP OAM/TWAMP/OWAMP 等；
- XPIPE2.0 提供确定性低时延；
- 支持 SR v6/MPLS SR，iOAM；
- 支持 FLEXE 2.1 协议，FLEXE 支持 50G/100G/200G/400G PHY 速率。除此之外，还支持中移动 SPN 所要求的 FLEXE 扩展协议，FLEXE OAM/APS，Layer1 交叉等；
- 支持高精度的 IEEE1588 协议，精度可达 $\pm 2\text{ns}$ ；
- 支持高达 5 级的 HQoS 功能；

2 芯片 SerDes 综述

2.1 SerDes 概述

CTC8180 内部集成了 96+4 根高速 SerDes，96 根 SerDes 仅可以用于 Network 口，每一根 lane 都支持 PAM4 模式或者 NRZ 模式，由于芯片转发性能限制，最多 64 根可以同时配置在 56G PAM4 模式下。为了配置方便，CTC8180 在集成 SerDes 的时候将这 96 根 SerDes 分成 12 组 Macro：HS0[0,1,2,3]，HS1[0,1,2,3]，CS0[0,1]，CS1[0,1]。

4 根可以用于 CPUMAC 用于外接 CPU 的以太网口或者 FPGA 做额外的报文传输。当工作在 CPUMAC 模式下，传输的报文可以通过额外叠加 CPU Hdr 来携带一些内部信息供软件处理。此外，这 4 根 SerDes 亦可以当作普通以太网口使用。

96 根做以太网端口的 SerDes 中，64 根支持 SerDes 支持 PAM4 模式，可以支持出 Single-lane 50G/ Dual-Lane 100G/4-Lane 200G/8-Lane 400G。同时还向下兼容 1G/10G/25G/50G (Dual-Lane) /100G (Quad-Lane)。此外，为了满足 5G 承载运营商的需求，32 根 CS0 和 CS1 的 SerDes 亦可提供 FLEXE Interface。

编号为 HS0[0,1,2,3]，HS1[0,1,2,3]可以提供 1G (SGMII) /10G(XFI)/25G/40G/50G/100G 的端口能力,其中 HS0[0,2]，HS1[0,2]也支持 QSGMII。与 Centec 以往芯片不同的是，这 96 根 SerDes 每一根都集成了单独的 PLL 设计，在动态切换的时候可以基于单条 Lane 进行操作，从而更加灵活的支持多种速率的灵活切换，不再像 CTC7132 上的一个 HSS Macro 只能有 1 个或 3 个 PLL 的限制，动态切换也可以基于单根 Lane 的端口进行单独切换而无需担心时钟分频不出来的限制。

芯片提供了 TX/RX 线序交换功能，在一组 SerDes 8 根里可以任意线序交换，但是 TX 和 RX 的线序交换顺序必须保持一致。

CTC8180 SerDes 结构框图如下所示：

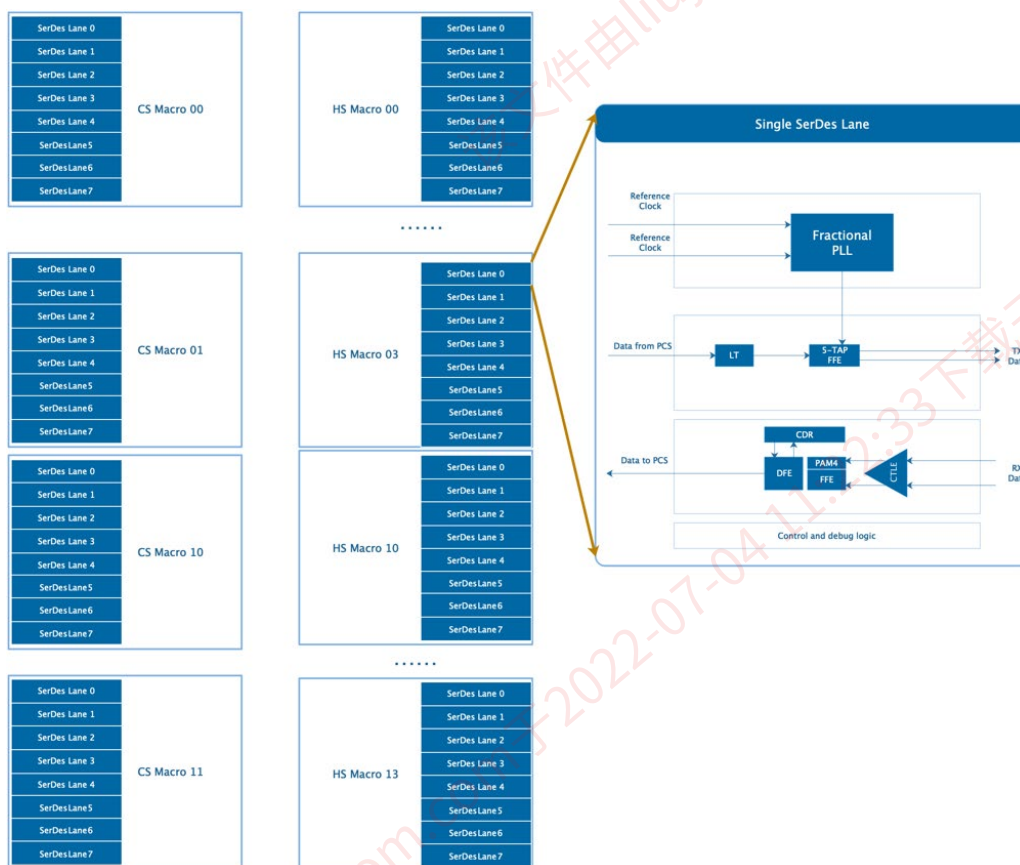


图2-1 CTC8180 SerDes 结构框图

这 96 根 SerDes 满足以下国际标准：

- 10Gbps Ethernet application that include IEEE 802.3ap KX and 10G-KR Ethernet over backplane;
- 10Gbps Ethernet application that include IEEE 802.3ap KX and 10G-KR Ethernet Energy Efficient Ethernet;
- 10Gbps Small Form Factor Module, XFP and XFI;
- Enhanced 8.5 and 10 Gigabit Small Form Factor Pluggable Module “XFP+”, SFF-8431;
- 1Gbps Ethernet Applications that include SGMII, IEEE802.3z 1000BASE-SX/LX;
- 25Gbps and 50Gbps Ethernet application;
- 40Gbps and 100Gbps Ethernet applications that include IEEE802.3ba XLPI/CPPI/XLAUI/CAUI-4, CR4, KR4;
- 100Gbps Ethernet application based on PAM4 mode of which the lane rate is 2x 53.125Gbd include IEEE802.3cd 100GBASE CR2/KR2
- 200Gbps Ethernet application based on PAM4 mode, include IEEE 802.3bs 200GBASE-DR4/FR4/LR4 and 200GAUI-4, IEEE802.3cd 200GBASE-CR4 and 200GBASE-KR4 Ethernet over backplane
- 400Gbps Ethernet application include IEEE802.3bs 400GBASE-FR8/LR8 and 400GAUI-8
- OIF-CEI-02.0 and proposed CEI-3.0 including 6G-SR, 11G-SR, 11G-LR, 25G-LR, 28G-SR, and 28G-VSR;

- OIF-CEI4.0 56G-MR/LR-PAM4
- Auto-negotiation
 - IEEE 802.3 Clause 73
 - 25G/50G Ethernet Consortium Specification
- Link Training
 - IEEE 802.3 Clause 72, 84/85, 92/93, 110/111, 136/137
 - 25G/50G Ethernet Consortium Specification

HS 和 CS 两种 SerDes 的 Macro 的差别如下：

- 只有 HS Macro 可以支持 QSGMII 协议；
- 只有 CS Macro 可以支持 200G/400G 以及 FLEXE Interface

2.2 SerDes TX/RX 均衡

SerDes 的 TX 端集成了 5-TAP 的 FFE 用于 TX 方向的信号预加重。其 5 个 TAP 系数分别为 C_{-2} , C_{-1} , C_0 , C_1 , C_2 , 特征方程如下：

$$X(k) = C_{-2} a(k+2) + C_{-1} a(k+1) + C_0 a(k) + C_1 a(k-1) + C_2 a(k-2)$$

各阶系数的配置可以通过手动配置或者通过 Link-Training 的方式得到。

SerDes 的 RX 方向，在 NRZ 模式下，CTC8180 SerDes 通过 CTLE 和 DFE 实现信号 RX 的均衡。这一调节过程通过内部运行的 FW 自动调节，无需用户手动配置。在 PAM4 模式下，RX 均衡电路由 CTLE, FFE 和 DFE 组成，同样，所有的参数都由内部的 FW 自动调节，无需客户手动配置。在链路建立一瞬间，在 CDR 锁定之前，系统会经过一次 RX 的自动 tuning，如果希望重新建链，则需要重新做一次 SerDes 相应 Lane 的 Logic Reset。

3 端口功能介绍

3.1 端口功能介绍

CTC8180 的端口框图如下：

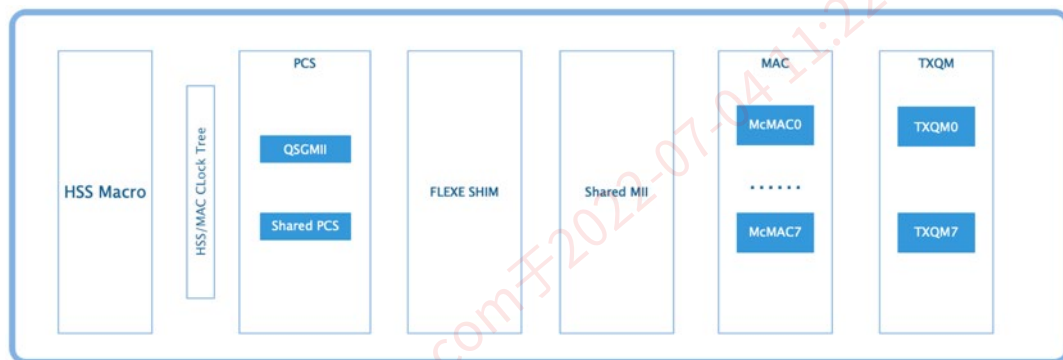


图3-1 CTC8180 端口示意图

其中每个部分功能介绍如下：

- HSS Macro
 - 完成数据串并转换，并完成发送、接收数据
 - 端口自协商和 Link-Training，完成速率协商和 FFE 参数协商
 - 发送 PRBS 帧
- PCS
 - 包含 QSGMII/SGMII/XFI/25G/40G/50G/100G/200G/400G 等
 - 包括 RS-FEC 和 FC-FEC
 - 实现不同接口的 PCS 协议，并产生相应的 Link Status，CodeErr 等状态
- Shared MII
 - 实现 MAC 数据和 PCS 接口间的数据转换
 - IPG，Preamble 相关的处理
 - QSGMII 中的 10M/100M 复制功能
- MAC
 - 主要实现 802.3 协议里的 MAC 相关的功能
 - 与之前的芯片不一样，CTC8180 重新设计了 McMAC (Multi Channel MAC) 可以灵活映射端口上的 MAC ID 个数，每个 McMAC 最多支持 40 个 MACID

- TXQM
 - 多端口的 MAC 流量的汇聚
 - 和交换芯片内部 Datapath 交互

3.2 端口应用关键概念：

- Chan ID :
Datapath 中的 Channel 概念，内部 Packet Process, Traffic management 都会使用到 channel 的概念
- MAC ID :
每个 PCS 内部对应的 MAC 的 ID，每个 PCS 内部有 40 个 MAC，对应为 0~39
- PCS ID
PCS 的 ID，HS 有 0~15 个 PCS，CS 有 0~7 个 PCS
- Index ID/Group ID
 - 逻辑 SerDes ID 的概念，对应于 SerDes ID 的 Lane Swap 功能
 - 每 8 条 SerDes 可以划分为两个 Group，每个 Group 包含 4 个 SerDes Index，除了 400G 8-Lane 之外，每一个端口/PCS 对应的 Lane ID，必须分配在同一个 Group 内

表3-1 Index 和物理 SerDes Lane 的 mapping 关系

Group	Index	端口模式	SerDes Macro	SerDes ID
0	0	100GR4	HS00	4
	1	100GR4		0
	2	100GR4		6
	3	100GR4		5
1	0	XFI		2
	1	NA		NA
	2	50GR1		1
	3	SGMII		7

3.3 CTC8180 端口介绍

CTC8180 支持的端口工作模式以及 FEC 多项式如下：

表3-2 CTC8180 支持的端口工作模式

端口速率	Interface Type	Physical Planes	FEC Mode	Signaling Mode	SerDes Lane Bit Rate
400G	400GAUI-8 (C2C, C2M) 400GBASE-KR8/CR8	8	RS(544,514) RS(272,257)	26.5625G PAM4	53.125G
200G	200GAUI-4 (C2C, C2M) 200GBASE-KR4/CR4	4	RS(544,514) RS(272,257)	26.5625G PAM4	53.125G
100G	100GBASE-KR4/CR4 CAUI-4	4	RS(544,514)	26.5625G NRZ	26.5625G
		4	RS(528,514)	25.78125G NRZ	25.78125G
		4	None	25.78125G NRZ	25.78125G
	100GBASE-KR2/CR2 CAUI-2	2	RS(544,514)	26.5625G PAM4	53.125G
		2	RS(272,257)	26.5625G PAM4	53.125G
		2	RS(528,514)	25.78125G PAM4	51.5625G
		2	None	25.78125G PAM4	51.5625G
50G	50GBASE-KR2/CR2	2	RS(544,514)	26.5625G NRZ	26.5625G
		2	RS(528,514)	25.78125G NRZ	25.78125G
		2	None	25.78125G NRZ	25.78125G
	50GBASE-KR/CR	1	RS(544,514)	26.5625G PAM4	53.125G
		1	RS(272,257)	26.5625G PAM4	53.125G
		1	RS(528,514)	25.78125G PAM4	51.5625G
		1	None	25.78125G PAM4	51.5625G
40G	40GBASE-KR4/CR4, XLAUI	4	FC(2112,2080)	10.3125G NRZ	10.3125G
		4	None	10.3125G NRZ	10.3125G
25G	25GBASE-KR/CR, 25GAUI	1	RS(528,514) (暂未支持)	25.78125G NRZ	25.78125G
		1	FC(2112,2080)	25.78125G NRZ	25.78125G
		1	None	25.78125G NRZ	25.78125G

端口速率	Interface Type	Physical Planes	FEC Mode	Signaling Mode	SerDes Lane Bit Rate
10G	10GBASE-KR/CR, XFI	1	FC(2112,2080)	10.3125G NRZ	10.3125G
		1	None	10.3125G NRZ	10.3125G
2.5G	2500BASE-X	1	N/A	3.125G NRZ	3.125G
1G	1000BASE-X	1	N/A	1.25G NRZ	1.25G
10M/100M/1000M	SGMII	1	N/A	1.25G NRZ	1.25G
10M/100M/1000M	QSGMII	1	N/A	5G NRZ	5G

在 Stacking/MUX-DEMUX 应用中，为了传输额外的信息，有可能会希望芯片支持砍 IPG/Preamble 的特性。在 CTC8180 中，芯片支持砍 IPG4 个 Byte 的功能。

超频能力：CTC8180 提供超频能力上限为：

- XFI 模式下：11.40675G（和 CTC8096 对接），12.5G
- 25G 模式下：28.125G
- 50G Single-Lane 模式下：56.25G

3.4 FLEXE 简介

3.4.1 概述

FLEXE 通过绑定一路或者多路 IEEE802.3 标准定义的 50G\100G\200G\400G 以太网接口，并在此基础上以 66 编码块为基本单元进行通道化处理来支持多路灵活速率灵活以太网（FLEXE）客户的 MAC 技术。每个通道的速率既可以与现有 IEEE802.3 标准定义的以太网接口速率相对应，也可以提供多种不对应的灵活速率。

3.4.2 FLEXE 能力说明

端口能力

- 支持 OIF FlexE2.1 标准
- 支持最高 800G（400Gx2）的 FlexE 能力集
- 每个 400G FlexE 能力集中最多支持 8 个 FlexE Group
- 支持 5G 或者 5G 整数倍的 client 粒度
- 每个 400G FlexE 能力集最多支持 60 个 Client，每个 FlexE PHY 最多支持 40 个 Client（400G 除外）
- 每个 400G FlexE PHY 支持的 Client 取决于相邻的 CS SerDes 是否使能。如果相邻的 CS SerDes 使能了 Ethernet 口，则该 400G FlexE PHY 支持 30 个 Client。

特性能力

对标中移动 SPN 的集采需求，CTC8180 提供如下特性：

- FlexE Layer1 Cross Connect：交换芯片支持跨 FlexE Group 的灵活 FlexE L1 Cross Connect，并支持转发模式与 Layer1 交叉模式灵活配置，在 Layer1 交叉模式下可以保证 FlexE 的确定性低时延转发。
- FlexE Client 带宽动态切换：芯片支持通过 Overhead 的 C bit 识别当前选取的 Calendar 信息，支持 Calendar A/B 切换的 Request/Acknowledge 信息。
- FlexE 功能承载：支持 FlexE Idle 承载 OAM，支持 FlexE Overhead 承载 PTP。

更多详细功能请参考 CTC8180 Programming Guide FlexE 章节。

4 端口/SerDes 限制

4.1 带宽相关的限制

CTC8180 设计支持三种不同的时钟主频：500MHz，800MHz 和 1.05GHz。不同带宽下的不同包长转发性能如下表所示。

表4-1 不同时钟主频的转发性能

	500MHz	800MHz	1.05GHz
64B	320G	500G	680G
128B	520G	880G	1.1T
256B	1T	1.6T	2.2T



说明

为了保证转发性能最大化，请尽量保证 SerDes HS0[0,1,2,3]/ CS0[0,1]和 HS1[0,1,2,3]/ CS1[0,1]流量均分。

4.2 PAM4 的 Index 配置限制

PAM4 模式下，HS SerDes 出 50G R1 时只能配置在 Index 0/2，CS SerDes 没有限制可以出在 Index 0/1/2/3。

4.3 FLEXE 限制

- 如果需要 4x25G 为一张子卡进行 4x25G Ethernet 口和 100G 或 2x50G 的 FLEXE 卡动态切换的时候，一张子卡需要占用 8x25GE 的 SerDes，另外 4 根 SerDes 属于浪费的。其原因是，CS00（或 CS01、或 CS10、或 CS11）的 8 根 SerDes 如果出 FlexE 接口则必须全部出 FlexE 接口。CS00（或 CS01、或 CS10、或 CS11）的 8 根 SerDes 只支持要么全部配置为 FLEXE 模式，要么全部配置成 Ethernet Port 模式。
- 如果 CS00 和 CS01 共 16 根 SerDes 都使能 FlexE，则最多可以支持 60 个 client。

- 如果只有 CS00 和 CS01，只有一组使能 FlexE，另外一组当作 Ethernet Port 使用，则最多可以支持 40 个 client。这种场景下的 FlexE client 数量和带宽规划，请联系 FAE。
- 如果 CS10 和 CS11 共 16 根 SerDes 都使能 FlexE，则最多可以支持 60 个 client。
- 如果只有 CS10 和 CS11，只有一组使能 FlexE，另外一组当作 Ethernet Port 使用，则最多可以支持 40 个 client。这种场景下的 FlexE client 数量和带宽规划，请联系 FAE。

4.4 基本端口限制

- Core PLL 1.05GHz，每个 HS Group 中 4 条 SerDes 总带宽不能超过 100G；同理，每个 HS Macro 总带宽不能超过 200G；
- Core PLL 800M/500MHz，每个 HS Macro 中的 8 条 SerDes 总带宽不能超过 100G；
- Core PLL 800M/500MHz，每个 CS Group（Group8~11, 20~23）总带宽不超过 100G；
- Core PLL 800M/500MHz，不支持出 200G 和 400G 端口；
- Core PLL 500MHz，不支持出 SGMII2.5G 端口；
- Core PLL 500MHz，不支持 PAM4；
- Core PLL 500MHz，不支持 FlexE 接口；
- Core PLL 500MHz，25G 端口不支持 BASE-R FEC；
- CpuMac 的 SerDes 只支持 NRZ 模式；
- CpuMac 不支持 PTP/SyncE 以及 MACSEC 功能功能；
- CPUMAC 不支持 Cut-Through 功能
- 最小报文长度：接收方向：如果存在<10Bytes 的超短报文时，只能支持 64byte 以上的报文的正确接收。如果全部是不低于 32Byte 的报文，都可以正常接收。发送方向：支持最小发送包长为 37Byte

5 Debug 指导

5.1 SerDes CLI

5.1.1 SDK 环境

PRBS 相关

(1) 使能 PRBS

```
Chip serdes SERDES-ID prbs tx(enable|disable) mode PATTERN
```

PAM4 支持 PRBS9x, PRBS13x, PRBS15x, PRBS31x

NRZ 支持 PRBS9, PRBS15, PRBS23, PRBS31

(2) RX 端配置 PRBS check

```
Chip serdes SERDES-ID prbs rx mode PATTERN
```

该命令 check 时间为 1s

(3) 配置 TX 均衡 FFE 参数：

```
Chip serdes SERDES-ID ffe mode user-define c0 VALUE c1 VALUE c2 VALUE c3 VALUE c4  
VALUE
```

FFE 的配置范围为-40 ~ 62。TX Amplitude 由 main cursor 来控制，输出最大为 1.0V，步长为 30mv。



说明

- 用户的配置值与实际值之间的关系为：配置值=实际值*2
- C0/C1: pre cursor; C2: main cursor; C3/C4: post cursor
- pre cursor 主要通过调整 C1 来实现，post cursor 主要通过调整 C3 来实现
- 配置限制

Main cursor (C2) 只支持偶数

$$|c0| + |c1| + |c3| + |c4| < |c2|$$
$$|c0| + |c1| + |c2| + |c3| + |c4| \leq 62$$

- 获取 FFE 参数:

```
show chip serdes SERDES-ID ffe user-define|3ap (强制 | 自协商)
```

(4) 环回配置

- 外环：

```
chip serdes SERDES-ID loopback external (enable | disable)
```

- 内环：

```
chip serdes SERDES-ID loopback internal (enable | disable)
```

注：CTC8180 内环实际上是工作在 PCS 层，SerDes 不支持内环

(5) Optical-mode

CTC8180de SerDes RX 均衡分为光模块和非光模块，默认是非光模块模式：

```
chip serdes SERDES-ID optical-mode (enable | disable)
```

(6) PN 极性

- 配置 PN 极性：

```
chip serdes SERDES-ID poly (reverse | normal) dir (tx|rx)
```

- 获取 PN 极性：

```
show chip serdes SERDES-ID polarity
```

(7) 获取 SerDes CTLE 值

```
show chip serdes SERDES-ID ctle
```

5.1.2 DKITS 环境内的 debug 命令

SerDes 内部寄存器读写

- 读 SerDes 内部寄存器

```
Serdes SERDES-ID read all ADDR-OFFSET
```

- 写 SerDes 内部寄存器

```
Serdes SERDES-ID write all ADDR-OFFSET value
```

获取 serdes 状态

```
serdes SERDES-ID status
```

获取状态包括：signal detect，CDR 是否 Lock，模式（NRZ or PAM4），Data Rate 等。

PRBS

(1) TX 使能

```
Serdes SERDES-ID prbs PATTERN (enable|disable)
```

(2) RX check

- RX 方向检查某种 pattern PRBS

将 PRBS Error 清掉后，按照某种 PATTERN check PRBS，延迟 1000ms 后，读取 Error cnt

```
serdes SERDES-ID prbs PATTERN check
```

- 将 PRBS Error 清掉后，按照某种 PATTERN check PRBS，延迟 TIME ms 后读取 Error Cnt

Serdes SERDES-ID prbs PATTERN check delay TIME

- Keep 方式：不清掉 PRBS Error，RX 方向持续做 PRBS check

serdes SERDES-ID prbs PATTERN check keep



说明

- NRZ 模式下显示 PRBS Error Cnt
- PAM4 模式下显示 BER

信号完整性信息获取

(1) 获取眼高

serdes SERDES-ID eye width times TIMES

眼高值参考：对于 PAM4，能到 170mv 以上

对于 NRZ， 350mv@25G;

(2) Dump 信息

- Dump 到屏幕

serdes SERDES-ID dump

serdes SERDES-ID dump detail

- Dump 到文件

serdes SERDES-ID dump detail file FILENAME

(3) 获取 ISI 的状态

ISI 状态反映了芯片内部，硬件 PCB 走线的整个传输线的信号质量。理想情况下，ISI 的值应该是阶数越小的系数越大，越往后拖尾的系数，希望是正负相间的。ISI 的值越趋近于 0 越好，绝对值小于 30 都属于正常。

serdes SERDES-ID isi dump

(4) 获取 delta-ph 的状态

Delta Phase 代表眼图最高点和恢复时钟采样点之间的相位偏差，代表了眼图是否有偏移。这个值越小越好，一般在正负 15 以内，都不会对 BER 有影响。

serdes SERDES-ID delta-ph dump

(5) 获取 ISI 的状态

serdes SERDES-ID bathtub dump depth DEPTH

5.2 端口 debug 指南

5.2.1 端口分布图以及相关的 debug 寄存器



ctcxs_id为读写表时的inst

图5-1 SerDe ID 映射关系

相关的端口 debug 流程以及寄存器如下：



图5-2 端口问题 debug 流程

相关 Debug 寄存器描述：

步骤 1 查看 serdes 状态

通过读以下寄存器可以查看 serdes 的状态，其中 SigDetect 的值为 1 代表 serdes 上可以接收到信号，反之表示 serdes 上接收不到信号；PhyReady 的值为 1 代表 serdes 状态已经 ready，反之代表 serdes 状态异常。HS、CS、CpuMac 中的表项分别如下：

- HS :
 - HssOctal0Mon.monHssOctal0_0...7_monHssSigDetect
 - HssOctal1Mon.monHssOctal1_0...7_monHssSigDetect
 - HssOctal0Mon.monHssOctal0_0...7_monHssPhyReady
 - HssOctal1Mon.monHssOctal1_0...7_monHssPhyReady
- CS :
 - HssOctalMon.monHssOctal_0...7_monHssSigDetect
 - HssOctalMon.monHssOctal_0...7_monHssPhyReady
- CpuMac :

- CpuMacHssQuadMon.monHssQuad_0...3_monHssSigDetect
- CpuMacHssQuadMon.monHssQuad_0...3_monHssPhyReady

命令示例：

```
read HssOctal0Mon 0 inst <0..3>
```

说明：

HssOctal0Mon 的 inst 0/1/2/3 的寄存器分别对应 Macro HS00/HS02/HS10/HS12 的 8 条 SerDes；

HssOctal1Mon 的 inst 0/1/2/3 的寄存器分别对应 Macro HS01/HS03/HS11/HS13 的 8 条 SerDes；

HssOctalMon 的 inst 0/1/2/3 的寄存器分别对应 Macro CS00/CS01/CS10/CS11 的 8 条 SerDes；

步骤 2 查看 Pcs Lock 状态

通过读以下寄存器，可以查看 Pcs 上的 Lock 状态,不同速率模式下的 lock 状态如下表，读出其值状态为 1 代表正常 lock，为 0 说明 lock 失败。

表5-1 PCS LOCK 状态寄存器

Mode	10GNone 25GNone	10GFc2112 25GFc2112	40GNone 50GNone 100GNone	40GFc2112	25GRsFec/ 50GRsFec 100GRsFec/ 200GRsFec 400GRsFec
XgFecRxBlockLock	N/A	1	N/A	1	N/A
RxCwmLock	N/A	N/A	N/A	N/A	1
RxBlockLock	1	1	1	1	N/A
RxAmLock	N/A	N/A	1	1	N/A

- HS：

- McPcsX16LanesRxABlockLockMon.monRxBlockLockLane_0...7_monXgFecRxBlockLock
- McPcsX16LanesRxBBlockLockMon.monRxBlockLockLane_0...7_monXgFecRxBlockLock
- McPcsX16LanesRxCwmLockMon.monRxCwmLockLane_0...7_monRxCwmLock
- McPcsX16LanesRxBcwmLockMon.monRxCwmLockLane_0...7_monRxCwmLock
- McPcsX16LanesRxABlockLockMon.monRxBlockLockLane_0...7_monRxBlockLock
- McPcsX16LanesRxBBlockLockMon.monRxBlockLockLane_0...7_monRxBlockLock
- McPcsX16LanesRxAAmLockMon.monRxAmLockLane_0...7_monRxAmLock
- McPcsX16LanesRxBAmLockMon.monRxAmLockLane_0...7_monRxAmLock

- CS：

- McPcsX8LanesRxBlockLockMon.monRxBlockLockLane_0...7_monRxBlockLock
- McPcsX8LanesRxAmLockMon.monRxAmLockLane_0...7_monRxAmLock
- McPcsX8LanesRxCwmLockMon.monRxCwmLockLane_0...7_monRxCwmLock
- McPcsX8LanesRxBlockLockMon.monRxBlockLockLane_0...7_monXgFecRxBlockLock
- CpuMac :
 - SharedPcsCgStatus.RxBlockLock0...19 (对应 100G 应用)
 - SharedPcsCgStatus.cgRxAmLockLane0...19 (对应 100G 应用)
 - SharedPcsLgStatus.lgPcs1RxAmLock0...3 (对应 40G/50G 应用)
 - SharedPcsLgStatus.lgPcs1RxBlockLock0...3 (对应 40G/50G 应用)
 - SharedPcsXfi0...3Status.rxBlockLock0...3 (对应 10G/25G 应用)
- 命令示例 :
 - `read McPcsX16LanesRxABlockLockMon 0 inst <0..3>`
 - 说明 :
 - McPcsX16LanesRxA...的 inst 0/1/2/3 的寄存器分别对应 Macro HS00/HS02/HS10/HS12 的 8 个 Index ;
 - McPcsX16LanesRxB...的 inst 0/1/2/3 的寄存器分别对应 Macro HS01/HS03/HS11/HS13 的 8 个 Index ;
 - McPcsX8LanesRx...的 inst0/1/2/3 的寄存器分别对应 Macro CS00/CS01/CS10/CS11 的 8 个 Index ;



说明

- Pcs/Fec 相关命令对应 Index, 参考表 3-1
- Mac 相关命令对应 MacId
- Index、Mac 和 SerDes 的关系可以通过 `show datapath info serdes` 得到

步骤 3 查看 PCS 中 RxSyncStatus 状态

通过读以下寄存器查看 Pcs 是否 up 的状态, 其值为 1 的时候, 代表 Pcs 已经 up, 其值为 0 的时候, 表示 Pcs 没有 up。

(1) Sgmii

- HS:
McPcsX16LanesSgmiiMon.monSgmii_0...15_sgmiiSyncStatus
 - CS:
McPcsX8LanesSgmiiMon.monSgmii_0...7_sgmiiSyncStatus
 - CpuMac:
SharedPcsSgmii0...3Status.sgmiiSyncStatus0...3
- (2) Qsgmii
- HS:
McPcsX16LanesQsgmiiMon.monQsgmiiSgmii_0...7_sgmiiSyncStatus
- (3) 其他速率
- HS :
McPcsX16LanesRxChanMon.monRxStatusChan_0...15_monRxSyncStatus
 - CS :
McPcsX8LanesRxChanMon.monRxStatusChan_0...7_monRxSyncStatus
 - CpuMac :
SharedPcsCgStatus.cgPcsAlignStatus
SharedPcsLgStatus.lgPcs1AlignStatus
SharedPcsXfi0...3Status.xfiSyncStatus0...3
- 命令示例 :
 - read McPcsX16LanesSgmiiMon 0 inst <0..3>
 - 说明 :
 - McPcsX16Lanes...的 inst 0/1/2/3 的寄存器分别对应 Macro (HS00,HS01)/(HS02,HS03)/(HS10,HS11)/(HS12,HS13)的 16 个 Index ;
 - McPcsX8Lanes...的 inst0/1/2/3 的寄存器分别对应 Macro CS00/CS01/CS10/CS11 的 8 个 Index

步骤 4 如果是 FEC 模式，看有无不可纠的 block。

读下面的寄存器查看是否有不可纠/已纠正的 block 计数，这些默认是开启读清的，在端口 link up 之后，这些表项是不应该有统计的。

- HS :
McPcsX16LanesMcFecMon.monFecChanErrCnt_0...15_monUncoBlkCnt
McPcsX16LanesMcFecMon.monFecChanErrCnt_0...15_monCorrBlkCnt
- CS :
McPcsX8LanesMcFecMon.monFecChanErrCnt_0...7_monUncoBlkCnt
McPcsX8LanesMcFecMon.monFecChanErrCnt_0...7_monCorrBlkCnt

- CpuMac:
SharedPcsXgFecMon.dbgXgFec0...3UncoBlkCnt
SharedPcsXgFecMon.dbgXgFec0...3CorrBlkCnt

- 命令示例：
- `read McPcsX16LanesMcFecMon 0 inst <0..3>`
- 说明：
- McPcsX16Lanes...的 inst 0/1/2/3 的寄存器分别对应 Macro (HS00,HS01)/(HS02,HS03)/(HS10,HS11)/(HS12,HS13)的 Index；
- McPcsX8Lanes...的 inst0/1/2/3 的寄存器分别对应 Macro CS00/CS01/CS10/CS11 的 Index

步骤 5 看 Mac 中是否有 hiber 或者 Error Block

读下面的寄存器，在端口 link up 之后，如果 hiber 为 1 或者 Error Block 有统计，说明链路状态异常。

- HS/CS:
McMacPcsDebugStats.dbgMcMacPcs_0...39_dbgPcsRxErrBlockCnt
McMacPcsDebugStats.dbgMcMacPcs_0...39_dbgPcsRxHiBer
- CpuMac:
SharedPcsXfi0...3Status.hiBer0...3
SharedPcsXfi0...3Status.errBlockCnt0...3
- 命令示例：
- `read McMacPcsDebugStats 0 inst <0..7>`
- 说明：
- 对应 MacId, MacId=inst*40+dbgMcMacPcs_0..39

步骤 6 查看 Mac 中的 RxLinkStatus 得到状态

读下面的表，查看 Mac 是否 link up，值为 1 表明 Mac 是 link up，值为 0，表示没有 link up。LinkStatus 和 LinkStatusRaw 的区别是，在有 fault 的情况下，LinkStatus 是不会为 1 的，而 LinkStatusRawd 的状态是不关心有没有 fault。

- Hs/Cs:
McMacMiiRxDebugStats.dbgMcMacMiiRx_0...39_dbgMiiRxLinkStatus
McMacMiiRxDebugStats.dbgMcMacMiiRx_0...39_dbgMiiRxLinkStatusRaw
- CpuMac:
SharedMii0...3Status.dbgMiiRxLinkStatus0...3
SharedMii0...3Status.dbgMiiRxLinkStatusRaw0...3
- 命令示例：
- `read McMacMiiRxDebugStats 0 inst <0..7>`

- 说明：
- 对应 MacId, $\text{MacId} = \text{inst} * 40 + \text{dbgMcMacMiiRx_0..39}$

6 推荐 FFE 参数值

6.1 DAC 或 KR

6.1.1 NRZ 编码

表6-1 NRZ 编码 FFE 推荐参数

序号	C0	C1	C2	C3	C4	插损值
1	0	- 4	58	0	0	0 ~ 5dB
2	0	- 6	56	0	0	5 ~ 10dB
3	0	- 8	54	0	0	10 ~ 15dB
4	0	- 10	52	0	0	15 ~ 20dB
5	0	- 12	50	0	0	20 ~ 25dB
6	0	- 14	48	0	0	25 ~ 30dB
7	0	- 14	48	0	0	30 ~ 35dB

6.1.2 PAM4

表6-2 PAM4 编码 FFE 推荐参数

序号	C0	C1	C2	C3	C4	插损值
1	0	- 6	50	0	0	0 ~ 5dB
2	0	- 8	50	0	0	5 ~ 10dB
3	0	- 10	50	0	0	10 ~ 15dB
4	0	- 12	48	0	0	15 ~ 20dB
5	0	- 14	46	0	0	20 ~ 25dB
6	0	- 14	44	0	0	25 ~ 30dB
7	0	- 14	42	0	0	30 ~ 35dB

6.2 光模块

此处所列的光模块参数是基于示波器的测试套件测试数据，仅考虑了板材可走线长度，供用户参考：

56G_PAM4 端口

TBD

25G NRZ

1. M6 板材:

- 0-3inch : 0, 0, 36, -2, -2 ;
- 3-6inch : 0, 0, 40, -8, -2 ;
- 6-9inch : 0, 0, 44, -12, -2 ;

2. M4 板材:

- 0-3inch : 0, 0, 36, -6, -2 ;
- 3-6inch : 0, 0, 40, -10, -2 ;
- 6-9inch : 0, 0, 44, -14, -1 ;

3. FR4 板材:

- 0-3inch : 0, 0, 42, -6, 0 ;
- 3-6inch : 0, 0, 46, -11, 0 ;
- 6-9inch : 0, 0, 46, -15, 0 ;