



**盛科 CTC8180**

## **部分管脚电平超标问题说明**

版本 V1.0

日期 2021-08-31

版权所有 © 苏州盛科通信股份有限公司。保留一切权利。

未经苏州盛科通信股份有限公司书面许可，任何单位和个人不得擅自摘抄、复制本文档内容的部分或全部，并不得以任何形式和任何方法传播。



盛科商标，服务标志和其他盛科标志均为苏州盛科通信股份有限公司拥有商标。盛科交换机系列产品和芯片系列产品的标志均为苏州盛科通信股份有限公司商标或注册商标。未经盛科书面授权，不允许使用这些标志。

本文档提及的其他所有商标和商业名称，由各自的所有人拥有。

## 注意

您购买的产品、服务或特性等应受盛科通信商业合同和条款的约束，本文档中描述的全部或部分产品、服务或特性可能不在您的购买或使用范围之内。除非合同另有约定，本公司对本文档内容不做任何明示或默示的声明或保证。

由于产品版本升级或其他原因，本文档内容会不定期进行更新。除非另有约定，本文档仅作为使用指导，本文档中的所有陈述、信息和建议不构成任何明示或暗示的担保。

## 苏州盛科通信股份有限公司

地址 江苏省苏州市工业园区星汉街 5 号（腾飞新苏工业坊）B 幢 4 楼 13/16 单元

电话 86-512-62885358

传真 86-512-62885870

网址 <http://www.centecnetworks.com>

邮箱 [support@centecnetworks.com](mailto:support@centecnetworks.com)

---

## 内容目录

---

|                                  |   |
|----------------------------------|---|
| 1 问题描述.....                      | 2 |
| 1.1 问题描述 .....                   | 2 |
| 2 MDIO Vmax 超标原因分析.....          | 3 |
| 3 STRAP[1:0] Vmax 超标原因分析.....    | 4 |
| 4 QSPI_CS[1:0] Vmax 超标原因分析 ..... | 5 |

# 1 问题描述

## 1.1 问题描述

|        |   |
|--------|---|
| 芯片     | CTC8180   |
| SDK 版本 | N/A   |
| 问题描述   | <p>在芯片 CTC8180 的 IO 管脚测量中，发现如下问题：</p> <p>1. MDIO_A[1:0]、MDIO_B[1:0]、MDIO_C[1:0]、MDIO_D[1:0]的 <math>V_{max}</math> 超过 3.465V</p> <p>2. STRAP0、STRAP1 的 <math>V_{max}</math> 超过 3.465V</p> <p>3. QSPI 中 CS0/1 的 <math>V_{max}</math> 超过 3.465V</p> <p>以上 IO 长时间使用在电压超标的环境下，存在 IO 管脚损坏的风险。</p> |

## 2 MDIO $V_{max}$ 超标原因分析

### 现象说明

CTC8180 MDIO\_A[1:0]、MDIO\_B[1:0]、MDIO\_C[1:0]、MDIO\_D[1:0] (以下统称 MDIO) 使用 3.3V 上拉, 芯片初始化到正常工作 MDIO 管脚叠加时钟波形,  $V_{max}$  超过 3.465V。

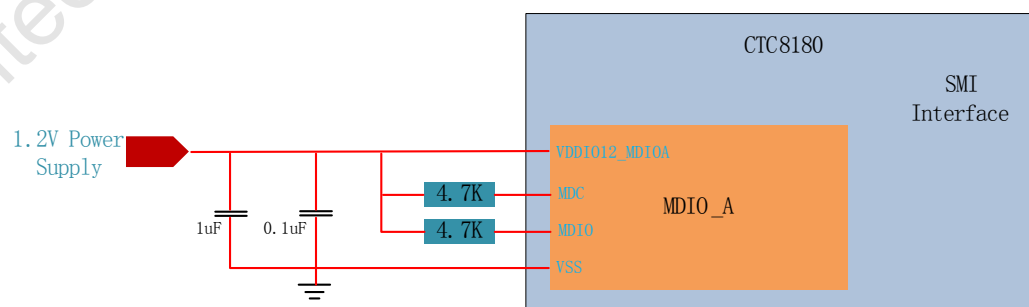
### 原因说明

芯片内部 MDC 信号串扰到同组 MDIO 信号上, 导致 MDIO 上叠加与 MDC 同频的波形。

### 规避方案

- 如果不使用 MDC 和 MDIO, MDC/MDIO 管脚 NC。VDDIO3312\_MDIOA/B/C/D 不供电。
- 如果使用 MDC 和 MDIO, MDC 和 MDIO 只能使用 1.2V 上拉。  
**VDDIO3312\_MDIOA/B/C/D 只能使用 1.2V 供电, 不可以使用 3.3V。** ( 需要注意: 对方 slave 器件 MDC/MDIO 接口的  $V_{inH}$  支持最大电压必须为工作电压的+10% )。

设计框图: 以 MDIO\_A0/MDC\_A0 为例: VDDIO3312\_MDIOA 使用 1.2V 供电, MDIO\_A0/MDC\_A0 上拉到 1.2V。加上串扰的影响, 可以保证 MDIOA0  $V_{max}$  小于 3.465V。



# 3 STRAP[1:0] V<sub>max</sub> 超标原因分析

## 现象说明

CTC8180 STRAP[1:0]上拉到 3.3V，芯片初始化到正常工作 STRAP[1:0]管脚叠加时钟波形，V<sub>max</sub> 超过 3.465V。

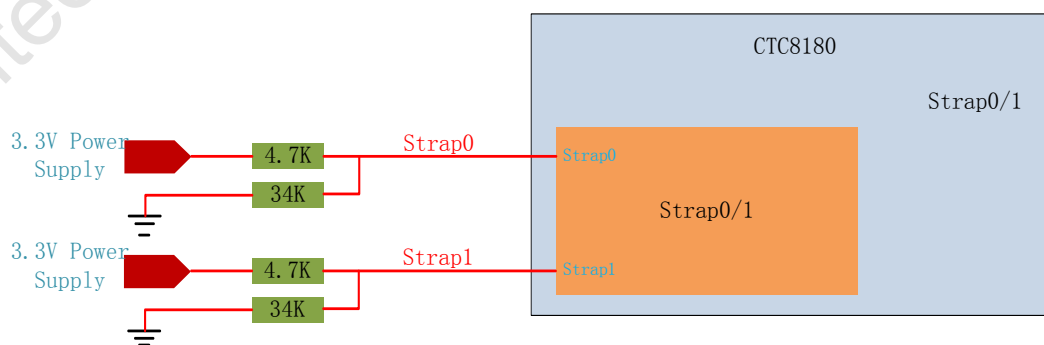
## 原因说明

芯片内部 MDC 信号串扰到 STRAP[1:0]信号上，导致 STRAP[1:0]上叠加与 MDC 同频的波形。

## 改善方案

- 如果不使用 MDC 和 MDIO，VDDIO3312\_MDIOA/B/C/D 不供电，MDC 无输出，STRAP[1:0]可以正常上拉 3.3V，STRAP[1:0]V<sub>max</sub> 为 3.4V。
- 如果使用 MDC 和 MDIO，MDC 和 MDIO 只能使用 1.2V 上拉。VDDIO3312\_MDIOA/B/C/D 只能使用 1.2V 供电。STRAP[1:0]需要做上拉 4.7K，下拉 34K 的分压处理。

设计框图：STRAP[1:0]上拉 3.3V 做分压处理，上拉 4.7K，下拉 34K。可以保证分压后的电压在 2.9V 左右，加上串扰的影响，STRAP[1:0]V<sub>max</sub> 小于 3.465V。



# 4 QSPI\_CS[1:0] V<sub>max</sub> 超标原因分析

## 现象说明

CTC8180 QSPI\_CS[1:0]上拉到 3.3V，芯片工作时 QSPI\_CS[1:0] V<sub>max</sub> 超过 3.465V

## 原因说明

芯片内部 QSPI\_CLK 信号串扰到 QSPI\_CS[1:0]信号上，导致 QSPI\_CS[1:0] V<sub>max</sub> 超过 3.465V

## 改善方案

- 如果不使用 QSPI，VDDIO3318\_QSPI 不供电。
- 如果使用 QSPI, QSPI\_CS[1:0]需要做上拉 4.7K,下拉 34K 的分压处理。

设计框图：QSPI\_CS[1:0]上拉 3.3V 做上拉 4.7K，下拉 34K 分压处理，分压后电压为 2.9V，可以保证加上 QSPI\_CLK 信号串扰影响，QSPI\_CS[1:0] V<sub>max</sub> 小于 3.465V

