

**CPU软件硬件接口说明**

项目名称： iTN8800-A-RX10

产品型号： A.0

编制： 陈文昌

审核： 陈大雄

批准： 谢燕根

瑞斯康达科技发展股份有限公司

修订记录

|  |  |  |  |
| --- | --- | --- | --- |
| 日期 | 修订版本 | 修改描述 | 作者 |
| 2024-04-03 | 初稿 |  | 陈文昌 |
|  |  |  |  |

目录

[1 概述 1](#_Toc162367461)

[2 设备结构外观 1](#_Toc162367462)

[3 CPU系统框图 2](#_Toc162367463)

[4 CPU功能 4](#_Toc162367464)

[4.1 芯片访问方式及资源分配 5](#_Toc162367465)

[4.1.1 IIC资源分配 6](#_Toc162367466)

[4.1.2 MDC/MDIO资源分配 6](#_Toc162367467)

[4.1.3 UART资源分配 7](#_Toc162367468)

[4.1.4 PCIE资源分配 7](#_Toc162367469)

[4.1.5 SGMII资源分配 7](#_Toc162367470)

[4.1.6 GPIO(3.3V) 资源分配 7](#_Toc162367471)

[4.1.7 GPIOH(1.8V) 资源分配 8](#_Toc162367472)

[4.1.8 Serdes资源分配 8](#_Toc162367473)

[4.1.9 CPU复位 8](#_Toc162367474)

[4.1.10 LED灯 8](#_Toc162367475)

[4.1.11 JTAG资源分配 8](#_Toc162367476)

[4.1.12 CT80电压监控 9](#_Toc162367477)

[4.2 中断及GPIO资源 9](#_Toc162367478)

[4.3 2片YT8521 10](#_Toc162367479)

[4.4 Cpu temperature 温度与告警 10](#_Toc162367480)

[4.5 信号灯与开关控制方法 10](#_Toc162367481)

[5 IBC以太通道 11](#_Toc162367482)

[6 SPI机电管理时序 11](#_Toc162367483)

[7 CPLD说明 11](#_Toc162367484)

[7.1 机电CPLD 11](#_Toc162367485)

[7.2 逻辑CPLD 12](#_Toc162367486)

[8 时钟方案设计说明 14](#_Toc162367487)

[8.1 时钟结构 14](#_Toc162367488)

[8.2 功能实现 15](#_Toc162367489)

[8.3 AU5327配置 15](#_Toc162367490)

[8.4 NCS23347配置 17](#_Toc162367491)

**CPU软件硬件接口说明**

**关键词**：RX10

**摘要**：iTN8800-A-RX10(A)为iTN8800-A 5U机箱支路单板，支持接入10路10GE业务。

**缩略语清单：**

| 缩略语 | 英文全名 | 中文解释 |
| --- | --- | --- |
| GE | Gigabit Ethernet | 千兆以太网 |
| GF | Gigabit Fiber | 千兆光纤 |
| QSPI | Quard SPI | 队列串行外围接口 |
| SMI | Serial Management Interface | 串行管理接口 |
| SPI | Serial Peripheral interface | 串行外围设备接口 |
| UART | Universal Asynchronous Receiver-Transmitter | 通用异步收发器 |
| SNMP | Simple Network Management Protocol | 简单网络管理协议 |
| IBC | Inter-Blockchain Communication Protocol | 链间通信协议 |

# 概述

iTN8800-A-RX10(A)为10路10GE接口板，将来自背板的业务信号经CTC7132芯片处理后，经过10个SFP+模块转换成光信号，送往线路，反方向完成逆过程。



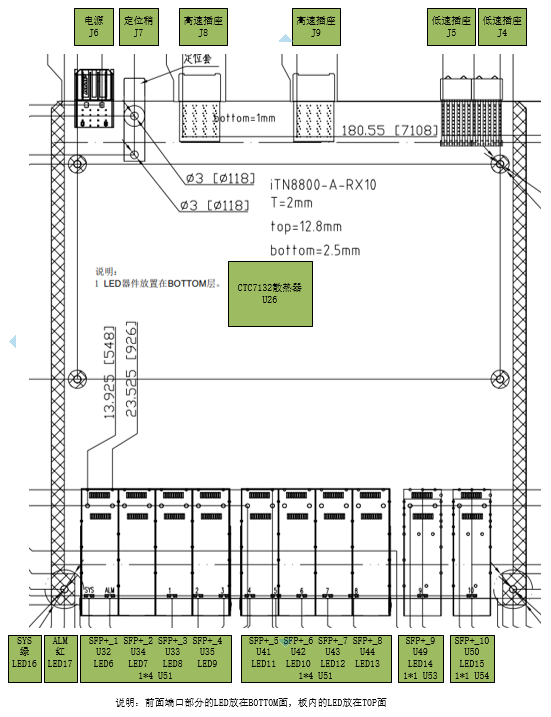
**图1 iTN8800-A-RX10(A)硬件总体功能框图**

# 设备结构外观

面板口及背板如下：

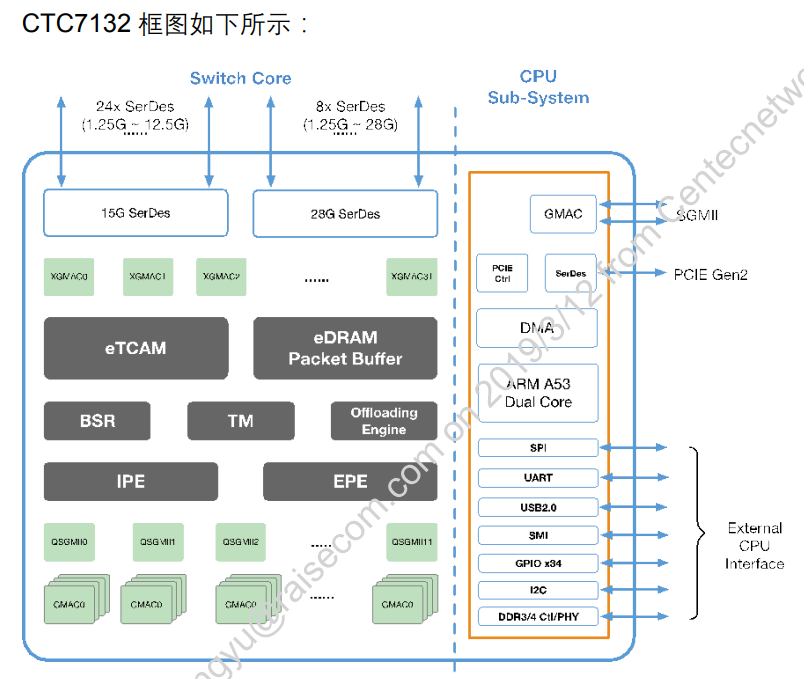


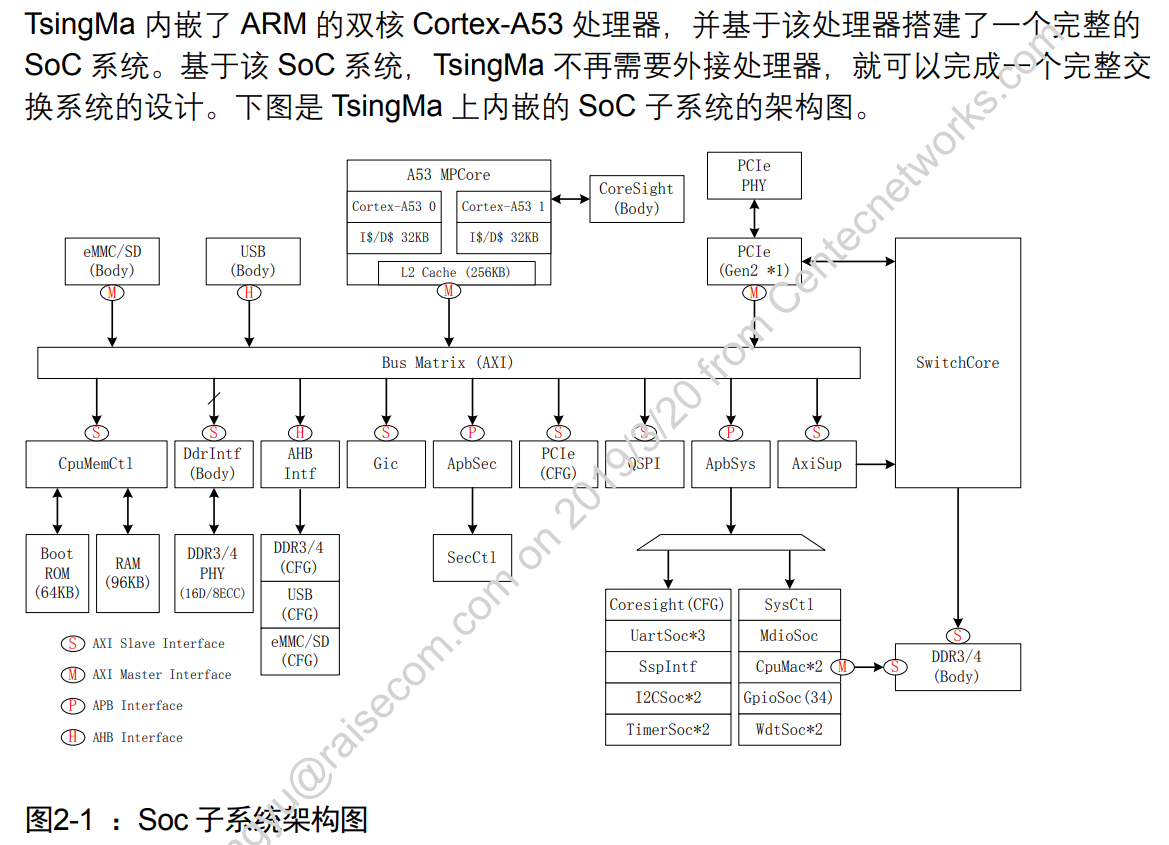
结构DXF

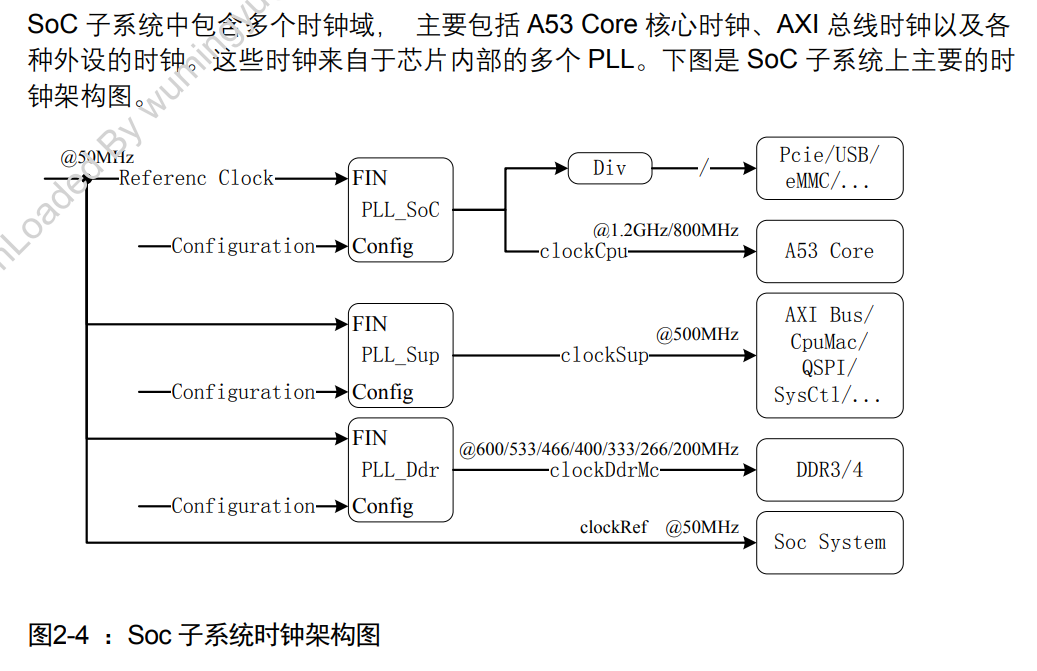


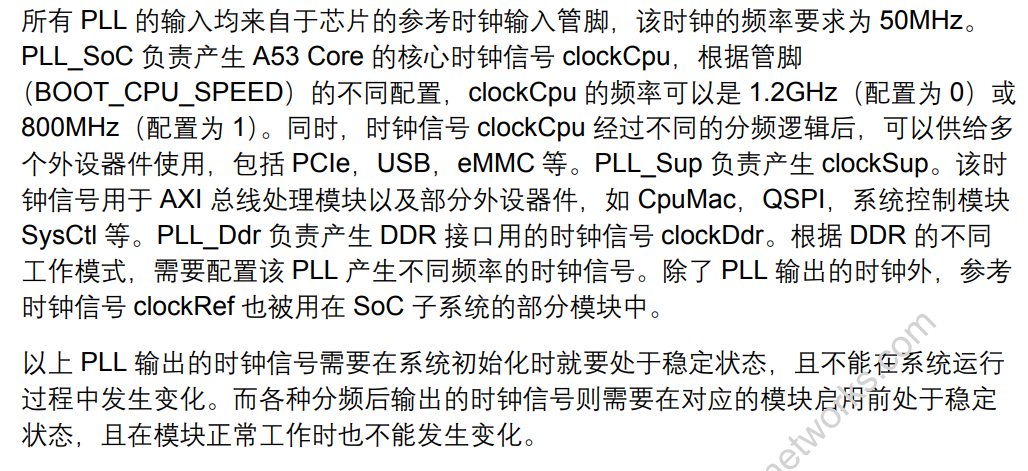
# CPU系统框图

1、SOC采用盛科公司的CTC7132，内嵌ARM A53双核处理器，主频为1.2GHz。









# CPU功能

SOC采用盛科公司的CTC7132，内嵌ARM A53双核处理器，主频为1.2GHz。

SOC存储器：使用4GB eMMC，2\*8Gb=2GB DDR4；

* 接入一个4GB的eMMC存储应用程序;

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 20.25.07.0004.02 | eMMC | Sumsang\_KLM4G1FETE-B041 | 存储模块-x1,x4,x8-4GB-52M/SDR、52M/DDR、HS200、HS400-3.3V-(-25~85℃)-C | 限选 |

* 采用2片DDR4, 单片容量8Gb

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 20.25.00.0025.02 | DDR4 | Samsung\_K4A8G165WC-BCTD | DDR-DDR4-16位-8Gb-1333MHz-1.2V | 优选 |

## 芯片访问方式及资源分配

1、CPU通过模拟SPI总线访问2片CPLD，一片为机电管理CPLD，另一片为逻辑CPLD；

2、CPU通过GPIO模拟JTAG接口实现在线升级CPLD。

3、CPU通过IIC0总线通过2片NCA9548芯片扩展，访问10个SFP+；

4、CPU通过IIC1总线访问EEPROM和时钟PLL，CPU启动后需要向时钟PLL（AU5327/NCS23347）加载固件程序；

5、CPU通过SGMII与YT8521互通,2片YT8521之间通过SGMII接口，采用背靠背方案，实现主备NXU和CTC7132之间的互通；

6、CPU通过CTC7132的SOC\_SMI访问2片YT8521；

7、CPU的1路UART用于IST调试；

8、CPU下挂1片eMMc 4GB、2片DDR4 8Gb；

具体资源分配见下表：

|  |  |  |  |
| --- | --- | --- | --- |
| 总线类型 | CPU资源 | 对应芯片 | 说明 |
| IIC | IIC0(专用) | NCA9548\_1  0x71  NCA9548\_2  0x72 | NCA9548\_1，0x71  通道1：SFP+\_1  通道2：SFP+\_2  通道3：SFP+\_3  通道4：SFP+\_4  通道5：  通道6：  通道7：  通道8：  NCA9548\_2，0x72  通道1：SFP+\_5  通道2：SFP+\_6  通道3：SFP+\_7  通道4：SFP+\_8  通道5：SFP+\_9  通道6：SFP+\_10  通道7：PWR\_MP2975（0x7B）  通道8： |
| IIC | IIC1(专用) | EEPROM  0x50  AU5327/NCS23347  0x6C | EEPROM  0x50  AU5327/NCS23347  0x6C |
| eMMc | SDHC\_CLK/CMD/  DATA0~3 | FLASH  4GB | EMMC FLASH  (型号：Sumsang\_KLM4G1FETE-B041) |
| SMI\_SOC | SMI\_SOC | YT8521\_1 | 配置地址：0x02 |
| SMI\_SOC | YT8521\_2 | 配置地址：0x04 |
| UART | UART0 | 远程调试IST |  |

### IIC资源分配

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CPU资源 | 一级 |  | 二级 | I2C地址 |
| I2C\_0 | 0x71 NCA9548 | 1 | SFP+\_1 | 0x50 |
| 2 | SFP+\_2 | 0x50 |
| 3 | SFP+\_3 | 0x50 |
| 4 | SFP+\_4 | 0x50 |
| 5 |  | 0x50 |
| 6 |  | 0x50 |
| 7 |  | 0x50 |
| 8 |  | 0x50 |
| 0x72 NCA9548 | 1 | SFP+\_5 | 0x50 |
| 2 | SFP+\_6 | 0x50 |
| 3 | SFP+\_7 | 0x50 |
| 4 | SFP+\_8 | 0x50 |
| 5 | SFP+\_9 | 0x50 |
| 6 | SFP+\_10 | 0x50 |
| 7 | PWR\_MP2975 | 0x7B |
| 8 |  |  |
| I2C\_1 |  |  | EEPROM | 0x50 |
|  |  | AU5327 | 0x6C |

### MDC/MDIO资源分配

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 网络 | CPU资源 | 对应器件 | 地址 | 备注 |
| CPU\_MDC  CPU\_MDIO | MDC\_SOC  MDIO\_SOC | U30\_YT8521\_1 | 0x02 | 通过SGMII和CTC7132互连 |
| CPU\_MDC  CPU\_MDIO | MDC\_SOC  MDIO\_SOC | U31\_YT8521\_2 | 0x04 | 通过SGMII和NXU互连 |

### UART资源分配

|  |  |  |
| --- | --- | --- |
| 网络 | CPU资源 | 使用说明 |
| IST\_TX  IST\_RX | UART\_TXD0  UART\_RXD0 | 系统级调试接口485驱动 |

### PCIE资源分配

未使用

### SGMII资源分配

|  |  |  |
| --- | --- | --- |
| 网络 | CPU资源 | 使用说明 |
| CPU\_SGMII\_TX+  CPU\_SGMII\_TX-  CPU\_SGMII\_RX+  CPU\_SGMII\_RX- | HS\_TX\_P0  HS\_TX\_N0  HS\_RX\_P0  HS\_RX\_N0 | 用于U30\_YT8521\_1 PHY芯片YT8521与CTC7118之间的SGMII信号。 |

### GPIO(3.3V) 资源分配

|  |  |  |  |
| --- | --- | --- | --- |
| 管脚 | 功能 | 电平要求 | 说明 |
| GPIO0 | CPLD\_SPI\_SCK | 3.3V | 逻辑CPLD的SPI |
| GPIO1 | TDO\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| GPIO2 | CPLD\_SPI\_MISO | 3.3V | 逻辑CPLD的SPI |
| GPIO3 | CPLD\_SPI\_MOSI | 3.3V | 逻辑CPLD的SPI |
| GPIO4 | CPLD\_SPI\_SS | 3.3V | 逻辑CPLD的SPI |
| GPIO5 | IPMI\_SPI\_SCK | 3.3V | 机电管理CPLD的SPI |
| GPIO6 | IPMI\_SPI\_MISO | 3.3V | 机电管理CPLD的SPI |
| GPIO7 | IPMI\_SPI\_MOSI | 3.3V | 机电管理CPLD的SPI |
| GPIO8 | IPMI\_SPI\_nSS | 3.3V | 机电管理CPLD的SPI |
| GPIO9 | CPLD\_TDI | 3.3V | 逻辑CPLD在线升级 |
| GPIO10 | CPLD\_TCK | 3.3V | 逻辑CPLD在线升级 |
| GPIO11 | CPLD\_TMS | 3.3V | 逻辑CPLD在线升级 |
| GPIO12 | CPLD\_TDO | 3.3V | 逻辑CPLD在线升级 |
| GPIO13 | TCK\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| GPIO14 | TDI\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| GPIO15 | TMS\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |

### GPIOH(1.8V) 资源分配

|  |  |  |  |
| --- | --- | --- | --- |
| 管脚 | 功能 | 电平要求 | 说明 |
| GPIO0 | DYING\_GASP\_INT | 1.8V | 掉电告警信号 |
| GPIO1 | GR\_LED | 1.8V | 点SYS绿灯 |
| GPIO2 | RE\_LED | 1.8V | 点ALM红灯 |
| GPIO3 | 未使用 | 1.8V | / |
| GPIO4 | CPLD\_INT1 | 1.8V | 中断管脚 |
| GPIO5 | CPLD\_INT2 | 1.8V | 中断管脚 |
| GPIO6 | 未使用 | 1.8V | / |
| GPIO7 | 未使用 | 1.8V | / |
| GPIO8 | 未使用 | 1.8V | / |
| GPIO9 | 未使用 | 1.8V | / |
| GPIO10 | 未使用 | 1.8V | / |
| GPIO11 | 未使用 | 1.8V | / |
| GPIO12 | CPU\_CPLD\_1V8\_RSV1 | 1.8V | 预留管脚 |
| GPIO13 | CPU\_CPLD\_1V8\_RSV2 | 1.8V | 预留管脚 |
| GPIO14 | CPU\_CPLD\_1V8\_RSV3 | 1.8V | 预留管脚 |
| GPIO15 | CPU\_CPLD\_1V8\_RSV4 | 1.8V | 预留管脚 |
| GPIO16 | CPU\_CPLD\_1V8\_RSV5 | 1.8V | 预留管脚 |
| GPIO17 | CPU\_CPLD\_1V8\_RSV6 | 1.8V | 预留管脚 |

### Serdes资源分配

### CPU复位

|  |  |  |
| --- | --- | --- |
| 网络 | **CPU资源** | 备注 |
| CTC7132\_RST | RST\_SUP\_B | CTC7132复位，低有效； |

### LED灯

|  |  |  |
| --- | --- | --- |
| 网络 | **CPU资源** | 备注 |
| PPU0\_LED\_CLK  PPU0\_LED\_DATA | LED\_CLK  LED\_DATA | CTC7132的点灯信号，CPLD经串并转换后点亮所有LNK/ACT灯； |

### JTAG资源分配

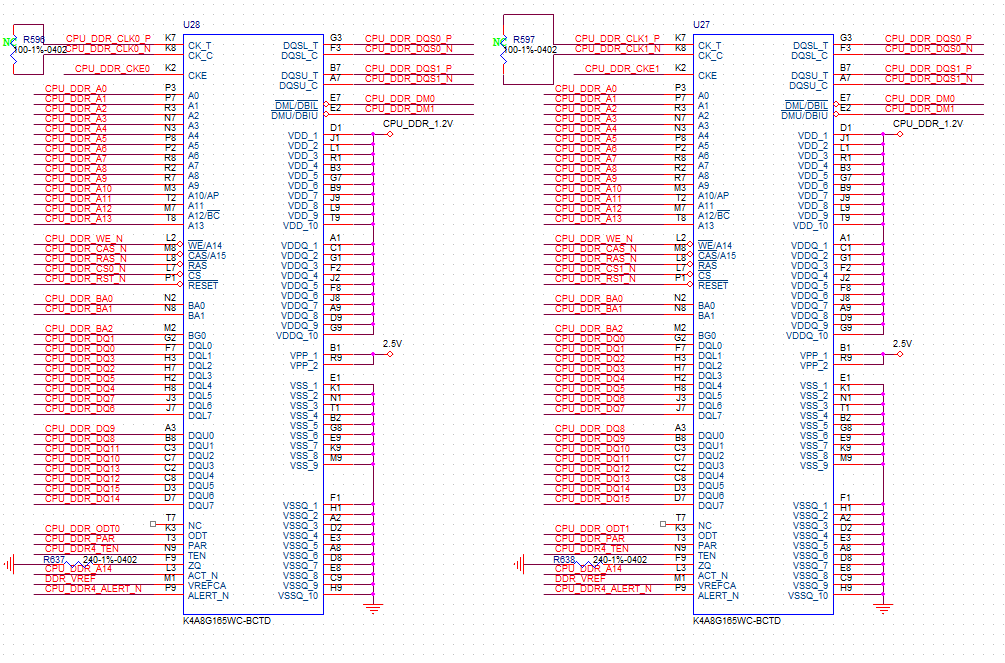
|  |  |  |
| --- | --- | --- |
| 网络 | **CPU资源** | 备注 |
| PPU0\_JTAG\_TDO | TDO | CTC7132的JTAG |
| PPU0\_JTAG\_TDI | TDI |
| PPU0\_JTAG\_TMS | TMS |
| PPU0\_JTAG\_TCK | TCK |
| PPU0\_JTAG\_TRST\_B | TRST\_B |

### CT80电压监控

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| I2C Address:0101 000 | 电压名称 | 电压 | 分压系数 | 电压范围 | 软件显示名称 |
| AIN0:监控0.9V，范围±10% | 0.9V | 0.9 | 1 | 0.81-0.99 | CT80\_0.9V |
| AIN1:监控1.2V，范围±10% | 1.2V | 1.2 | 1 | 1.08-1.32 | CT80\_1.2V |
| AIN2:监控1.8V，范围±10% | 1.8V | 1.8 | 1 | 1.62-1.98 | CT80\_1.8V |
| AIN3:监控2.5V，范围±10% | 2.5V | 2.5 | 2 | 2.25-2.75 | CT80\_2.5V |
| AIN4:监控3.3V，范围±10% | 3.3V | 3.3 | 2 | 2.97-3.63 | CT80\_3.3V |
| AIN5:监控3.3V，范围±10% | 3.3V\_M | 3.3 | 2 | 2.97-3.63 | CT80\_3.3V\_M |
| AIN6:监控12V，范围±10% | 12V | 12 | 11 | 10.8-13.2 | CT80\_12V |

### DDR

单板使用2片8Gb的DDR4颗粒，2片DDR4采用背靠背方式进行布局布线，其中1片DDR的DQ数据在组内进行了调整，相邻数据线进行了交叉，如下图所示。软件需根据实际情况进行适配。



## 中断及GPIO资源

要求：

1. 逻辑CPLD使用CTC7132的SPI内核
2. 所有如下30个管脚（除了SPI内核外）需要配置为GPIO管脚
3. 逻辑CPLD在没有进行CPLD在线升级时，软件需要将GPIO设置为高组态，否则可能会出现线缆下载失败的问题
4. 机电管理CPLD在没有进行CPLD在线升级时，软件需要将GPIO设置为高组态，否则可能会出现线缆下载失败的问题

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 序号 | 管脚 | 功能 | 电平要求 | 说明 |
| 1 | GPIO0 | CPLD\_SPI\_SCK | 3.3V | 逻辑CPLD的SPI |
| 2 | GPIO1 | TDO\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| 3 | GPIO2 | CPLD\_SPI\_MISO | 3.3V | 逻辑CPLD的SPI |
| 4 | GPIO3 | CPLD\_SPI\_MOSI | 3.3V | 逻辑CPLD的SPI |
| 5 | GPIO4 | CPLD\_SPI\_SS | 3.3V | 逻辑CPLD的SPI |
| 6 | GPIO5 | IPMI\_SPI\_SCK | 3.3V | 机电管理CPLD的SPI |
| 7 | GPIO6 | IPMI\_SPI\_MISO | 3.3V | 机电管理CPLD的SPI |
| 8 | GPIO7 | IPMI\_SPI\_MOSI | 3.3V | 机电管理CPLD的SPI |
| 9 | GPIO8 | IPMI\_SPI\_nSS | 3.3V | 机电管理CPLD的SPI |
| 10 | GPIO9 | CPLD\_TDI | 3.3V | 逻辑CPLD在线升级 |
| 11 | GPIO10 | CPLD\_TCK | 3.3V | 逻辑CPLD在线升级 |
| 12 | GPIO11 | CPLD\_TMS | 3.3V | 逻辑CPLD在线升级 |
| 13 | GPIO12 | CPLD\_TDO | 3.3V | 逻辑CPLD在线升级 |
| 14 | GPIO13 | TCK\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| 15 | GPIO14 | TDI\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| 16 | GPIO15 | TMS\_CPLD\_IPMI | 3.3V | 机电管理CPLD在线升级 |
| 17 | GPIO0 | DYING\_GASP\_INT | 1.8V | 掉电告警信号 |
| 18 | GPIO1 | GR\_LED | 1.8V | 点SYS绿灯 |
| 19 | GPIO2 | RE\_LED | 1.8V | 点ALM红灯 |
| 20 | GPIO3 | 未使用 | 1.8V | / |
| 21 | GPIO4 | CPLD\_INT1 | 1.8V | 中断管脚 |
| 22 | GPIO5 | CPLD\_INT2 | 1.8V | 中断管脚 |
| 23 | GPIO6 | 未使用 | 1.8V | / |
| 24 | GPIO7 | 未使用 | 1.8V | / |
| 25 | GPIO8 | 未使用 | 1.8V | / |
| 26 | GPIO9 | 未使用 | 1.8V | / |
| 27 | GPIO10 | 未使用 | 1.8V | / |
| 28 | GPIO11 | 未使用 | 1.8V | / |
| 29 | GPIO12 | CPU\_CPLD\_1V8\_RSV1 | 1.8V | 预留管脚 |
| 30 | GPIO13 | CPU\_CPLD\_1V8\_RSV2 | 1.8V | 预留管脚 |
| 31 | GPIO14 | CPU\_CPLD\_1V8\_RSV3 | 1.8V | 预留管脚 |
| 32 | GPIO15 | CPU\_CPLD\_1V8\_RSV4 | 1.8V | 预留管脚 |
| 33 | GPIO16 | CPU\_CPLD\_1V8\_RSV5 | 1.8V | 预留管脚 |
| 34 | GPIO17 | CPU\_CPLD\_1V8\_RSV6 | 1.8V | 预留管脚 |

## 2片YT8521

CTC7132通过SMI\_SOC访问2片YT8521，地址分别配置为YT8521\_1：0x02，YT8521\_2：0x04。

2片YT8521之间为RGMII接口。YT8521\_1的SGMII接口和YT7132互联；YT8521\_2的SGMII接口和NXU互联；

## Cpu temperature 温度与告警

CPU需要开发温度读取，并可以设置高温、低温阈值温度。

目前已知其他项目中使用该款CPU发现在高温超阈值会降频发生一系列问题。因此单盘需要开发此项功能要求：

1、开发调试命令查询当前CPU温度、告警阈值

2、如果有告警，串口打印出告警信息（有命令行开启和关闭此项信息，以防止客户误解）

3、开发命令行可配告警阈值温度。

## 信号灯与开关控制方法



主板指示灯，定义如下：

1. SYS指示灯，CPU GPIO接绿色灯；
2. ALM指示灯， CPU GPIO接红色灯；
3. LNK/ACT指示灯，连接逻辑CPLD，无需CPU处理。

|  |  |  |  |
| --- | --- | --- | --- |
| **序号** | **说明** | **指示灯颜色** | **描述** |
| 1 | SYS | 绿色 | 绿色闪烁，表示设备上电且状态正常 灯不亮，表示设备未上电或已无法正常工作 |
| 2 | ALM | 红色 | 红色闪烁，表示设备有告警 灯不亮，表示设备未上电或无告警 |
| 3 | LNK/ACT | 绿色 | 绿色常亮，表示端口连接正常  绿色闪烁，表示端口有数据收发 灯不亮，表示端口连接异常 |

# IBC以太通道

采用CTC7132的SGMII接口连接YT8521芯片作IBC以太管理。

# SPI机电管理时序

CTC7132访问CPLD，通过模拟GPIO作SPI访问机电管理CPLD，通过SPI内核访问逻辑CPLD，具体管脚见GPIO管脚分配表。

# CPLD说明

RX10单板存在2个CPLD器件，分为机电CPLD和逻辑CPLD，处理不同功能，注意区分。

## 机电CPLD

机电CPLD读取上报单板基本信息、槽位机框信息和机电状态。单板基本信息包括单板board type和PCB版本信息，槽位信息包括机框类型和单板插槽位置信息，机电状态包括单板当前温度信号和电压值及其告警，同时CPU启动完成会写入ready和中断状态上报主控。

机电CPLD可以管理单板复位和串口IST连接，根据主控命令来硬件复位单板芯片，识别主控连接槽位来使能该槽位串口。

机电CPLD寄存器说明如下，同一版本所有单板机电CPLD文件一致。

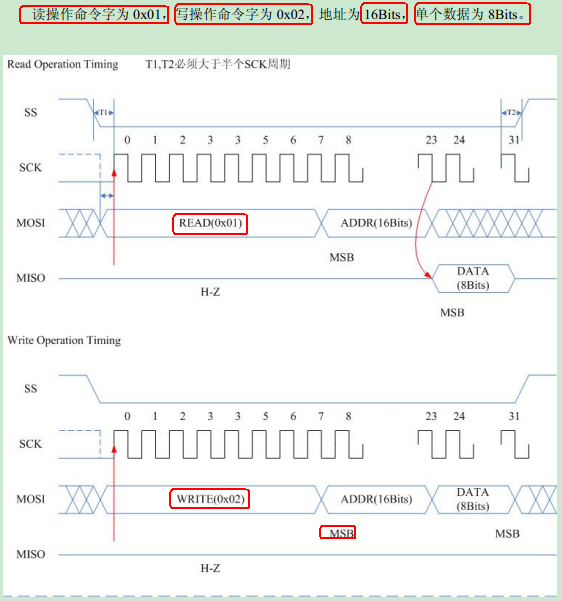


如果开发了CPLD的在线升级功能，即通过CPU模拟JTAG程序，将CPLD的“主程序.tde.bin”文件（由硬件人员提供）加载到CPLD内部的FLASH中，在线升级完成后，并不会立即执行新的CPLD程序，如果要触发重新加载新程序，有两种方法：

1、设备重新上电；

2、设备不重启，但需要CPU再加载一个“A-RX10.tde.bin”文件（由硬件人员提供）；

## 逻辑CPLD



CPLD寄存器定义待更新

# 时钟方案设计说明

## 时钟结构

iTN8800-A-RX10可以使用AU5327或者NCS23347作为时钟IC，进行PLL时钟配置输出。

|  |  |
| --- | --- |
| 20.23.11.0012.03 | 奥拉\_AU5327BC2-QMR |
| 20.23.11.0012.02 | NCS\_NCS23347 |

时钟IC的配置文件需要通过I2C加载到时钟芯片内才能工作。软件在起机阶段，通过读取CPLD寄存器，判断板卡上使用的是哪一种时钟IC，从而将对应的时钟IC的程序加载到时钟IC内部。具体寄存器可以参照逻辑CPLD寄存器定义。

CPU的core启动以后，软件需要通过I2C将PLL时钟（AU5327或者NCS23347）的程序加载到PLL时钟（AU5327或者NCS23347）芯片内部，然后通过读写CPLD寄存器，将NCS25D31的时钟源切换到PLL（AU5327或者NCS23347）时钟芯片输出。具体寄存器可以参照逻辑CPLD寄存器定义。

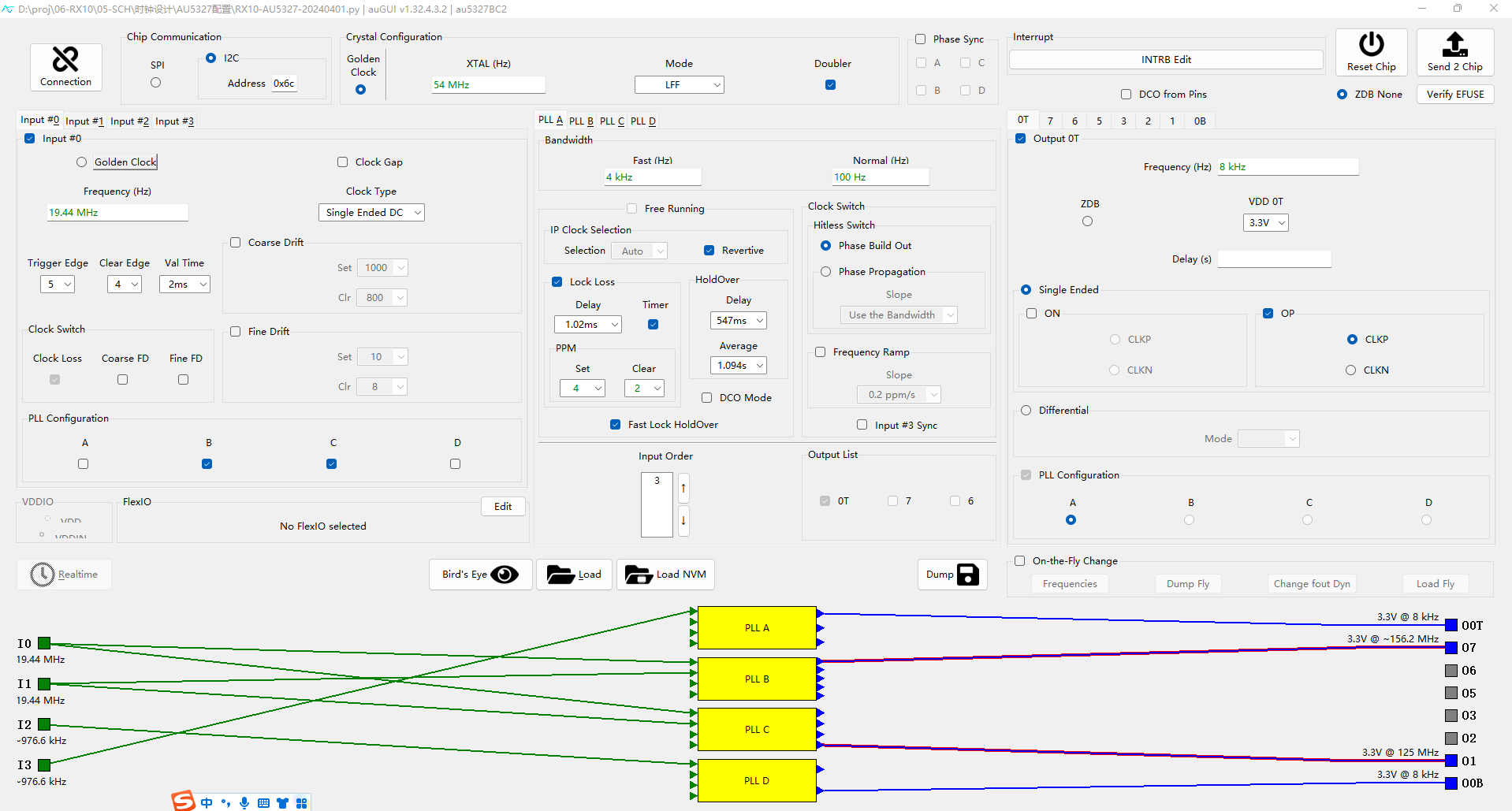


## 功能实现

关于时钟芯片的输入调节端， CPLD主要实现下面功能：

## AU5327配置

AU5327配置界面如下：



AU5327配置文件如下：



如下待更新

1. 输入源在硬件上可通过选源寄存器进行配置，默认情况下，硬件的对应关系为：

|  |  |  |  |
| --- | --- | --- | --- |
| CLK输入 | 上电默认的输入源 | 来源 | 备注 |
| IN0 | CPLD\_CLK2LC\_25M\_M | NXU-M | 输入频率25M |
| IN1 | CPLD\_CLK2LC\_25M\_S | NXU-S | 输入频率25M |
| IN2 | CPLD\_PLL\_REF1 | AU5327 | 输入频率8k |
| IN3 | CPLD\_PLL\_REF2 | AU5327 | 输入频率8k |

1. 输出时钟源设置：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CLK OUT | 来自DPLL | 来自synth | 需要配置的频点 | 备注 |
| Q0\_/Q0 | Channal 0/DPLL0 |  | 差分156.25MHz | 送给CTC7132的参考时钟 |
| Q1\_/Q1 |  | 差分156.25MHz | 送给CTC7132的参考时钟 |
| Q2\_/Q2 | Channal 1/DPLL1 |  | 差分200MHz | 送给CTC7132的参考时钟 |
| Q3\_/Q3 |  | 差分125MHz | 送给CTC7132的参考时钟 |
| Q4\_/Q4 | Channal 2/DPLL2 |  | 差分125MHz | 送给CTC7132的参考时钟 |
| Q5 |  | 单端25MHz | 送给CTC7132的参考时钟 |
| Q6 | Channal 3/DPLL3 |  | 单端8KHz | 送给CTC7132的参考时钟 |
| Q7 |  | 单端25MHz |

## NCS23347配置

NCS23347配置界面如下：

配置文件见附件：