ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
Οργάνωση Υπολογιστών

Ομάδα Εργασίας : LAB31235453
Μπαλαμπάνης Ηλίας 2014030127
Μποκαλίδης Αναστάσιος 2014030069

Αναφορά Εργαστηρίου 1

Προεργασία

Ως προεργασία μας ζητήθηκε να υλοποιήσουμε τα δύο ερωτήματα της εργαστηριακής άσκησης. Το πρώτο ερώτημα ήταν να υλοποιήσουμε μία μονάδα η οποία εκτελεί αριθμητικές και λογικές πράξεις, την ALU. Το δεύτερο ερώτημα ήταν να σχεδιάσουμε και να φτιάξουμε ένα αρχείο καταχωρητών (Register File – RF).

Περιγραφή Άσκησης

- Η μονάδα ALU λειτουργεί ως εξής:

Δέχεται ως εισόδους 3 σήματα, τα A,B τα οποία είναι πλάτους 32 bit και αριθμοί προσημασμένοι με format 2’s complement και το σήμα Op πλάτους 4 bit, το οποίο υποδηλώνει το ποια είναι η ζητούμενη πράξη. Ως εξόδους έχουμε το σήμα Outt, που είναι το αποτέλεσμα της πράξης, το Zero, το οποίο λειτουργεί ως flag όταν το Outt είναι ένα σήμα με 32 μηδενικά, το Cout , το οποίο είναι ‘1’ ‘όταν έχουμε κρατούμενο στην πρόσθεση ή την αφαίρεση και το Ovf που ενεργοποιείται όταν υπάρξει υπερχείληση. Αυτό ελέγχεται αν οι δύο τελεσταίοι είναι ομόσημοι και αν το αποτέλεσμα της πρόσθεσης ή της αφαίρεσης μεταξύ των δύο αριθμών είναι ετέροσημο.
Για τις πράξεις ADD και SUB δημιουργήσαμε ξεχωριστά modules λόγω των ιδιαίτερων σημάτων που τις απαρτίζουν, δηλαδή τα Zero,Cout,Ovf.

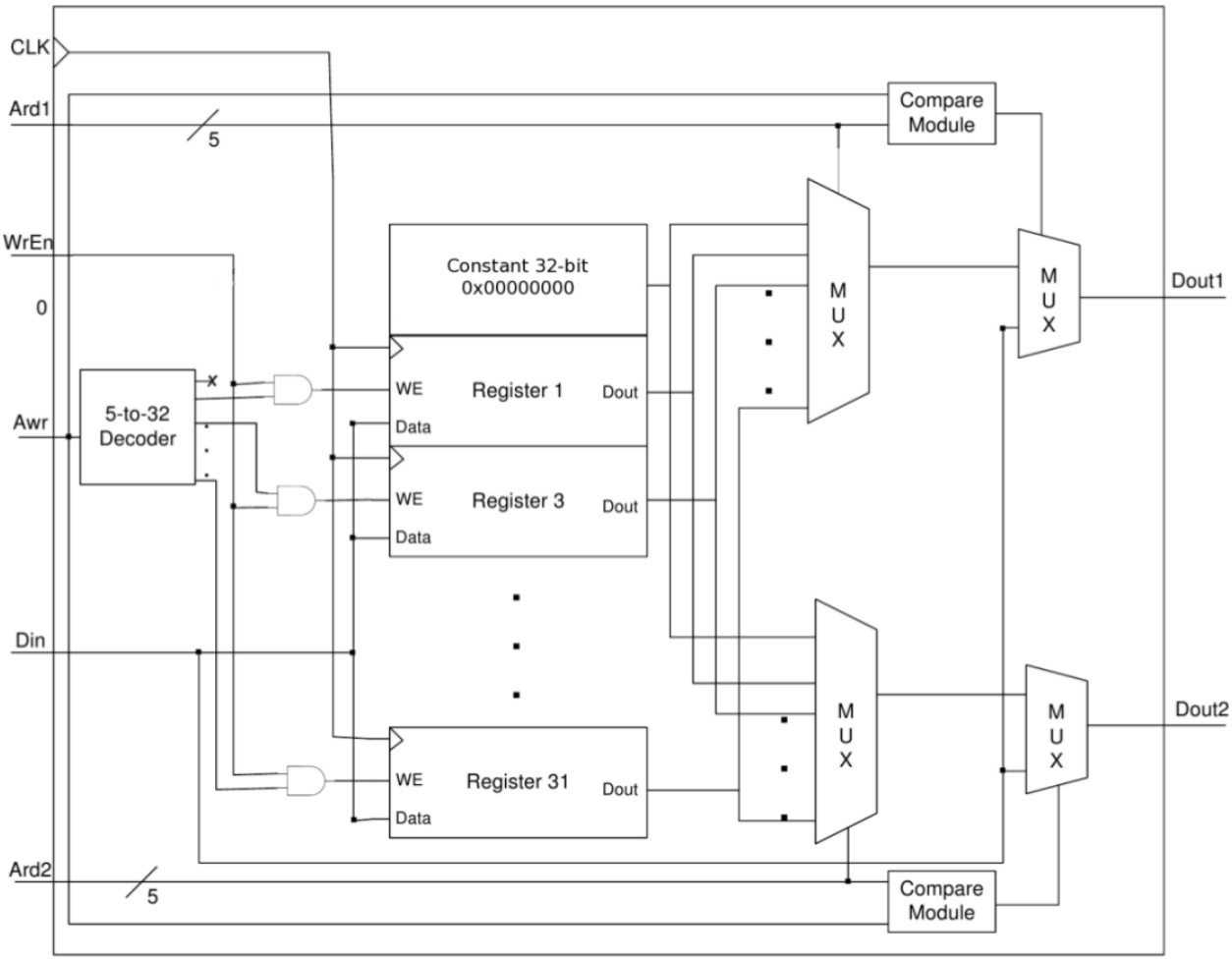
- Για την υλόποιηση του RF δουλέψαμε ως εξής:

Αρχικά φτιάξαμε έναν καταχωρητή που όταν έρχεται ρολόι ελέγχουμε αν το Write Enable είναι ‘1’ και άν είναι τότε το Data In (Din) σήμα περνάει στην έξοδο Data Out (Dout). Αν δεν έχουμε Write Enable τότε ως έξοδο έχουμε το μηδενικό 32bit σήμα.

Για την υλοποίηση του RF χρησιμοποιήσαμε 32 από τους παραπάνω καταχωρητές και συνδέθηκαν σύμφωνα με το διάγραμμα της εκφώνησης. Μεριμνήσαμε με διαφορετικό τρόπο για τον καταχωρητή R0. Αυτός έχει πάντα ως Din το μηδενικό σήμα, μόνιμα ενεργοποιημένο το WE και Dout σύμφωνα με το διάγραμμα. Όταν γίνει προσπάθεια εγγραφής στον R0, το Din θα γίνει Dout αλλά στην πραγματικότητα δεν θα έχει γίνει εγγραφή διότι αν στον επόμενο κύκλο διάβασουμε από τον R0 θα δούμε στην έξοδο τα μηδενικά.

Τέλος, η έξοδος του κυκλώματος Compare Module είναι ‘0’ όταν η διεύθυνση εγγραφής είναι ο R0 και ‘1’ όταν η διεύθυνση εγγραφής και ανάγνωσης είναι ίδιες και το WE είναι ‘1’. Σε κάποια άλλη περίπτωση η έξοδος είναι ‘0’.

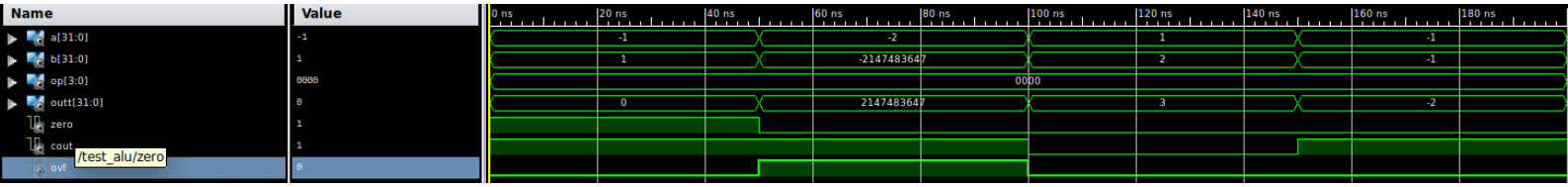
Block diagram του κυκλώματος της RF



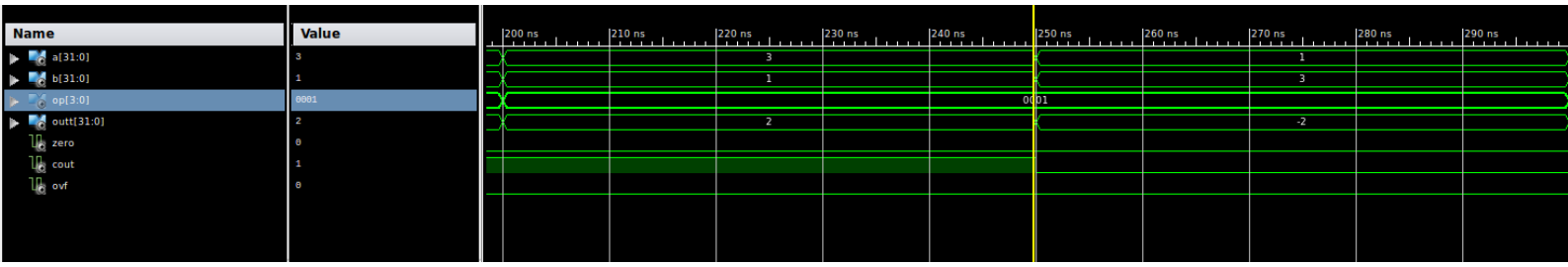
Κυμματομορφές

ALU

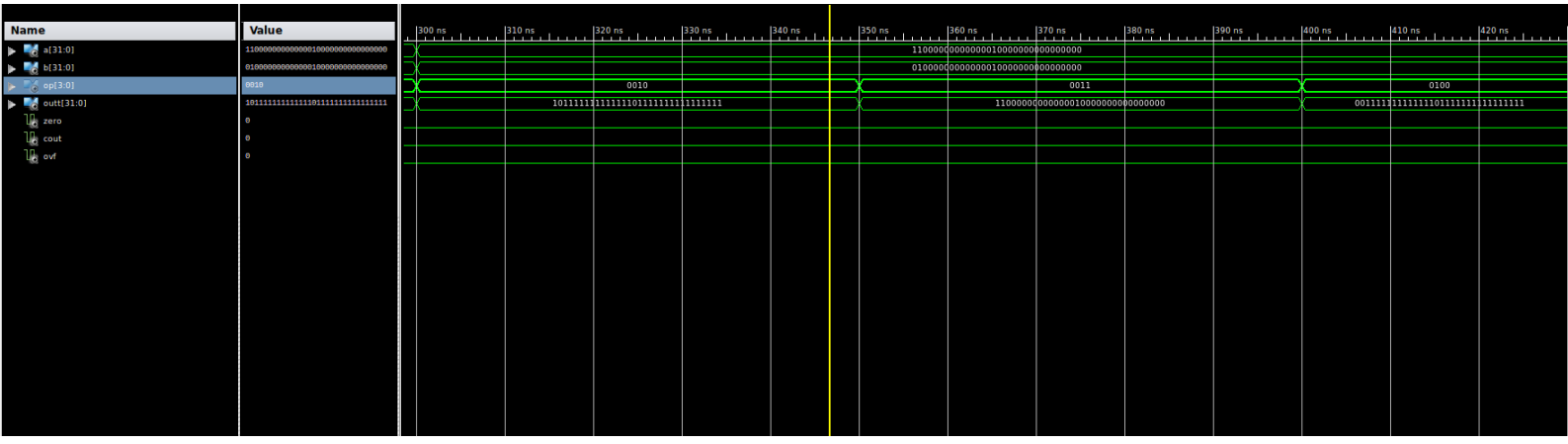
Παρακάτω έχουμε την πρόσθεση με όλες τις πιθανές περιπτώσεις:



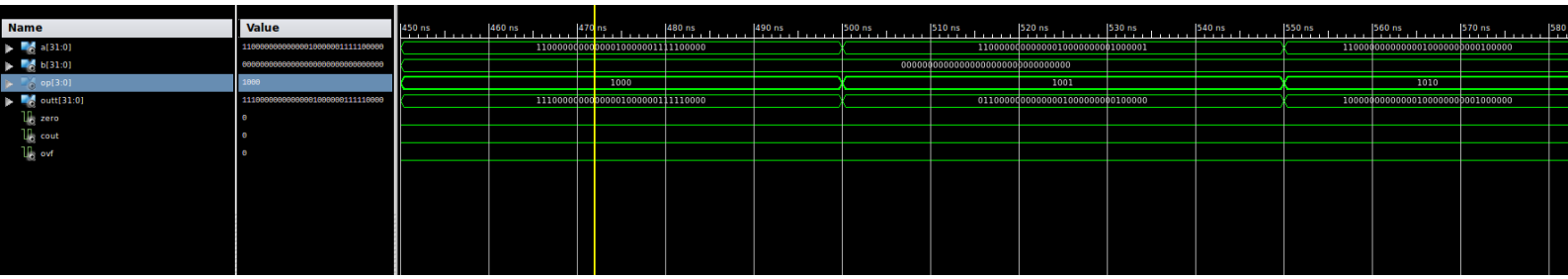
Αφαίρεση:



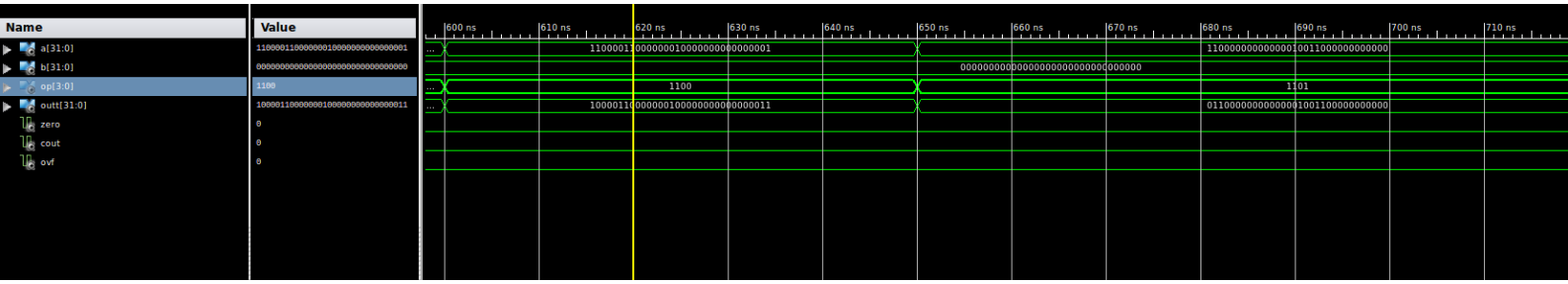
Πράξεις NAND, OR, NOT:



Πράξεις Αριθμητική ολίσθηση δεξιά, Λογική ολίσθηση δεξιά, Λογική ολίσθηση αριστερά

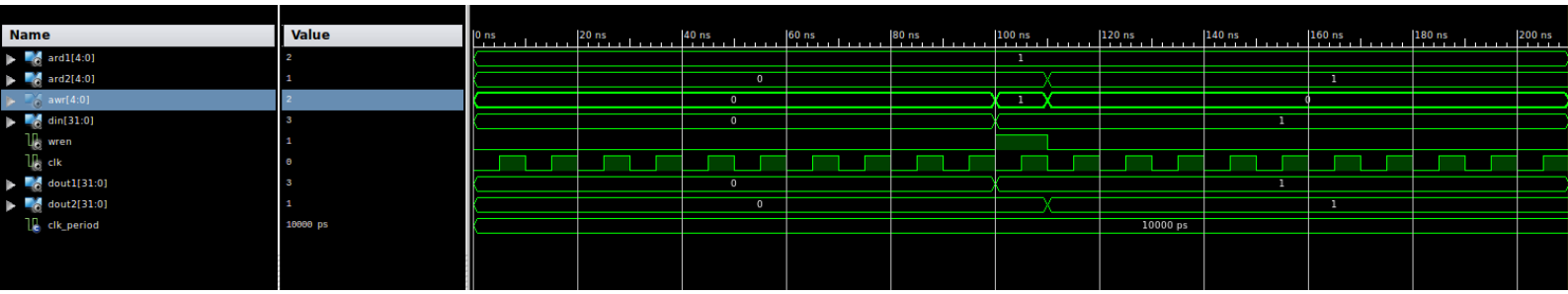


Πράξεις Κυκλικό ολίσθηση (rotate) αριστερά, Κυκλικό ολίσθηση (rotate) δεξιά

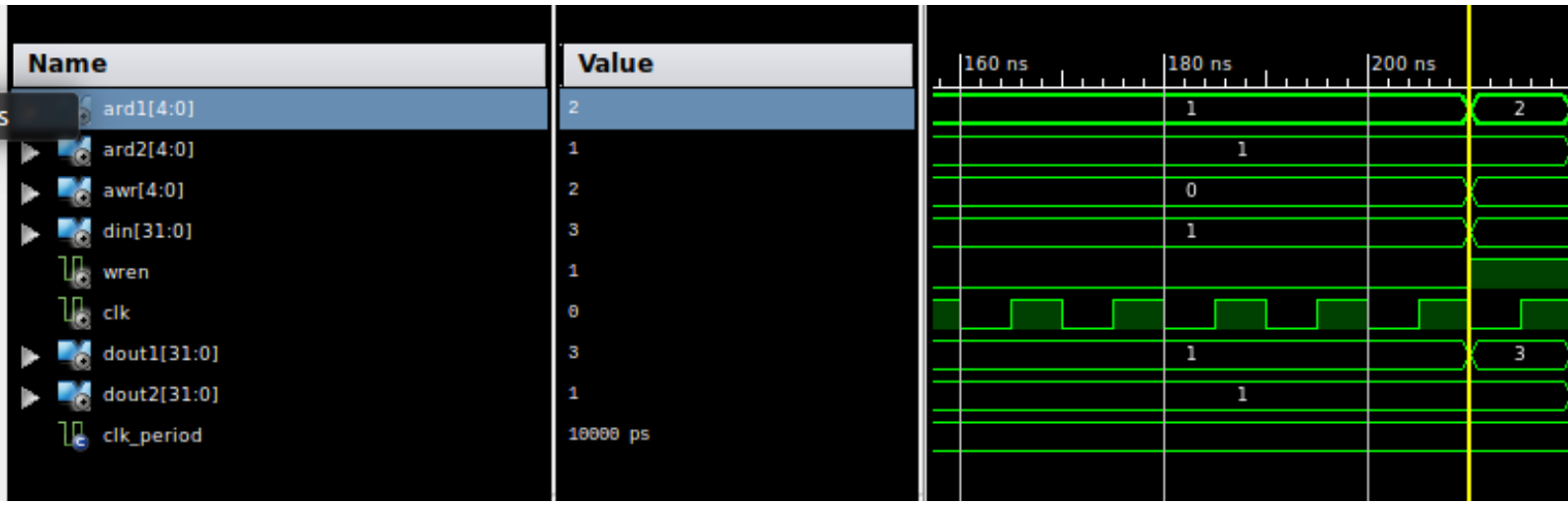


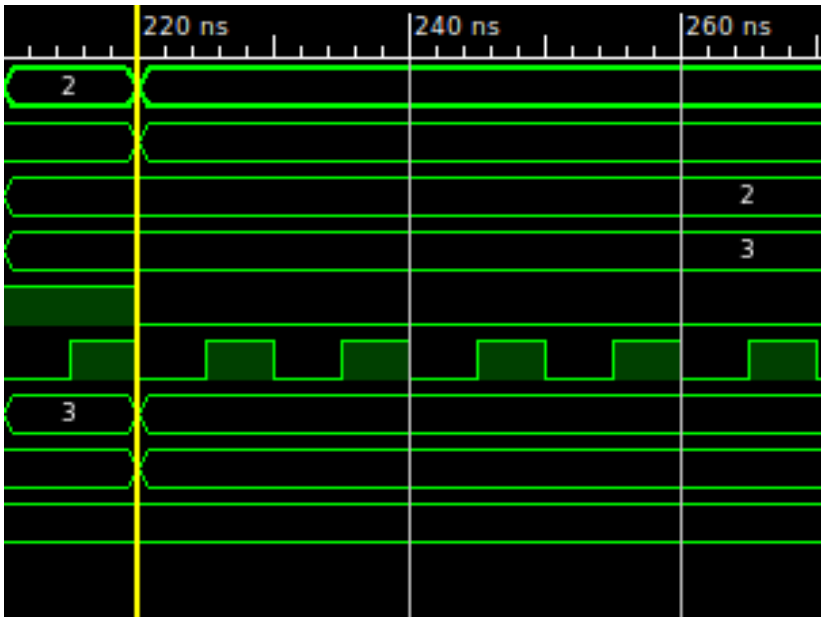
Register File

Διαβάζουμε από τον καταχωρητή 1 χωρίς να εισάγουμε δεδομένα, έπειτα γράφουμε στον 1 και μετά τα διαβάζούμε

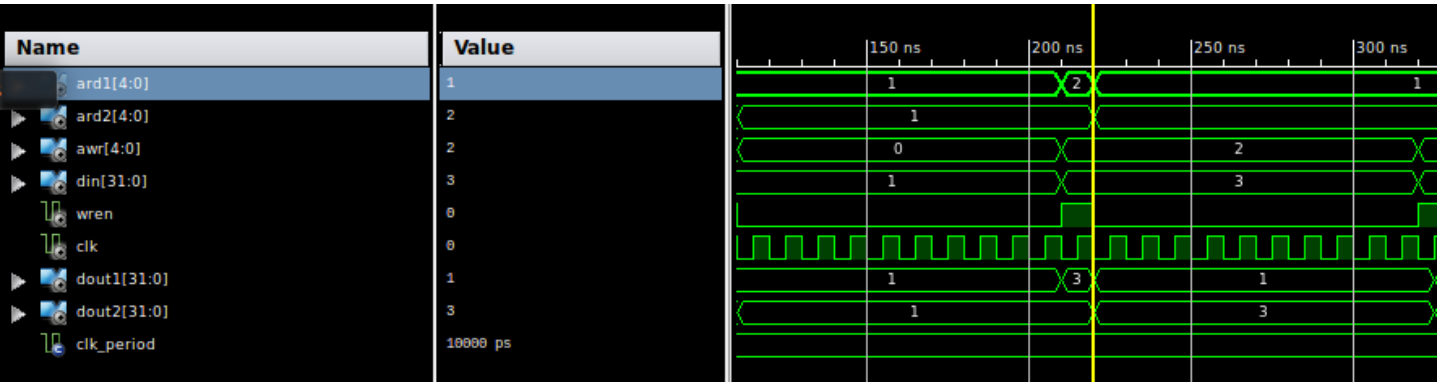


Γράφουμε και διαβάζουμε στον ίδιο κύκλο στον καταχωρητή 2





Διαβάζουμε από τους καταχωρητές 1,2



Προσπαθούμε να γράψουμε στον καταχωρητή 0, αλλά συμβαίνει ότι εξηγήσαμε παραπάνω