

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

توضیح پروژہ واحد مدیریت حافظہ

۱۵ تیر ۱۴۰۳

سید امیر محمد میرشمسی - ۴۰۱۵۲۲۱۶۹

ابوالفضل شہیدی - ۴۰۱۵۲۱۳۸۱

فهرست مطالب

۳	۱ خلاصه
۳	۲ ورودی ها
۳	۳ خروجی ها
۳	۴ معماری
۳	۱.۴ موجودیت MMU
۳	۲.۴ معماری Behavioral
۴	۳.۴ فرآیند اصلی

۱ خلاصه

در این پروژه با استفاده از زبان VHDL یک واحد مدیریت حافظه را پیاده سازی می کنیم که شامل موارد زیر می باشد:

- Page Table
- Main-Memory
- Disk
- Page-Fault

۲ ورودی ها

- clk : سیگنال ساعت
- reset : سیگنال بازنشانی
- virtual-address : آدرس مجازی ورودی

۳ خروجی ها

- physical-address : آدرس فیزیکی خروجی
- page-fault : سیگنال وقفه صفحه

۴ معماری

۱.۴ موجودیت MMU

شامل پورت های ورودی خروجی زیر می باشد:

- سیگنال ساعت
- سیگنال بازنشانی
- آدرس مجازی
- آدرس فیزیکی
- سیگنال وقفه صفحه

۲.۴ Behavioral معماری

Disk، Main-Memory، Page-Table به عنوان آرایه هایی از رکورد ها تعریف شده اند. هر ورودی Page-Table شامل بخش های زیر می باشد:

- valid : بیت معتبر
- frame-number : شماره فریم

۳.۴ فرآیند اصلی

ابتدا جدول صفحه، حافظه اصلی و دیسک را به حالت اولیه تنظیم می کنیم.

۱. اگر صفحه در حافظه موجود باشد آدرس فیزیکی محاسبه و تنظیم می شود.

۲. در غیر این صورت Page-Fault رخ می دهد و صفحه از دیسک بارگذاری می شود و Page-Table بروزرسانی می شود. ابتدا چک می کند که آیا حافظه اصلی کامل اشغال شده است؟ اگر نشده باشد یکی از فریم های خالی حافظه را به آن اختصاص می دهد و در غیر این صورت با سیاست جایگزینی کمترین استفاده (LFU) به دنبال یک فریم برای جایگزینی صفحه جدید می گردد. شماره فریم این صفحه به عنوان فریم جایگزین انتخاب می شود و صفحه قدیمی از جدول صفحات معتبر خارج می شود (بیت valid آن صفر می شود). سپس داده از دیسک به حافظه اصلی بارگذاری می شود.