静态时序分析

一、概念

1.1、时序分析（Timing Analysis）通常指两种分析方法：静态时序分析（Static Timing Analysis）和时序仿真分析（Timing Simulation）。

1.2、CMOS单元建模

标准单元的一个输出引脚可驱动多个后续单元。输出引脚自身电容，连接后续单元的导线电容以及后续单元的输入电容之和构成标准单元的驱动电容。驱动电容的大小将影响标准单元的时序。

标准单元输出电路中的上拉和下拉结构在对驱动电容充放电时，等效为电阻。上拉结构越大，等效上拉电阻越小，驱动能力越强；同理，下拉结构越大，等效下拉电阻越小，驱动能力越强。

1.3、电平翻转波形

设，上拉等效电阻Rdh

下拉等效电阻Rdl

电源电压Vdd

公共端电压Vss

则：

输出由“0”转换为“1”时，输出端电压为：

Vout = Vdd \* [1 - e-t/(Rdh \* Cload)], 电流方向是从电源Vdd经Rdh到Cload。

输出由“1”转换为“0”时，输出端电压为：

Vout = Vdd \* e-t/(Rdl \* Cload), 电流方向是从Cload经Rdh到Vss。

1.4、传播延时（Propagation Delay）

对于标准单元，输入、输出信号翻转并达到电源幅值的同一百分值为参考时间点时，输出信号对于输入信号的延迟时间是传播延时。通常单元內部路劲越短，传播延时越小。如果上、下拉结构不同，信号上升、下降延迟不同。

1.5、转换时间（Translation Time）和波形转换率（Slew Rate）

信号电平上升或下降所需要的时间为转换时间，转换时间的倒数是波形转换率。通常驱动能力越强转换时间越短，转换率越高。

1.6、信号之间的偏移（Skew）以及自身的频率稳定性（Jitter）

多个信号之间的时序差称为偏移，信号可以是数据（Data Skew）也可以是时钟（Clock Skew）。Skew通常由信号路径长短不一致引起。

单一信号的周期或频率不稳定而产生Jitter。

1.7、时序弧（Timing Arc）

某一个单元的输入与输出的时序关系。

1.8、最小和最大时序路径

数据通路上，信号通过逻辑路径的总时间被称为路径延迟。有最大路径延迟的路径叫作最大路径、晚路径；有最小路径延迟的路径叫作最小路径、早路径。

1.9、时钟域

由同一时钟驱动的一组触发器被称为该时钟的时钟域。