静态时序分析

**一、概念**

1.1、时序分析（Timing Analysis）通常指两种分析方法：静态时序分析（Static Timing Analysis）和时序仿真分析（Timing Simulation）。

1.2、CMOS单元建模

标准单元的一个输出引脚可驱动多个后续单元。输出引脚自身电容，连接后续单元的导线电容以及后续单元的输入电容之和构成标准单元的驱动电容。驱动电容的大小将影响标准单元的时序。

标准单元输出电路中的上拉和下拉结构在对驱动电容充放电时，等效为电阻。上拉结构越大，等效上拉电阻越小，驱动能力越强；同理，下拉结构越大，等效下拉电阻越小，驱动能力越强。

1.3、电平翻转波形

设，上拉等效电阻Rdh

下拉等效电阻Rdl

电源电压Vdd

公共端电压Vss

则：

输出由“0”转换为“1”时，输出端电压为：

Vout = Vdd \* [1 - e-t/(Rdh \* Cload)], 电流方向是从电源Vdd经Rdh到Cload。

输出由“1”转换为“0”时，输出端电压为：

Vout = Vdd \* e-t/(Rdl \* Cload), 电流方向是从Cload经Rdh到Vss。

1.4、传播延时（Propagation Delay）

对于标准单元，输入、输出信号翻转并达到电源幅值的同一百分值为参考时间点时，输出信号对于输入信号的延迟时间是传播延时。通常单元內部路劲越短，传播延时越小。如果上、下拉结构不同，信号上升、下降延迟不同。

1.5、转换时间（Translation Time）和波形转换率（Slew Rate）

信号电平上升或下降所需要的时间为转换时间，转换时间的倒数是波形转换率。通常驱动能力越强转换时间越短，转换率越高。

1.6、信号之间的偏移（Skew）以及自身的频率稳定性（Jitter）

多个信号之间的时序差称为偏移，信号可以是数据（Data Skew）也可以是时钟（Clock Skew）。Skew通常由信号路径长短不一致引起。

单一信号的周期或频率不稳定而产生Jitter。

1.7、时序弧（Timing Arc）

某一个单元的输入与输出的时序关系。

1.8、最小和最大时序路径

数据通路上，信号通过逻辑路径的总时间被称为路径延迟。有最大路径延迟的路径叫作最大路径、晚路径；有最小路径延迟的路径叫作最小路径、早路径。

1.9、时钟域

由同一时钟驱动的一组触发器被称为该时钟的时钟域。

2.0、工作条件

工作条件由工艺（Processs）、电压（Voltage）和温度（Temperature）PVT共同定义。单元延迟和互联延迟是在特定的工作条件下计算的。

1. **标准单元库**

电路单元的输入输出特性通常用Liberty格式文件来描述。其特征包括：1）引脚电容，通常单元引脚电容越大，延迟越大；在大多数情况下，延迟随着输入转换时间的增加而增加，在少数情况下，单元的延迟可能与输入转换时间呈现非单调性，更大的输入转换时间可能产生更小的延迟。

2.1、线性时序模型（Linear Delay Model）

单元延迟D = D0 + D1\*S + D2\*C

式中，D0，D1，D2是常数，S是输入转换时间，C是输出负载电容。

2.2、非线性时序模型（Non-Linear Delay Model）

NLDM模型主要有：Table Model、ECSM（电流源模型）

2.3、组合逻辑时序模型

2.4、时序逻辑时序模型

2.4.1、同步检查：建立时间和保持时间

建立时间是测量最晚的数据信号（Latest Data Signal）应先于有效时钟沿的时间间隔。保持时间是有效时钟沿之后，数据输入必须保持稳定的最小时间。

1. 建立时间和保持时间的测量和计算参考点是有效时钟沿。
2. 建立时间 + 保持时间 > 0。
3. 数据变化时刻，应在建立时间与保持时间窗口之外，否则电路会进入亚稳态。
4. 通常有效时钟沿时刻位于建立时间与保持时间窗口之间，此时建立时间和保持时间的计算值均为正值；如果有效时钟沿时刻位于建立时间与保持时间窗口之外，则计算出的建立时间或保持时间可能为负值。
5. 建立时间或保持时间出现负值的原因是，计算参考位置以及计算参考时刻的选择造成的。通常的计算参考位置是芯片的引脚，参考时刻也是有效时钟沿到达芯片时钟引脚的时刻。但是芯片内部数据路径与时钟路径存在延时，这两个路径的延时差异可能会导致建立时间或保持时间出现负值。如果参考点选在芯片内部锁存点（Latch Point）以及有效时钟沿到达芯片内部时钟输入点的时刻，那么建立时间和保持时间都为正值。
6. 芯片内部数据路径长度小于时钟路径长度时，建立时间可能为非正值。此时，（计算的参考点是芯片引脚以及有效时钟沿到达时钟引脚）数据引脚可以在有效时钟引脚后变化而不会造成建立时间违例。
7. 芯片内部数据路径长度大于时钟路径长度时，保持时间可能为非正值。此时，（计算的参考点是芯片引脚以及有效时钟沿到达时钟引脚）数据引脚可以先于时钟引脚变化而不会造成保持时间违例。
8. 在某些芯片手册中可以看见保持时间为0，即上面g情况。若芯片内部数据路径与时钟路径在设计时保持等长，则仅存在e情况。对于f、g可理解为江湖歪门邪道。

2.4.2、异步检查

a、恢复时间和移除时间检查（Recovery and Remove Check）

异步引脚（如：异步清除Clear，异步置位Set）可以覆盖单元的任何同步行为。当某个异步引脚有效（Active）时，输出由异步引脚控制而非同步时钟控制。当异步引脚无线（Inactive）时，有效时钟沿开始锁存数据输入端数据并经一定的延迟后出现在输出端。

恢复时间是异步引脚被设置为无效（De-asserted）后，在下一个有效时钟沿之前需要保持稳定的最短时间。

移除时间是异步引脚被设置为无效（De-asserted）前，在某一个有效时钟沿之后

需要保持稳定的最短时间。

理解异步恢复时间：有效时钟沿之前，异步引脚持续无效的最短时间。恢复的意思是电路由异步状态恢复到同步工作状态？

理解异步移除时间：？

b、脉冲宽度检查（Pulse Width Check）

确保单元输入引脚的脉冲宽度满足最小要求。比如时钟输入引脚脉冲宽度必须大于指定值，否则不能正确锁存数据。最小脉冲宽度检查可以指定高脉冲或低脉冲。

2.4.3、传播延迟

传播延迟是从时钟有效沿到输出上升或下降沿的时间差。tco

2.5、状态相关的时序模型

状态相关时序模型（Stat-Dependent Model）：输入与输出之间的时序弧取决于该逻辑块的其它引脚。状态相关模型可以用来指定时序库中任何属性（Attribute）。如：timing()、power()、leakage\_power()等。

2.6、黑箱（Black Box）接口时序模型