

8.1.4 控制单元和中断系统

控制单元(CU)是提供完成计算机全部指令操作的微操作命令序列部件。现代计算机中微操作命令序列的形成方法有两种:一种是组合逻辑设计方法,为硬连线逻辑;另一种是微程序设计方法,为存储逻辑。具体内容详见第 4 篇。

中断系统主要用于处理计算机的各种中断,详细内容在 8.4 节介绍。

8.2 指令周期

8.2.1 指令周期的基本概念

CPU 每取出并执行一条指令所需的全部时间称为指令周期,也即 CPU 完成一条指令的时间,如图 8.5 所示。图中的取指阶段完成取指令和分析指令的操作,又称取指周期;执行阶段完成执行指令的操作,又称执行周期。在大多数情况下,CPU 就是按“取指—执行—再取指—再执行…”的顺序自动工作的。

由于各种指令操作功能不同,因此各种指令的指令周期是不相同的。例如,无条件转移指令“JMP X”,在执行阶段不需要访问主存,而且操作简单,完全可以在取指阶段的后期将转移地址 X 送至 PC,以达到转移的目的。这样,“JMP X”指令的指令周期就是取指周期。又如一地址格式的加法指令“ADD X”,在执行阶段首先要从 X 所指示的存储单元中取出操作数,然后和 ACC 的内容相加,结果存于 ACC,故这种指令的指令周期在取指和执行阶段各访问一次存储器,其指令周期就包括两个存取周期。再如乘法指令,其执行阶段所要完成的操作比加法指令多得多,故它的执行周期超过了加法指令,如图 8.6 所示。

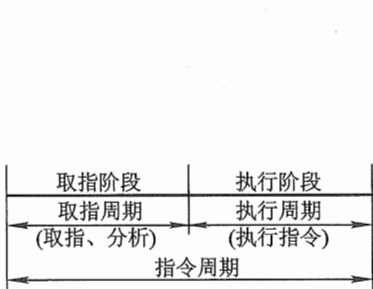


图 8.5 指令周期定义示意图

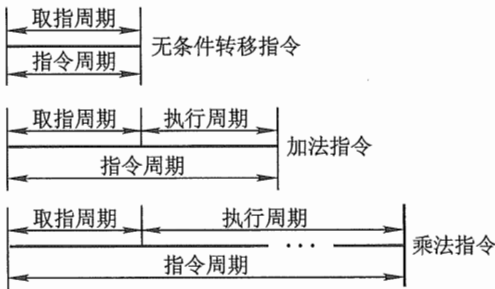


图 8.6 各种指令周期的比较

此外,当遇到间接寻址的指令时,由于指令字中只给出操作数有效地址的地址,因此,为了取出操作数,需先访问一次存储器,取出有效地址,然后再访问存储器,取出操作数,如图 7.11(a) 所示。这样,间接寻址的指令周期就包括取指周期、间址周期和执行周期 3 个阶段,其中间址周期用于取操作数的有效地址,因此间址周期介于取指周期和执行周期之间,如图 8.7 所示。

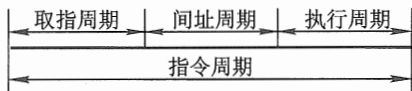


图 8.7 具有间址周期的指令周期

由第 5 章可知,当 CPU 采用中断方式实现主机与 I/O 设备交换信息时,CPU 在每条指令执行阶段结束前,都要发中断查询信号,以检测是否有某个 I/O 设备提出中断请求。如果有请求,CPU 则要进入中断响应阶段,又称中断周期。在此阶段,CPU 必须将程序断点保存到存储器中。这样,一个完整的指令周期应包括取指、间址、执行和中断 4 个子周期,如图 8.8 所示。由于间址周期和中断周期不一定包含在每个指令周期内,故图中用菱形框判断。

总之,上述 4 个周期都有 CPU 访存操作,只是访存的目的不同。取指周期是为了取指令,间址周期是为了取有效地址,执行周期是为了取操作数(当指令为访存指令时),中断周期是为了保存程序断点。这 4 个周期又可称为 CPU 的工作周期,为了区别它们,在 CPU 内可设置 4 个标志触发器,如图 8.9 所示。

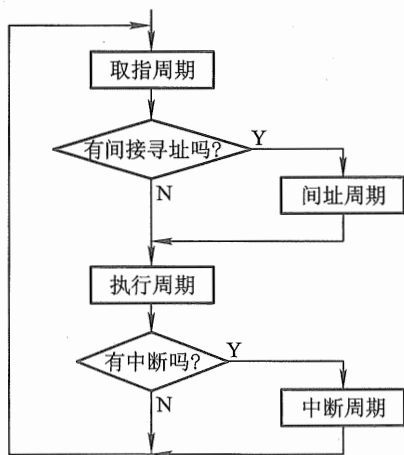


图 8.8 指令周期流程

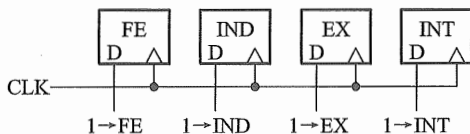


图 8.9 CPU 工作周期的标志

图 8.9 所示的 FE、IND、EX 和 INT 分别对应取指、间址、执行和中断 4 个周期,并以“1”状态表示有效,它们分别由 1→FE、1→IND、1→EX 和 1→INT 这 4 个信号控制。

设置 CPU 工作周期标志触发器对设计控制单元十分有利。例如,在取指阶段,只要设置取指周期标志触发器 FE 为 1,由它控制取指阶段的各个操作,便获得对任何一条指令的取指命令序列。又如,在间接寻址时,间址次数可由间址周期标志触发器 IND 确定,当它为“0”状态时,表

示间接寻址结束。再如,对于一些执行周期不访存的指令(如转移指令、寄存器类型指令),同样可以用它们的操作码与取指周期标志触发器的状态相“与”,作为相应微操作的控制条件。这些特点读者在控制单元的设计中可进一步体会。

8.2.2 指令周期的数据流

为了便于分析指令周期中的数据流,假设 CPU 中有存储器地址寄存器 MAR、存储器数据寄存器 MDR、程序计数器 PC 和指令寄存器 IR。

1. 取指周期的数据流

图 8.10 所示的是取指周期的数据流。PC 中存放现行指令的地址,该地址送到 MAR 并送至地址总线,然后由控制部件 CU 向存储器发读命令,使对应 MAR 所指单元的内容(指令)经数据总线送至 MDR,再送至 IR,并且 CU 控制 PC 内容加 1,形成下一条指令的地址。

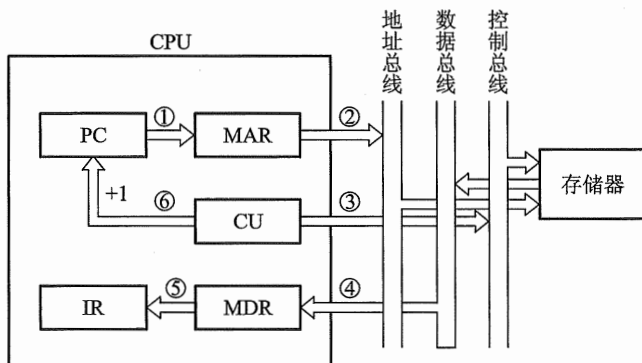


图 8.10 取指周期数据流

2. 间址周期的数据流

间址周期的数据流如图 8.11 所示。一旦取指周期结束,CU 便检查 IR 中的内容,以确定其

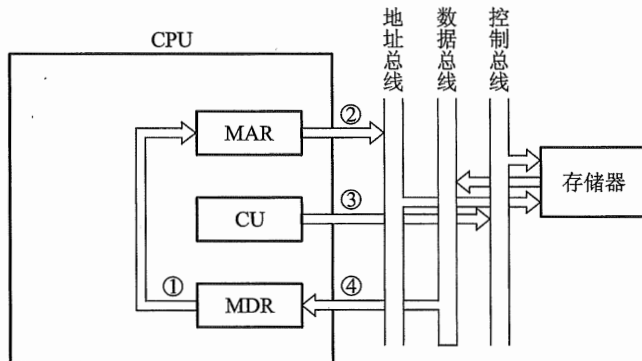


图 8.11 间址周期数据流