

第四章 存储器

作业：P150 4.1、4.2、4.3、4.4、4.5、4.6、4.7、4.9、4.10、4.11、4.12、4.13、4.14、4.15、4.16、4.17、4.18、4.19、4.20、4.21、4.22、4.23、4.24、4.25、4.26、4.27、4.28、4.29、4.30、4.31、4.32、4.33、4.34、4.39

4.1 解释概念：主存、辅存、Cache、RAM、SRAM、DRAM、ROM、PROM、EPROM、EEPROM、CDROM、Flash Memory。

答：主存：主存储器，用于存放正在执行的程序和数据。CPU 可以直接进行随机读写，访问速度较高。

辅存：辅助存储器，用于存放当前暂不执行的程序和数据，以及一些需要永久保存的信息。

Cache：高速缓冲存储器，介于 CPU 和主存之间，用于解决 CPU 和主存之间速度不匹配问题。

RAM：半导体随机存取存储器，主要用作计算机中的主存。

SRAM：静态半导体随机存取存储器。

DRAM：动态半导体随机存取存储器。

ROM：掩膜式半导体只读存储器。由芯片制造商在制造时写入内容，以后只能读出而不能写入。

PROM：可编程只读存储器，由用户根据需要确定写入内容，只能写入一次。

EPROM：紫外线擦写可编程只读存储器。需要修改内容时，现将其全部内容擦除，然后再编程。擦除依靠紫外线使浮动栅极上的电荷泄露而实现。

EEPROM：电擦写可编程只读存储器。

CDROM：只读型光盘。

Flash Memory：闪速存储器。或称快擦型存储器。

4.2 计算机中哪些部件可以用于存储信息？按速度、容量和价格/位排序说明。

答：计算机中寄存器、Cache、主存、硬盘可以用于存储信息。

按速度由高至低排序为：寄存器、Cache、主存、硬盘；

按容量由小至大排序为：寄存器、Cache、主存、硬盘；

按价格/位由高至低排序为：寄存器、Cache、主存、硬盘。

4.3、存储器的层次结构主要体现在什么地方，为什么要分这些层次？计算机如何管理这些层次？

答：

存储器的层次结构主要体现在 Cache-主存和主存-辅存两个存储层次上。

目的是以较小的代价解决速度不匹配和容量问题。Cache-主存层次主要解决速度问题，主存-辅存层次主要解决容量问题。

CPU 和 Cache、主存都能够交换信息，但多数情况下是直接 Cache 交换信息，只有在未命中的情况下才读主存信息。Cache 与主存之间的信息交换采用某种映射方式由硬件完成，但信息交换的发起由 CPU 主导。CPU 不能直接访问辅存，辅存只能与主存进行信息交换，也由硬件完成，信息交换的发起也由 CPU 主导。

4.4、说明存取周期和存取时间的区别。

存取时间的定义：启动一次存储器操作（读或写）到完成该操作所需的全部时间。

存取时间分读出和写入时间，读出时间是从存储器接收到有效的地址码开始，到产生有效输出数据的时间；写入时间是从存储器接收到有效的地址码开始，到数据被写入存储器具体单元的时间。

读出时间和写入时间不一定相同。

存取周期的定义：存储器连续两次独立的存储器操作（读或写）所需的最小间隔时间。

可以这样理解：前一次的操作，是从 CPU 发出地址码开始，到完成存储器的操作，再到下一次 CPU 发出地址码开始的最小间隔时间。若读出时间大于写入时间，则选择连续两次独立的读存储器时间作为存取周期；若读出时间小于写入时间，则选择连续两次独立的写存储器时间作为存取周期。

4.5、什么是存储器的带宽？若存储器的数据总线宽度为 32 位，存取周期为 200ns，则存储器的带宽是多少？

答：

存储器的带宽：即为存储器在单位时间内存取的信息量。计量单位 word/s, byte/s, bit/s
存取周期 200ns，意味着每秒可有 $(1/200) \times 10^9 = 5 \times 10^6$ 个存取周期，而传输 32bit/存取周期，
则：带宽 = $5 \times 10^6 \times (32/8) = 20\text{MB}$

4.6、某机字长 32 为，其存储容量为 64KB，按字编址其寻址范围是多少？若主存以字节编址，试画出主存字地址和字节地址的分配情况。

答：

按字编址的存储器容量：64KB / (32/8) = 16KW，其寻址范围：16K

主存字地址和字节地址的分配情况：

字地址 0	字节地址 3	字节地址 2	字节地址 1	字节地址 0
字地址 1	字节地址 7	字节地址 6	字节地址 5	字节地址 4
~	~			
字地址 n	字节地址 4n+3	字节地址 4n+2	字节地址 4n+1	字节地址 4n+0

4.7、一个容量为 16K*32 位的存储器，其地址线和数据线的总和是多少？当选用下列不同规格的存储芯片时，各需要多少片？

1K*4 位，2K*8 位，4K*4 位，16K*1 位，4K*8 位，8K*8 位

答：16K = $2^4 \times 2^{10} = 2^{14}$ ，地址线 14 条，数据线 32 条，共 46 条。

1K*4 位芯片：(16K*32) / (1K*4) = 128 片

2K*8 位芯片：(16K*32) / (2K*8) = 32 片

4K*4 位芯片：(16K*32) / (4K*4) = 32 片

16K*1 位芯片：(16K*32) / (16K*1) = 32 片

4K*8 位芯片：(16K*32) / (4K*8) = 16 片

8K*8 位芯片：(16K*32) / (8K*8) = 8 片

4.9 什么叫刷新？为什么要刷新？说明刷新有几种方法。

解：刷新：对 DRAM 定期进行的全部重写过程；

刷新原因：因电容泄漏而引起的 DRAM 所存信息的衰减需要及时补充，因此安排了定期刷新操作；
常用的刷新方法有三种：集中式、分散式、异步式。

集中式：在最大刷新间隔时间内，集中安排一段时间进行刷新，存在 CPU 访存死时间。

分散式：在每个读/写周期之后插入一个刷新周期，无 CPU 访存死时间。

异步式：是集中式和分散式的折衷。

4.10 半导体存储器芯片的译码驱动方式有几种？

解：半导体存储器芯片的译码驱动方式有两种：线选法和重合法。

线选法：地址译码信号只选中同一个字的所有位，结构简单，费器材；

重合法：地址分行、列两部分译码，行、列译码线的交叉点即为所选单元。这种方法通过行、列译码信号的重合来选址，也称矩阵译码。可大大节省器材用量，是最常用的译码驱动方式。

4.11 一个 $8K \times 8$ 位的动态 RAM 芯片，其内部结构排列成 256×256 形式，存取周期为 $0.1 \mu s$ 。试问采用集中刷新、分散刷新和异步刷新三种方式的刷新间隔各为多少？

解：采用分散刷新方式刷新间隔为 $2ms$ ，其中刷新死时间为： $256 \times 0.1 \mu s = 25.6 \mu s$

采用分散刷新方式刷新间隔为： $256 \times (0.1 \mu s + 0.1 \mu s) = 51.2 \mu s$

采用异步刷新方式刷新间隔为 $2ms$

4.12 画出用 1024×4 位的存储芯片组成一个容量为 $64K \times 8$ 位的存储器逻辑框图。要求将 $64K$ 分成 4 个页面，每个页面分 16 组，指出共需多少片存储芯片。

解：设采用 SRAM 芯片，则：

总片数 = $(64K \times 8 \text{ 位}) / (1024 \times 4 \text{ 位}) = 64 \times 2 = 128$ 片

题意分析：本题设计的存储器结构上分为总体、页面、组三级，因此画图时也应分三级画。首先应确定各级的容量：

页面容量 = 总容量 / 页面数 = $64K \times 8 / 4 = 16K \times 8$ 位，4 片 $16K \times 8$ 字串联成 $64K \times 8$ 位

组容量 = 页面容量 / 组数 = $16K \times 8 \text{ 位} / 16 = 1K \times 8$ 位，16 片 $1K \times 8$ 位字串联成 $16K \times 8$ 位

组内片数 = 组容量 / 片容量 = $1K \times 8 \text{ 位} / 1K \times 4 \text{ 位} = 2$ 片，两片 $1K \times 4$ 位芯片位并联成 $1K \times 8$ 位

存储器逻辑框图：（略）。

4.13 设有一个 $64K \times 8$ 位的 RAM 芯片，试问该芯片共有多少个基本单元电路（简称存储基元）？欲设计一种具有上述同样多存储基元的芯片，要求对芯片字长的选择应满足地址线和数据线的总和为最小，试确定这种芯片的地址线和数据线，并说明有几种解答。

解：存储基元总数 = $64K \times 8 \text{ 位} = 512K \text{ 位} = 2^{19}$ 位；

思路：如要满足地址线和数据线总和最小，应尽量把存储元安排在字向，因为地址位数和字数成 2 的幂的关系，可较好地压缩线数。

设地址线根数为 a ，数据线根数为 b ，则片容量为： $2^a \times b = 2^{19}$ ； $b = 2^{19-a}$ ；

若 $a = 19$ ， $b = 1$ ，总和 = $19+1 = 20$ ；

$a = 18$ ， $b = 2$ ，总和 = $18+2 = 20$ ；

$a = 17$ ， $b = 4$ ，总和 = $17+4 = 21$ ；

$a = 16$ ， $b = 8$ ，总和 = $16+8 = 24$ ；

.....

由上可看出：芯片字数越少，芯片字长越长，引脚数越多。芯片字数减 1、芯片位数均按 2 的幂变化。

结论：如果满足地址线和数据线的总和为最小，这种芯片的引脚分配方案有两种：地址线 = 19 根，数据线 = 1 根；或地址线 = 18 根，数据线 = 2 根。

- 4.14 某 8 位微型机地址码为 18 位，若使用 $4K \times 4$ 位的 RAM 芯片组成模块板结构的存储器，试问：
- (1) 该机所允许的最大主存空间是多少？
 - (2) 若每个模块板为 $32K \times 8$ 位，共需几个模块板？
 - (3) 每个模块板内共有几片 RAM 芯片？
 - (4) 共有多少片 RAM？
 - (5) CPU 如何选择各模块板？

解：(1) 该机所允许的最大主存空间是： $2^{18} \times 8 \text{ 位} = 256K \times 8 \text{ 位} = 256KB$

(2) 模块板总数 = $256K \times 8 / 32K \times 8 = 8 \text{ 块}$

(3) 板内片数 = $32K \times 8 \text{ 位} / 4K \times 4 \text{ 位} = 8 \times 2 = 16 \text{ 片}$

(4) 总片数 = $16 \text{ 片} \times 8 = 128 \text{ 片}$

(5) CPU 通过最高 3 位地址译码输出选择模板，次高 3 位地址译码输出选择芯片。地址格式分配如下：

模板号 (3位)	芯片号 (3位)	片内地址 (12位)
----------	----------	------------

- 4.15 设 CPU 共有 16 根地址线，8 根数据线，并用 \overline{MREQ} （低电平有效）作访存控制信号， R/\overline{W} 作读写命令信号（高电平为读，低电平为写）。现有下列存储芯片：ROM ($2K \times 8$ 位， $4K \times 4$ 位， $8K \times 8$ 位)，RAM ($1K \times 4$ 位， $2K \times 8$ 位， $4K \times 8$ 位)，及 74138 译码器和其他门电路（门电路自定）。试从上述规格中选用合适芯片，画出 CPU 和存储芯片的连接图。要求：

- (1) 最小 4K 地址为系统程序区，4096~16383 地址范围为用户程序区。
- (2) 指出选用的存储芯片类型及数量。
- (3) 详细画出片选逻辑。

解：(1) 地址空间分配图：

系统程序区 (ROM 共 4KB)：0000H-0FFFH

用户程序区 (RAM 共 12KB)：1000H-3FFFH

(2) 选片：ROM：选择 $4K \times 4$ 位芯片 2 片，位并联

RAM：选择 $4K \times 8$ 位芯片 3 片，字串联 (RAM1 地址范围为：1000H-1FFFH, RAM2 地址范围为 2000H-2FFFH, RAM3 地址范围为：3000H-3FFFH)

(3) 各芯片二进制地址分配如下：

	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
ROM1, 2	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1
RAM1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1
RAM2	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1
RAM3	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0
	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CPU 和存储器连接逻辑图及片选逻辑如下图 (3) 所示：

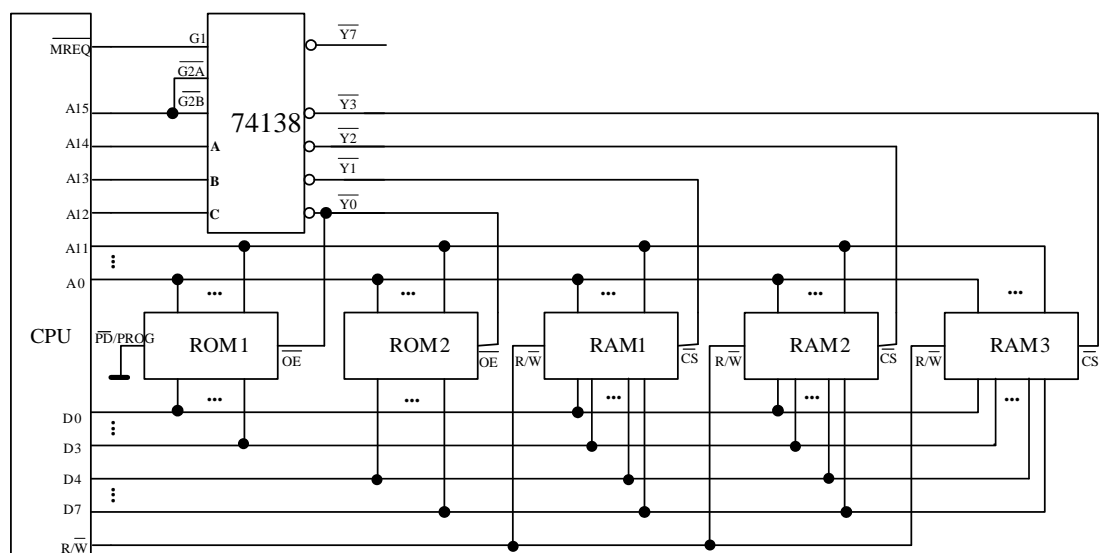


图 (3)

4.16 CPU 假设同上题，现有 8 片 $8K \times 8$ 位的 RAM 芯片与 CPU 相连，试回答：

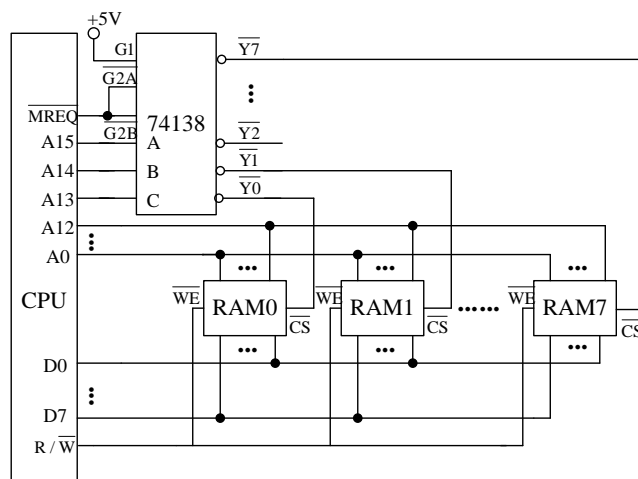
(1) 用 74138 译码器画出 CPU 与存储芯片的连接图；

(2) 写出每片 RAM 的地址范围；

(3) 如果运行时发现不论往哪片 RAM 写入数据后，以 A000H 为起始地址的存储芯片都有与其相同的数据，分析故障原因。

(4) 根据 (1) 的连接图，若出现地址线 A13 与 CPU 断线，并搭接到高电平上，将出现什么后果？

解：(1) CPU 与存储器芯片连接逻辑图：



(2) 地址空间分配图：

RAM0: 0000H—1FFFH

RAM1: 2000H—3FFFH

RAM2: 4000H—5FFFH

RAM3: 6000H—7FFFH

RAM4: 8000H—9FFFH

RAM5: A000H——BFFFH

RAM6: C000H——DFFFH

RAM7: E000H——FFFFH

(3) 如果运行时发现不论往哪片 RAM 写入数据后, 以 A000H 为起始地址的存储芯片(RAM5) 都有与其相同的数据, 则根本的故障原因为: 该存储芯片的片选输入端很可能总是处于低电平。假设芯片与译码器本身都是好的, 可能的情况有:

- 1) 该片的 \overline{CS} 端与 \overline{WE} 端错连或短路;
- 2) 该片的 \overline{CS} 端与 CPU 的 \overline{MREQ} 端错连或短路;
- 3) 该片的 \overline{CS} 端与地线错连或短路。

(4) 如果地址线 A13 与 CPU 断线, 并搭接到高电平上, 将会出现 A13 恒为“1”的情况。此时存储器只能寻址 A13=1 的地址空间(奇数片), A13=0 的另一半地址空间(偶数片) 将永远访问不到。若对 A13=0 的地址空间(偶数片) 进行访问, 只能错误地访问到 A13=1 的对应空间(奇数片) 中去。

4.17 写出 1100、1101、1110、1111 对应的汉明码。

解: 有效信息均为 $n=4$ 位, 假设有效信息用 $b_4b_3b_2b_1$ 表示

校验位位数 $k=3$ 位, ($2^k \geq n+k+1$)

设校验位分别为 c_1 、 c_2 、 c_3 , 则汉明码共 $4+3=7$ 位, 即: $c_1c_2b_4c_3b_3b_2b_1$

校验位在汉明码中分别处于第 1、2、4 位

$$c_1 = b_4 \oplus b_3 \oplus b_1$$

$$c_2 = b_4 \oplus b_2 \oplus b_1$$

$$c_3 = b_3 \oplus b_2 \oplus b_1$$

当有效信息为 1100 时, $c_3c_2c_1=110$, 汉明码为 0111100。

当有效信息为 1101 时, $c_3c_2c_1=001$, 汉明码为 1010101。

当有效信息为 1110 时, $c_3c_2c_1=000$, 汉明码为 0010110。

当有效信息为 1111 时, $c_3c_2c_1=111$, 汉明码为 1111111。

4.18 已知收到的汉明码(按配偶原则配置)为 1100100、1100111、1100000、1100001, 检查上述代码是否出错? 第几位出错?

解:

假设接收到的汉明码为: $c_1' c_2' b_4' c_3' b_3' b_2' b_1'$

纠错过程如下:

$$P_1 = c_1' \oplus b_4' \oplus b_3' \oplus b_1'$$

$$P_2 = c_2' \oplus b_4' \oplus b_2' \oplus b_1'$$

$$P_3 = c_3' \oplus b_3' \oplus b_2' \oplus b_1'$$

如果收到的汉明码为 1100100, 则 $p_3p_2p_1=011$, 说明代码有错, 第 3 位 (b_4') 出错, 有效信息为: 1100

如果收到的汉明码为 1100111, 则 $p_3p_2p_1=111$, 说明代码有错, 第 7 位 (b_1') 出错, 有效信息为: 0110

如果收到的汉明码为 1100000, 则 $p_3p_2p_1=110$, 说明代码有错, 第 6 位 (b_2') 出错, 有效信息为: 0010

如果收到的汉明码为 1100001, 则 $p_3p_2p_1=001$, 说明代码有错, 第 1 位 (c_1') 出错, 有效信息为: 0001

4.19 已经接收到下列汉明码，分别写出它们所对应的欲传送代码。

- | | |
|---------------------|---------------------|
| (1) 1100000 (按偶性配置) | (2) 1100010 (按偶性配置) |
| (3) 1101001 (按偶性配置) | (4) 0011001 (按奇性配置) |
| (5) 1000000 (按奇性配置) | (6) 1110001 (按奇性配置) |

解：

(一) 假设接收到的汉明码为 $C1' C2' B4' C3' B3' B2' B1'$ ，按偶性配置则：

$$P1 = C1' \oplus B4' \oplus B3' \oplus B1'$$

$$P2 = C2' \oplus B4' \oplus B2' \oplus B1'$$

$$P3 = C3' \oplus B3' \oplus B1'$$

(1) 如接收到的汉明码为 1100000，

$$P1 = 1 \oplus 0 \oplus 0 \oplus 0 = 1$$

$$P2 = 1 \oplus 0 \oplus 0 \oplus 0 = 1$$

$$P3 = 0 \oplus 0 \oplus 0 = 0$$

$P3P2P1 = 011$ ，第 3 位出错，可纠正为 1110000，故欲传送的信息为 1000。

(2) 如接收到的汉明码为 1100010，

$$P1 = 1 \oplus 0 \oplus 0 \oplus 0 = 1$$

$$P2 = 1 \oplus 0 \oplus 1 \oplus 0 = 0$$

$$P3 = 0 \oplus 0 \oplus 0 = 0$$

$P3P2P1 = 001$ ，第 1 位出错，可纠正为 0100010，故欲传送的信息为 0010。

(3) 如接收到的汉明码为 1101001，

$$P1 = 1 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$P2 = 1 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$P3 = 1 \oplus 0 \oplus 1 = 0$$

$P3P2P1 = 000$ ，传送无错，故欲传送的信息为 0001。

(二) 假设接收到的汉明码为 $C1' C2' B4' C3' B3' B2' B1'$ ，按奇性配置则：

$$P1 = C1' \oplus B4' \oplus B3' \oplus B1' \oplus 1$$

$$P2 = C2' \oplus B4' \oplus B2' \oplus B1' \oplus 1$$

$$P3 = C3' \oplus B3' \oplus B1' \oplus 1$$

(4) 如接收到的汉明码为 0011001，

$$P1 = 0 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 1$$

$$P2 = 0 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 1$$

$$P3 = 1 \oplus 0 \oplus 1 \oplus 1 = 1$$

$P3P2P1 = 111$ ，第 7 位出错，可纠正为 0011000，故欲传送的信息为 1000。

(5) 如接收到的汉明码为 1000000，

$$P1 = 1 \oplus 0 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$P2 = 0 \oplus 1 \oplus 0 \oplus 0 \oplus 1 = 0$$

$$P3 = 0 \oplus 0 \oplus 0 \oplus 1 = 1$$

$P3P2P1 = 100$ ，第 4 位出错，可纠正为 1001000，故欲传送的信息为 0000。

(6) 如接收到的汉明码为 1110001，

$$P1 = 1 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 0$$

$$P2 = 1 \oplus 1 \oplus 0 \oplus 1 \oplus 1 = 0$$

$$P3 = 0 \oplus 0 \oplus 1 \oplus 1 = 0$$

$P3P2P1 = 000$ ，传送无错，故欲传送的信息为 1001。

4.20 欲传送的二进制代码为 1001101，用奇校验来确定其对应的汉明码，若在第 6 位出错，说明纠错过程。

解：欲传送的二进制代码为 1001101，有效信息位数为 $n=7$ 位，则汉明校验的校验位为 k 位，则：
 $2k \geq n+k+1$, $k=4$ ，进行奇校验设校验位为 $C1C2C3C4$ ，汉明码为 $C1C2B7C3B6B5B4C4B3B2B1$ ，

$$C1=1 \oplus B7 \oplus B6 \oplus B4 \oplus B3 \oplus B1=1 \oplus 1 \oplus 0 \oplus 1 \oplus 1 \oplus 1=1$$

$$C2=1 \oplus B7 \oplus B5 \oplus B4 \oplus B2 \oplus B1=1 \oplus 1 \oplus 0 \oplus 1 \oplus 0 \oplus 1=0$$

$$C3=1 \oplus B6 \oplus B5 \oplus B4=1 \oplus 0 \oplus 0 \oplus 1=0$$

$$C4=1 \oplus B3 \oplus B2 \oplus B1=1 \oplus 1 \oplus 0 \oplus 1=1$$

故传送的汉明码为 10100011101，若第 6 位 ($B5$) 出错，即接收的码字为 10100111101，则

$$P1=1 \oplus C1' \oplus B7' \oplus B6' \oplus B4' \oplus B3' \oplus B1' =1 \oplus 1 \oplus 1 \oplus 0 \oplus 1 \oplus 1 \oplus 1=0$$

$$P2=1 \oplus C2' \oplus B7' \oplus B5' \oplus B4' \oplus B2' \oplus B1' =1 \oplus 0 \oplus 1 \oplus 1 \oplus 1 \oplus 0 \oplus 1=1$$

$$P3=1 \oplus C3' \oplus B6' \oplus B5' \oplus B4' =1 \oplus 0 \oplus 0 \oplus 1 \oplus 1=1$$

$$P4=1 \oplus C4' \oplus B3' \oplus B2' \oplus B1' =1 \oplus 1 \oplus 1 \oplus 0 \oplus 1=0$$

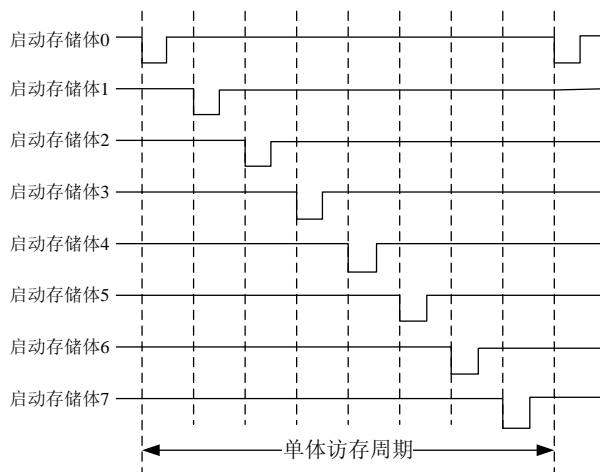
$P4P3P2P1=0110$ 说明第 6 位出错，对第 6 位取反即完成纠错。

4.21 为什么在汉明码纠错过程中，新的检测位 $P4P2P1$ 的状态即指出了编码中错误的信息位？

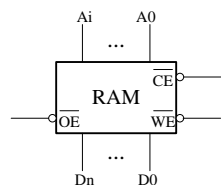
答：汉明码属于分组奇偶校验， $P4P2P1=000$ ，说明接收方生成的校验位和收到的校验位相同，否则不同说明出错。由于分组时校验位只参加一组奇偶校验，有效信息参加至少两组奇偶校验，若果校验位出错， $P4P2P1$ 的某一位将为 1，刚好对应位号 4、2、1；若果有效信息出错，将引起 $P4P2P1$ 中至少两位为 1，如 $B1$ 出错，将使 $P4P1$ 均为 1， $P2=0$, $P4P2P1=101$ ，

4.22 某机字长 16 位，常规的存储空间为 64K 字，若想不改用其他高速的存储芯片，而使访存速度提高到 8 倍，可采取什么措施？画图说明。

解：若想不改用高速存储芯片，而使访存速度提高到 8 倍，可采取八体交叉存取技术，8 体交叉访问时序如下图：

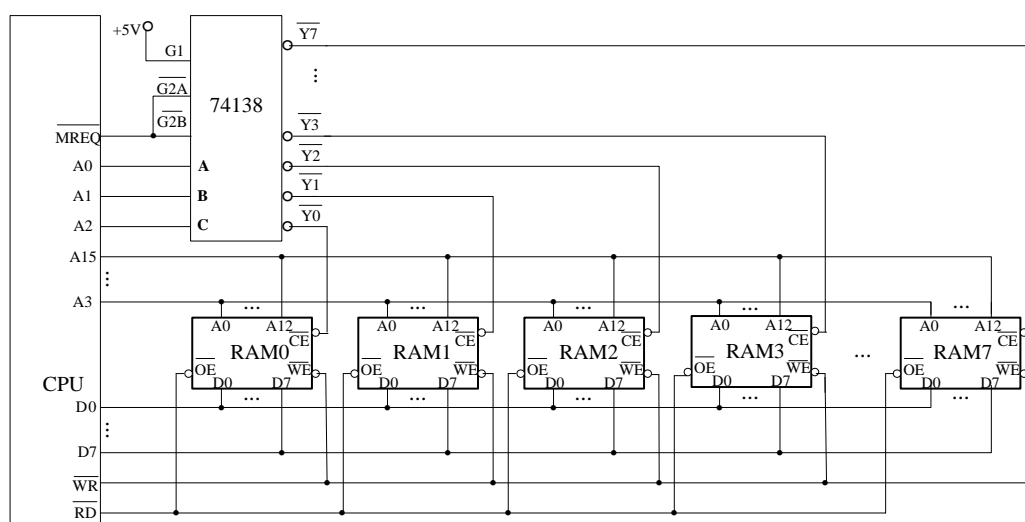


4.23 设 CPU 共有 16 根地址线，8 根数据线，并用 $\overline{M}/\overline{IO}$ 作为访问存储器或 I/O 的控制信号（高电平为访存，低电平为访 I/O）， \overline{WR} （低电平有效）为写命令， \overline{RD} （低电平有效）为读命令。设计一个容量为 64KB 的采用低位交叉编址的 8 体并行结构存储器。现有下图所示的存储器芯片和 138 译码器。画出 CPU 和存储器芯片（芯片容量自定）的连接图，并写出图中每个存储芯片的地址范围（用十六进制数表示）。



十六进制数表示）。

解：8 体低位交叉并行存储器的每个存储体容量为 $64KB/8=8KB$ ，因此应选择 8KBRAM 芯片，芯片地址线 12 根（ A_0-A_{12} ），数据线 8 根（ D_0-D_7 ），用 138 译码器进行存储体的选择。设计如下：



4.24 一个 4 体低位交叉的存储器，假设存储周期为 T ，CPU 每隔 $1/4$ 存取周期启动一个存储体，试问依次访问 64 个字需多少个存取周期？

解：4 体低位交叉的存储器的总线传输周期为 τ ， $\tau = T/4$ ，依次访问 64 个字所需时间为：

$$t = T + (64 - 1) \tau = T + 63T/4 = 16.75T$$

4.25 什么是“程序访问的局部性”？存储系统中哪一级采用了程序访问的局部性原理？

答：程序运行的局部性原理指：在一小段时间内，最近被访问过的程序和数据很可能再次被访问；在空间上，这些被访问的程序和数据往往集中在一小片存储区；在访问顺序上，指令顺序执行比转移执行的可能性大（大约 5:1）。存储系统中 Cache-主存层次和主存-辅存层次均采用了程序访问的局部性原理。

4.26 计算机中设置 Cache 的作用是什么？能否将 Cache 的容量扩大，最后取代主存，为什么？

答：计算机中设置 Cache 的作用是解决 CPU 和主存速度不匹配问题。

不能将 Cache 的容量扩大取代主存，原因是：（1）Cache 容量越大成本越高，难以满足人们追求低价格的要求；（2）如果取消主存，当 CPU 访问 Cache 失败时，需要将辅存的内容调入 Cache 再由 CPU 访问，造成 CPU 等待时间太长，损失更大。

4.27 Cache 做在 CPU 芯片内有什么好处？将指令 Cache 和数据 Cache 分开又有什么好处？

答：Cache 做在 CPU 芯片内主要有下面几个好处：

(1) 可提高外部总线的利用率。因为 Cache 在 CPU 芯片内，CPU 访问 Cache 时不必占用外部总线。

(2) Cache 不占用外部总线就意味着外部总线可更多地支持 I/O 设备与主存的信息传输，增强了系统的整体效率。

(3) 可提高存取速度。因为 Cache 与 CPU 之间的数据通路大大缩短，故存取速度得以提高。

将指令 Cache 和数据 Cache 分开有如下好处：

(1) 可支持超前控制和流水线控制，有利于这类控制方式下指令预取操作的完成。

(2) 指令 Cache 可用 ROM 实现，以提高指令存取的可靠性。

(3) 数据 Cache 对不同数据类型的支持更为灵活，既可支持整数（例 32 位），也可支持浮点数据（如 64 位）。

补充：

Cache 结构改进的第三个措施是分级实现，如二级缓存结构，即在片内 Cache (L1) 和主存之间再设一个片外 Cache (L2)，片外缓存既可以弥补片内缓存容量不够大的缺点，又可在主存与片内缓存间起到平滑速度差的作用，加速片内缓存的调入调出速度。

4.28 设主存容量为 256K 字，Cache 容量为 2K 字，块长为 4。

(1) 设计 Cache 地址格式，Cache 中可装入多少块数据？

(2) 在直接映射方式下，设计主存地址格式。

(3) 在四路组相联映射方式下，设计主存地址格式。

(4) 在全相联映射方式下，设计主存地址格式。

(5) 若存储字长为 32 位，存储器按字节寻址，写出上述三种映射方式下主存的地址格式。

解：(1) Cache 容量为 2K 字，块长为 4，Cache 共有 $2K/4=2^{11}/2^2=2^9=512$ 块，

Cache 字地址 9 位，字块内地址为 2 位

因此，Cache 地址格式设计如下：

Cache 字块地址 (9 位)	字块内地址 (2 位)
------------------	-------------

(2) 主存容量为 256K 字= 2^{18} 字，主存地址共 18 位，共分 $256K/4=2^{16}$ 块，主存字块标记为 $18-9-2=7$ 位。

直接映射方式下主存地址格式如下：

主存字块标记 (7 位)	Cache 字块地址 (9 位)	字块内地址 (2 位)
--------------	------------------	-------------

(3) 根据四路组相联的条件，一组内共有 4 块，得 Cache 共分为 $512/4=128=2^7$ 组，主存字块标记为 $18-7-2=9$ 位，主存地址格式设计如下：

主存字块标记 (9 位)	组地址 (7 位)	字块内地址 (2 位)
--------------	-----------	-------------

(4) 在全相联映射方式下，主存字块标记为 $18-2=16$ 位，其地址格式如下：

主存字块标记 (16 位)	字块内地址 (2 位)
---------------	-------------

(5) 若存储字长为 32 位，存储器按字节寻址，则主存容量为 $256K*32/4=2^{21}B$ ，Cache 容量为 $2K*32/4=2^{14}B$ ，块长为 $4*32/4=32B=2^5B$ ，字块内地址为 5 位，在直接映射方式下，主存字块标记为 $21-9-5=7$ 位，主存地址格式为：

主存字块标记 (7 位)	Cache 字块地址 (9 位)	字块内地址 (5 位)
--------------	------------------	-------------

在四路组相联映射方式下，主存字块标记为 $21-7-5=9$ 位，主存地址格式为：

主存字块标记（9 位）	组地址（7 位）	字块内地址（5 位）
-------------	----------	------------

在全相联映射方式下，主存字块标记为 $21-5=16$ 位，主存地址格式为：

主存字块标记（16 位）	字块内地址（5 位）
--------------	------------

- 4.29 假设 CPU 执行某段程序时共访问 Cache 命中 4800 次，访问主存 200 次，已知 Cache 的存取周期为 30ns，主存的存取周期为 150ns，求 Cache 的命中率，以及 Cache-主存系统的平均访问时间和效率，该系统的性能提高了多少？

答：

根据题意： $N_c=4800$ ， $N_m=200$ ， $t_c=30\text{ns}$ ， $t_m=150\text{ns}$

命中率： $h=4800/(4800+200)=96\%$

平均访问时间 $t_a=30\text{ns}\times 96\%+150\text{ns}\times 4\%=34.8\text{ns}$

效率= $t_c/t_a=86.21\%$

性能提高= $t_m/t_a-1=3.31$

- 4.30 一个组相连映射的 CACHE 由 64 块组成，每组内包含 4 块。主存包含 4096 块，每块由 128 字组成，访存地址为字地址。试问主存和高速存储器的地址各为几位？画出主存地址格式。

解：cache 组数： $64/4=16$ ，Cache 容量为： $64\times 128=2^{13}$ 字，cache 地址 13 位

主存共分 $4096/16=256$ 区，每区 16 块

主存容量为： $4096\times 128=2^{19}$ 字，主存地址 19 位，地址格式如下：

主存字块标记（8 位）	组地址（4 位）	字块内地址（7 位）
-------------	----------	------------

- 4.31 设主存容量为 1MB，采用直接映射方式的 Cache 容量为 16KB，块长为 4 字，每字 32 位。试问主存地址为 ABCDEH 的存储单元在 Cache 中的什么位置？

答：

解法 1：

块长=4 字= $4\times 32/8=16\text{B}$ ，每块块内字节编号为 #0~#15（即块内字节地址 0000~1111）

Cache 可分成 $16\text{KB}/16\text{B}=1024$ 块，块号为 #0~#1023（不含字节单元地址的低 4 位）

主存可分成 $1\text{MB}/16\text{B}=64\times 1024$ 块（即主存的容量是 Cache 容量的 64 倍）

按字节编址：主存地址 20 位，Cache 地址 14 位

主存单元地址 ABCDEH=1010, 1011, 1100, 1101, 1110B

采用直接映射方式，主存地址的低 14 位与 Cache 14 位地址相同的单元都可建立直接映射关系。

故主存地址 ABCDEH 单元（二进制地址为 1010, 1011, 1100, 1101, 1110B）应映射在 Cache 地址 11, 1100, 1101, 1110B 单元。

解法 2：

主存和 Cache 按字节编址，

Cache 容量 $16\text{KB}=2^{14}\text{B}$ ，地址共格式为 14 位，分为 $16\text{KB}/(4\times 32/8)=2^{10}$ 块，每块 $4\times 32/8=16\text{B}=2^4\text{B}$ ，Cache 地址格式为：

Cache 字块地址 (10 位)	字块内地址 (4 位)
-------------------	-------------

主存容量 $1\text{MB}=2^{20}\text{B}$ ，地址共格式为 20 位，分为 $1\text{MB}/(4*32/8\text{B})=2^{16}$ 块，每块 2^4B ，采用直接映射方式，主存字块标记为 $20-14=6$ 位，主存地址格式为：

主存字块标记 (6 位)	Cache 字块地址 (10 位)	字块内地址 (4 位)
--------------	-------------------	-------------

主存地址为 ABCDEH=1010 1011 1100 1101 1110B，主存字块标记为 101010，Cache 字块地址为 11 1100 1101，字块内地址为 1110，故该主存单元应映射到 Cache 的 101010 块的第 1110 字节，即第 42 块第 14 字节位置。或者在 Cache 的第 11 1100 1101 1110=3CDEH 字节位置。

4.32 设某机主存容量为 4MB，Cache 容量为 16KB，每字块有 8 个字，每字 32 位，设计一个四路组相联映射（即 Cache 每组内共有 4 个字块）的 Cache 组织。

(1) 画出主存地址字段中各段的位数。

(2) 设 Cache 的初态为空，CPU 依次从主存第 0, 1, 2, ..., 89 号单元读出 90 个字（主存一次读出一个字），并重复按此次序读 8 次，问命中率是多少？

(3) 若 Cache 的速度是主存的 6 倍，试问有 Cache 和无 Cache 相比，速度约提高多少倍？

解：

(1) 根据每字块有 8 个字，每字 32 位（4 字节），得出主存地址字段中字块内地址为 $3+2=5$ 位。

根据 Cache 容量为 $16\text{KB}=2^{14}\text{B}$ ，字块大小为 $8*32/8=32=2^5\text{B}$ ，得 Cache 地址共 14 位，Cache 共有 $2^{14-5}=2^9$ 块。

根据四路组相联映射，Cache 共分为 $2^9/2^2=2^7$ 组。

根据主存容量为 $4\text{MB}=2^{22}\text{B}$ ，得主存地址共 22 位，主存字块标记为 $22-7-5=10$ 位，故主存地址格式为：

主存字块标记 (10 位)	组地址 (7 位)	字块内地址 (5 位)
---------------	-----------	-------------

(2) 由于每个字块中有 8 个字，而且初态为空，因此 CPU 读第 0 号单元时，未命中，必须访问主存，同时将该字所在的主存块调入 Cache 第 0 组中的任一块内，接着 CPU 读第 1~7 号单元时均命中。同理，CPU 读第 8, 16, ..., 88 号时均未命中。可见，CPU 在连续读 90 个字中共有 12 次未命中，而后 8 次循环读 90 个字全部命中，命中率为：

$$\frac{90 \times 8 - 12}{90 \times 8} = 0.984$$

(3) 设 Cache 的周期为 t ，则主存周期为 $6t$ ，没有 Cache 的访问时间为 $6t \times 90 \times 8$ ，有 Cache 的访问时间为 $t(90 \times 8 - 12) + 6t \times 12$ ，则有 Cache 和无 Cache 相比，速度提高的倍数为：

$$\frac{6t \times 90 \times 8}{(90 \times 8 - 12)t + 6t \times 12} - 1 \approx 5.54$$

4.33 简要说明提高访存速度可采取的措施。

答：

提高访存速度可采取三种措施：

(1) 采用高速器件。即采用存储周期短的芯片，可提高访存速度。

(2) 采用 Cache。CPU 最近要使用的信息先调入 Cache，而 Cache 的速度比主存快得多，这样 CPU 每次只需从 Cache 中读写信息，从而缩短访存时间，提高访存速度。

(3) 调整主存结构。如采用单体多字或采用多体结构存储器。

4.34 磁盘组有 6 片磁盘，最外两侧盘面可以记录，存储区域内径 22cm，外径 33cm，道密度为 40 道/cm，内层密度为 400 位/cm，转速 3600 转/分，问：

- (1) 共有多少存储面可用？
- (2) 共有多少柱面？
- (3) 盘组总存储容量是多少？
- (4) 数据传输率是多少？

解：(1) 共有： $6 \times 2 = 12$ 个存储面可用。

(2) 有效存储区域 = $(33 - 22) / 2 = 5.5 \text{ cm}$

柱面数 = $40 \text{ 道/cm} \times 5.5 = 220 \text{ 道}$

(3) 内层道周长 = $\pi \times 22 = 69.08 \text{ cm}$

道容量 = $400 \text{ 位/cm} \times 69.08 \text{ cm} = 3454 \text{ B}$

面容量 = $3454 \text{ B} \times 220 \text{ 道} = 759,880 \text{ B}$

盘组总容量 = $759,880 \text{ B} \times 12 \text{ 面} = 9,118,560 \text{ B}$

(4) 转速 = $3600 \text{ 转} / 60 \text{ 秒} = 60 \text{ 转/秒}$

数据传输率 = $3454 \text{ B} \times 60 \text{ 转/秒} = 207,240 \text{ B/S}$

4.39 某磁盘存储器转速为 3000 转/分，共有 4 个记录盘面，每毫米 5 道，每道记录信息 12 288 字节，最小磁道直径为 230mm，共有 275 道，求：

- (1) 磁盘存储器的存储容量。
- (2) 最高位密度（最小磁道的位密度）和最低位密度。
- (3) 磁盘数据传输率。
- (4) 平均等待时间。

解：(1) 存储容量 = $275 \text{ 道} \times 12,288 \text{ B/道} \times 4 \text{ 面} = 13,516,800 \text{ B}$

(2) 最高位密度 = $12,288 \text{ B} / (\pi \times 230) = 17 \text{ B/mm} = 136 \text{ 位/mm}$ （向下取整）

最大磁道直径 = $230 \text{ mm} + 2 \times 275 \text{ 道} / (5 \text{ 道/mm}) = 230 \text{ mm} + 110 \text{ mm} = 340 \text{ mm}$

最低位密度 = $12,288 \text{ B} / (\pi \times 340) = 11 \text{ B/mm} = 92 \text{ 位/mm}$ （向下取整）

(3) 磁盘数据传输率 = $12,288 \text{ B} \times 3000 \text{ 转/分} = 12,288 \text{ B} \times 50 \text{ 转/秒} = 614,400 \text{ B/s}$

(4) 平均等待时间 = $1 \text{ s} / 50 / 2 = 10 \text{ ms}$

P74 例题：存取周期 500ns，每个存取周期访问 16 位，求存储器带宽。

答：

依题意，500ns 传输 16 位，每秒传输 $16 * (1/500 \text{ ns}) = 16 * (1/(500 * 10^{-9})) = 32 \text{ Mb/s} = 4 \text{ MB/s}$ 。

P94 例 4.1 CPU 有 16 根地址线，8 根数据线，用 /MREQ 作为访存控制信号（低电平有效），/WR 作为读/写控制信号（高电平为读，低电平为写），现有 RAM 芯片：1K*4 位，4K*8 位，8K*8 位，ROM 芯片：2K*8 位，4K*8 位，8K*8 位。及 74138 译码器和各种门电路（非门，与非门，或门）。画出 CPU 与存储器的连接图。

- (1) 主存地址空间分配：

6000H~67FFH 为系统程序区。

6800H~6BFFH 为用户程序区。

- (2) 合理运用上述存储芯片，说明各用几片。
- (3) 详细画出存储芯片的片选逻辑图。

答:

(1) 主存地址空间分配:

系统程序区 6000H~67FFH 空间, 其地址的二进制表示如下:

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0
...															
0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1

因此, 系统程序区空间容量为 2K*8 位。

用户程序区 6800H~6BFFH 空间容量为 1K*8 位, 其地址的二进制表示如下:

A ₁₅	A ₁₄	A ₁₃	A ₁₂	A ₁₁	A ₁₀	A ₉	A ₈	A ₇	A ₆	A ₅	A ₄	A ₃	A ₂	A ₁	A ₀
0	1	1	0	1	0	0	0	0	0	0	0	0	0	0	0
...															
0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1

因此, 用户程序区空间容量为 1K*8 位。

ROM 芯片、RAM 芯片选择:

对于 2K*8 位的系统程序区, 应该使用 ROM 芯片, 而现有 ROM 芯片: 2K*8 位、4K*8 位、8K*8 位。故, 只能选择且一片 2K*8 位 ROM 芯片即可。

对于 1K*8 位的用户程序区, 应该使用 RAM 芯片, 而现有 RAM 芯片: 1K*4 位, 4K*8 位, 8K*8 位。故, 只能选择且二片 1K*4 位 RAM 芯片即可, 二片 1K*4 位 RAM 芯片进行位扩展。

ROM 芯片、RAM 芯片的地址线与 CPU 的低位地址连接:

对于 2K*8 位 ROM 芯片, 其地址线为 11 位, 即 A₁₀~A₀, 直接与 CPU 的 A₁₀~A₀ 连接。

对于位扩展后的 1K*8 位 RAM 芯片, 其地址线为 10 位, 即 A₉~A₀, 直接与 CPU 的 A₉~A₀ 连接。
片选信号的生成:

对于 2K*8 位 ROM 芯片的片选信号生成, 应由 CPU 未与 ROM 芯片连接的其它地址线作为输入条件, 即由 A₁₅~A₁₁ 等 5 位地址信号生成片选信号。具体 ROM 芯片的片选信号逻辑表达式如下:

$$\overline{\text{CE}} = \overline{\text{A}_{15}} + \overline{\text{A}_{14}} + \overline{\text{A}_{13}} + \overline{\text{A}_{12}} + \overline{\text{A}_{11}} + \overline{\text{MREQ}}$$

同理, 对于 1K*8 位的 RAM 芯片 (两片 1K*4 位 RAM 芯片的 /CE 短接), 由 A₁₅~A₁₀ 等 6 位地址信号生成片选信号。具体 RAM 芯片的片选信号逻辑表达式如下:

$$\overline{\text{CE}} = \overline{\text{A}_{15}} + \overline{\text{A}_{14}} + \overline{\text{A}_{13}} + \overline{\text{A}_{12}} + \overline{\text{A}_{11}} + \overline{\text{A}_{10}} + \overline{\text{MREQ}}$$

(2) 合理运用上述存储芯片, 说明各用几片。

ROM 芯片: 一片 2K*8 位 ROM 芯片。

RAM 芯片: 二片 1K*4 位 RAM 芯片。

(3) 详细画出存储芯片的片选逻辑图。

按上述表达式画片选逻辑图。

P95 例 4.2 CPU 及其芯片假设同例 4.1，画出 CPU 与存储器的连接图。要求主存的地址空间满足下述条件：最小 8K 地址为系统程序区，与其相邻的 16K 地址为用户程序区，最大 4K 地址空间为系统程序工作区。详细画出存储芯片的片选逻辑图，并指出存储芯片的种类及片数。

答：

假设主存地址从 0000H 开始，则：

8K 空间为系统程序区（ROM）的地址范围为：0000H~1FFFH

$A_{15} A_{14} A_{13} A_{12}, A_{11} A_{10} A_9 A_8, A_7 A_6 A_5 A_4, A_3 A_2 A_1 A_0$
0 0 0 0, 0 0 0 0, 0 0 0 0, 0 0 0 0

...

0 0 0 0 1, 1 1 1 1, 1 1 1 1, 1 1 1 1

现有 ROM 芯片：2K*8 位、4K*8 位、8K*8 位。可选用 ROM 芯片的方案如下：四片 2K*8 位，二片 4K*8 位，一片 8K*8 位。在此，我们选择一片 8K*8 位 ROM 芯片（节省电路板空间）。

其片选信号的生成：CPU 与 ROM 芯片未连接的其它地址线为 A_{15} 、 A_{14} 和 A_{13} ，具体 ROM 芯片的片选信号逻辑表达式如下：

$$\overline{CE} = A_{15} + A_{14} + A_{13} + \overline{MREQ}$$

与其相邻的 16K 用户程序区（RAM）的地址范围为：2000H~5FFFH

$A_{15} A_{14} A_{13} A_{12}, A_{11} A_{10} A_9 A_8, A_7 A_6 A_5 A_4, A_3 A_2 A_1 A_0$
0 0 1 0, 0 0 0 0, 0 0 0 0, 0 0 0 0

...

0 0 1 1, 1 1 1 1, 1 1 1 1, 1 1 1 1

0 1 0 0, 0 0 0 0, 0 0 0 0, 0 0 0 0

...

0 1 0 1, 1 1 1 1, 1 1 1 1, 1 1 1 1

现有 RAM 芯片：1K*4 位，4K*8 位，8K*8 位。可选用 RAM 芯片的方案如下：32 片 1K*4 位，4 片 4K*8 位，2 片 8K*8 位。在此，我们选择 2 片 8K*8 位 RAM 芯片（节省电路板空间）。

用 2 片 8K*8 位 RAM 芯片构成 16K 用户程序区（2000H~5FFFH），每个芯片必须有各自的片选逻辑。前 8K 的地址范围为 2000H~3FFFH，后 8K 的地址范围为 4000H~5FFFH。

其片选信号的生成：CPU 与 RAM 芯片未连接的其它地址线仍为 A_{15} 、 A_{14} 和 A_{13} ，具体 RAM 芯片的片选信号逻辑表达式如下：

$$2000H \sim 3FFFH : \overline{CE} = A_{15} + A_{14} + A_{13} + \overline{MREQ} \quad 4000H \sim 5FFFH : \overline{CE} = A_{15} + A_{14} + A_{13} + \overline{MREQ}$$

4K 系统程序工作区（RAM）的地址范围为：6000H~6FFFH

$A_{15} A_{14} A_{13} A_{12}, A_{11} A_{10} A_9 A_8, A_7 A_6 A_5 A_4, A_3 A_2 A_1 A_0$
0 1 1 0, 0 0 0 0, 0 0 0 0, 0 0 0 0

...

0 1 1 0, 1 1 1 1, 1 1 1 1, 1 1 1 1

根据现有 RAM 芯片，可选用 RAM 芯片的方案如下：8 片 1K*4 位，1 片 4K*8 位。在此，我们选择 1 片 4K*8 位 RAM 芯片（节省电路板空间）。

其片选信号的生成：CPU 与该 RAM 芯片未连接的其它地址线为 $A_{15} \sim A_{12}$ ，具体 RAM 芯片的片选信号逻辑表达式如下：

$$\overline{CE} = A_{15} + A_{14} + A_{13} + A_{12} + \overline{MREQ}$$

P98 例 4.3 CPU 有 20 根地址线，16 根数据线，用 $\text{IO}/\overline{\text{M}}$ 作为访存控制信号， $\overline{\text{RD}}$ 为读控制信号， $\overline{\text{WR}}$ 为写控制信号。CPU 可通过 BHE 和 A_0 来控制按字节或字两种形式访存（BHE 和 $A_0=00$ ，访问形式为“字”；BHE 和 $A_0=01$ ，访问形式为“奇字节”；BHE 和 $A_0=10$ ，访问形式为“偶字节”；BHE 和 $A_0=11$ ，访问形式为“不访问”）。现有 RAM 芯片：64K*8 位，32K*8 位，32K*16 位（控制信号/ $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ 、 $\overline{\text{WE}}$ ），ROM 芯片：64K*8 位，32K*8 位，32K*16 位（控制信号/ $\overline{\text{OE}}$ 、 $\overline{\text{CE}}$ ），及 74138 译码器和各种门电路（非门，与非门，或门等等，可自定）。试回答：

- (1) CPU 按字节访问和按字访问的地址范围各是多少？
- (2) CPU 按字节访问时需要分奇偶体，且最大 64KB 为系统程序区，与其相邻的 64KB 为用户程序区。写出每片存储芯片所对应的二进制地址码。
- (3) 画出对应上述地址范围的 CPU 与存储芯片的链接图。

答：（1）CPU 按字节访问的地址范围是 $2^{20}=1\text{MB}$ ，按字访问的地址范围是 $1\text{MB}/2=512\text{K}$ 字。

（2）对于最大各为 64KB 的系统程序区和用户程序区而言，由于 CPU 按字节访问时需要分奇偶体，且还可以按字访问。因此，不能选用 64K*8 位的 ROM、RAM 芯片，最佳选择为 32K*8 位的 ROM、RAM 芯片。

假定 64KB 的系统程序区（ROM）地址范围如下：

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
...																			
1	1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

其中，1 片 32K*8 位作为字节单元的奇数地址，另外 1 片 32K*8 位作为字节单元的偶数地址。

假定 64KB 的用户程序区（RAM）地址范围如下：

A_{19}	A_{18}	A_{17}	A_{16}	A_{15}	A_{14}	A_{13}	A_{12}	A_{11}	A_{10}	A_9	A_8	A_7	A_6	A_5	A_4	A_3	A_2	A_1	A_0
1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
...																			
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

同理，其中 1 片 32K*8 位作为字节单元的奇数地址，另外 1 片 32K*8 位作为字节单元的偶数地址。

（3）其片选信号的生成：

CPU 与 32K*8 位 RAM、ROM 芯片未连接的其它地址线仍为 A_{19} 、 A_{18} 、 A_{17} 和 A_{16} ，必须作为片选信号

的输入，除此之外，要想能够分别按字或字节进行访问，BHE 和 A₀也要作为片选信号的输入，另外，若要访问存储器，访存控制信号 IO//M（低电平有效）也必须作为输入条件。

具体芯片的片选信号逻辑表达式如下：

ROM1 芯片，既能够按偶数地址字节访问，也能够按字访问，以上要求是“或”的关系。

根据题意，要访问存储器，必须满足 IO//M=0。

当 BHE 和 A₀=10，访问形式为“偶字节”，当 BHE 和 A₀=00，访问形式为“字”。

因此，按偶数地址字节访问时片选信号应该满足一个条件：BHE • /A₀

按字访问时片选信号应该满足一个条件：/BHE • /A₀

而 ROM1 芯片的高四位地址 A₁₉A₁₈A₁₇A₁₆=1111，故，ROM1 芯片片选信号逻辑表达式为：

$$/CE1 = / \{ (A_{19} \cdot A_{18} \cdot A_{17} \cdot A_{16}) \cdot [(BHE \cdot /A_0) + (/BHE \cdot /A_0)] \cdot /IO//M \}$$

ROM2 芯片，奇数字节地址，也能够按字访问，以上要求也是“或”的关系。同理，按字节访问的奇数地址片选信号逻辑表达式为：

$$/CE2 = / \{ (A_{19} \cdot A_{18} \cdot A_{17} \cdot A_{16}) \cdot [(/BHE \cdot A_0) + (/BHE \cdot /A_0)] \cdot /IO//M \}$$

RAM3 芯片，偶数字节地址，也可按字访问，高四位地址 A₁₉A₁₈A₁₇A₁₆=1110，其片选信号逻辑表达式为：

$$/CE3 = / \{ (A_{19} \cdot A_{18} \cdot A_{17} \cdot A_{16}) \cdot [(BHE \cdot /A_0) + (/BHE \cdot /A_0)] \cdot /IO//M \}$$

RAM4 芯片，奇数字节地址，也可按字访问，高四位地址 A₁₉A₁₈A₁₇A₁₆=1110，其片选信号逻辑表达式为：/CE4 = / { (A₁₉ • A₁₈ • A₁₇ • A₁₆) • [(/BHE • A₀) + (/BHE • /A₀)] • /IO//M }

P111 例 4.7 假设 CPU 执行某程序时，共访问 Cache 命中 2000 次，访问主存 50 次。已知 Cache 的存储周期为 50ns，主存的存储周期为 200ns。求 Cache-主存系统的命中率，效率和平均访问时间。

答：

$$\begin{aligned} \text{命中率} \quad h &= 2000 / (2000 + 50) = 97.56\% \\ \text{效率} \quad e &= 50 / (50 \cdot h + 200 \cdot (1 - h)) = 91.74\% \\ \text{平均访问时间} \quad t_a &= 50 \cdot h + 200 \cdot (1 - h) = 54.5 \text{ ns} \end{aligned}$$

P120 例 4.8 假设主存容量为 512KB，Cache 容量为 4KB，每个字块 16 个字，每个字 32 位。

- (1) Cache 地址有多少位？可容纳多少块？
- (2) 主存地址有多少位？可容纳多少块？
- (3) 在直接映射方式下，主存的第几块映射到 Cache 中的第五块（设起始字块为第一块）？
- (4) 画出直接映射方式下主存地址字段中各段的位数。

答：

- (1) Cache 容量：4KB=2¹²B，故 Cache 地址有 12 位。
4KB/(16*32/8)=64，故 Cache 可容纳 64 块。
- (2) 主存容量：512KB=2¹⁹B，故主存地址有 19 位。
512KB/(16*32/8)=8192，故主存可容纳 8192 块。
- (3) 在直接映射方式下，由于 Cache 为 4KB，每块 64B，则 Cache 共有 64 块。故主存可划分为 128 个 Cache，也可以说，在直接映射方式下，Cache 中的某块可以与主存中的 128 个

对应块建立映射关系。

因此，主存的 $5+0*64$ 块（64B/块）， $5+1*64$ 块， $5+2*64$ 块， \dots ， $5+(2^7-1)*64$ 块均能映射到 Cache 中的第五块上。

(4) 字块内地位数： $16*32/8=64B$ ，故 $b=6$ 。

Cache 字块地位数： $c=12-b=6$ 。

主存字块标记位数： $t=19-c-b=7$ 。

P120 例 4.9 假设主存容量为 $512K*16$ 位，Cache 容量为 $4K*16$ 位，每个字块 4 个 16 位字，访存地址为字地址。按下列情况设计主存的地址格式。

(1) 直接映射方式。

(2) 全相联映射方式。

(3) 二路组相联映射方式。

(4) 四路组相联映射方式。（主存容量为 $512K*32$ 位，其它不变。）

答：

(1) 主存容量： $512K*16$ 位= $2^{19}*16$ 位，因为是按字寻址，故主存地址有 19 位。

Cache 容量： $4K*16$ 位= $2^{12}*16$ 位，故 Cache 地址有 12 位。

字块容量： $4*16$ 位，故字块内地位数为 2，即 $b=2$ 。

则 Cache 字块地位数 $c=12-b=10$ ，主存字块标记位数 $t=19-c-b=7$ 。

(2) 字块内地位数 $b=2$ ，主存字块标记位数 $m=t+c=7+10=17$ 。

(3) 二路组相联映射，则 $r=1$ 。由于 $b=2$ ，组地址位数 $q=c-r=10-1=9$ 。

主存字块标记位数 $s=t+r=7+1=8$ 。

(4) 主存容量： $512K*32$ 位= $2^{20}*16$ 位，因为是按字寻址，故主存地址有 20 位。

即在直接映射方式下， $t+c+b=20$ 。而 $b=2$ ， $c=12-b=10$ ，主存字块标记位数 $t=20-c-b=8$ 。

在四路组相联映射下，则 $r=2$ ，由于 $b=2$ ，组地址位数 $q=c-r=10-2=8$ 。

主存字块标记位数 $s=t+r=8+2=10$ 。

P121 例 4.10 假设 Cache 的工作速度是主存的 5 倍，且 Cache 被访问命中的概率为 95%，则采用 Cache 后，存储器性能提高多少？

答：

设 Cache 的工作速度为 t ，则主存的工作速度为 $5t$ ，而 $h=95\%$ 。采用 Cache 后，Cache-存储器系统的性能为无 Cache 时的倍数是：

$5t/(0.95t+0.05*5t)=5/1.2=4.17$ 倍，性能提高了 3.17 倍。

P122 例 4.11 设主机主存容量为 16MB，Cache 容量为 8KB，每个字块 8 个字，每个字 32 位。设计一个四路组相联映射方式的 Cache 组织。

(1) 画出主存地址字段中各段的位数。

(2) 设 Cache 初态为空，CPU 依次从主存第 0, 1, 2, \dots , 99 号单元读出 100 个字（一次读出 1 个字），并重复此次序读 10 次，试问：命中率是多少？

(3) 若 Cache 的速度是主存的 5 倍，试问有 Cache 和无 Cache 相比，速度提高多少倍？

(4) 系统的效率是多少？

答:

(1) 在直接映射方式下:

块长=8 字*32 位=8*32/8=32B, 块内地址位数 $b=5$ 。

Cache 地址位数: $8KB=2^{13}B$, 即 $c+b=13$, 则 $c=8$ 。

主存地址位数: $16MB=2^4*2^{10}*2^{10}B$, 即 $c+b+t=24$, 则 $t=11$ 。

故在四路组相联映射方式下, $r=2$ 。

块内地址位数 $b=5$, 组地址位数 $q=c-r=8-2=6$, 主存字块标记位数 $s=t+r=11+2=13$ 。

(2) 根据“CPU 依次从主存第 0, 1, 2, ..., 99 号单元读出 100 个字 (一次读出 1 个字)”, 说明 0~99 号单元为字单元。

主存一次读出 1 个字, 每个字块 8 个字, 则 0~99 字单元按块划分为:

#0 块: 0~7 字单元,

#1 块: 8~15 字单元,

#2 块: 16~23 字单元,

...,

#11 块: 88~95 字单元,

#12 块: 96~99 字单元, 共 13 块。

由于 Cache 初态为空, 则以上 13 块的第一次读均未命中, 其它全部命中。因此, 100 个字单元读 10 遍共 1000 次, 有 13 次未命中而读主存。

命中率 $h=(1000-13)/1000=98.7\%$

(3) 设 Cache 的工作速度为 t , 则主存的工作速度为 $5t$, 而 $h=98.7\%$ 。采用 Cache 后, Cache-存储器系统的性能为无 Cache 时的倍数是:

$5t/(0.987t+0.013*5t)=5/1.052=4.75$ 倍, 性能提高了 3.75 倍。

(4) $e=t/(0.987t+0.013*5t)=95.06\%$ 。