

作业1：证明等价（真值表法或代数法）

$$A \oplus B \oplus C = A \odot B \odot C$$

$$\begin{aligned} & A \oplus B \oplus C \\ &= (A \oplus B) \bar{C} + \overline{(A \oplus B)} C \\ &= \overline{(A \odot B)} \bar{C} + (A \odot B) C \\ &= A \odot B \odot C \end{aligned}$$

作业2：证明等价、函数化简

$$AB + \bar{A}C + \bar{B}C = AB + C$$

$$\begin{aligned} & AB + \bar{A}C + \bar{B}C \\ &= AB + (\bar{A} + \bar{B})C \\ &= AB + \overline{AB}C \\ &= AB + C \end{aligned}$$

$$F(A, B, C) = \bar{A}\bar{B} + AC + \bar{B}C$$

$$\begin{aligned} F(A, B, C) &= \bar{A}\bar{B} + AC + \bar{B}C \\ &= \bar{A}\bar{B} + AC \text{ (包含律)} \end{aligned}$$

作业3：化简函数（有两种等价的结果）

$$Y = A\bar{B} + B\bar{C} + \bar{B}C + \bar{A}B$$

$$Y = A\bar{B}(C + \bar{C}) + B\bar{C}(A + \bar{A}) + \bar{B}C(A + \bar{A}) + \bar{A}B(C + \bar{C})$$

$$= A\bar{B}C + A\bar{B}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} + A\bar{B}C + \bar{A}\bar{B}C + \bar{A}BC + \bar{A}B\bar{C}$$

$$= A\bar{B}C + A\bar{B}\bar{C} + AB\bar{C} + \bar{A}B\bar{C} + \bar{A}\bar{B}C + \bar{A}BC$$

AB \ C	00	01	11	10
0		1	1	1
1	1	1		1

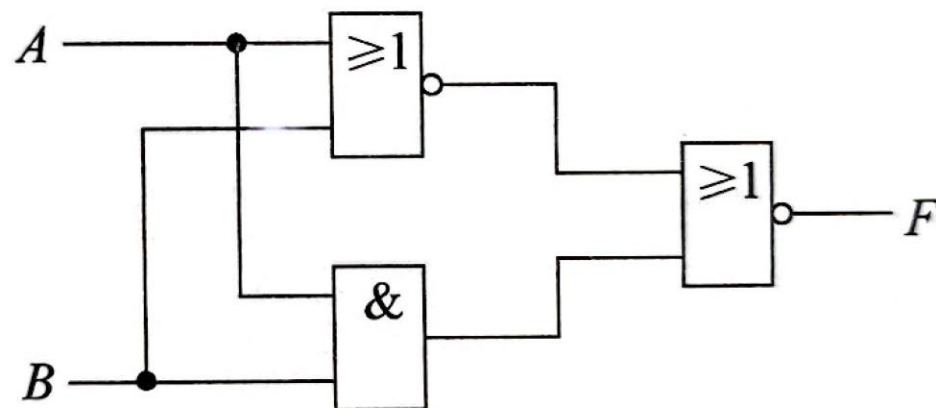
$$Y = B\bar{C} + \bar{A}C + A\bar{B}$$

AB \ C	00	01	11	10
0		1	1	1
1	1	1		1

$$Y = \bar{B}C + \bar{A}B + A\bar{C}$$

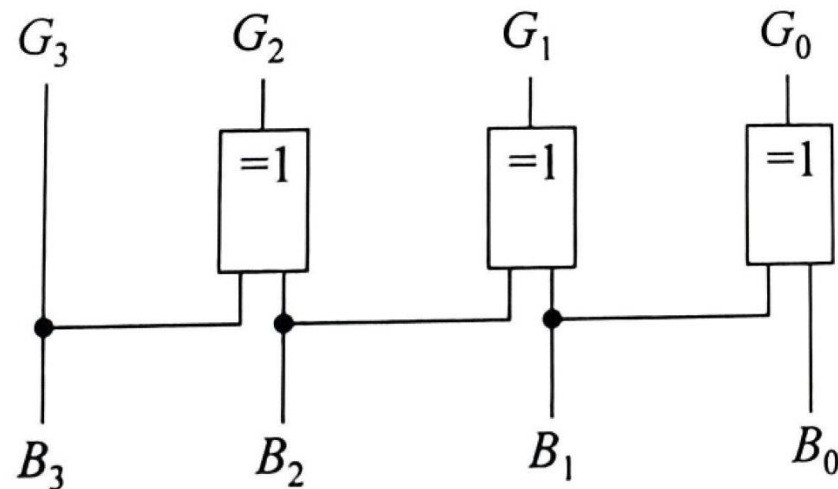
作业4：试分析下图所示逻辑电路的逻辑功能。

(1) 列出逻辑函数并化简；(2) 列出真值表；(3) 描述逻辑功能。



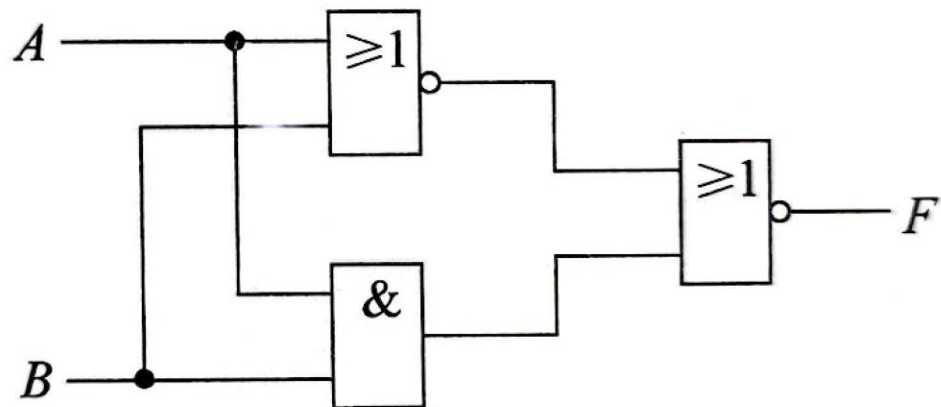
作业5：试分析下图所示逻辑电路的逻辑功能。

(1) 列出逻辑函数并化简；(2) 列出真值表；(3) 描述逻辑功能。



作业4：试分析下图所示逻辑电路的逻辑功能。

(1) 列出逻辑函数并化简； (2) 列出真值表； (3) 描述逻辑功能。



解：(1) 分步骤写表达式

$$G_1 = \overline{A+B}$$

$$G_2 = A \bullet B$$

$$F = \overline{G_2 + G_1} = \overline{\overline{A+B} + AB}$$

化简

$$F = \overline{\overline{A+B} + AB} = (A+B)\overline{AB}$$

$$= (A+B)(\overline{A} + \overline{B}) = A\overline{B} + \overline{A}B = A \oplus B$$

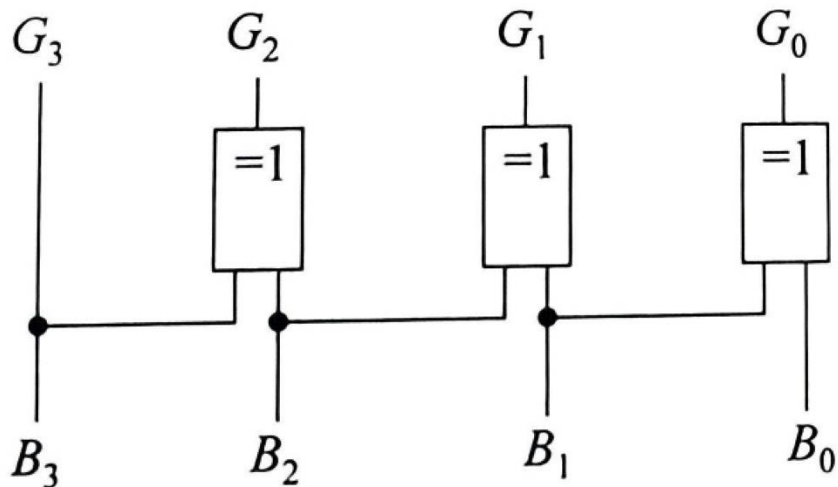
(2) 列出真值表

A	B	F
0	0	0
0	1	1
1	0	1
1	1	0

(3) 通过真值表分析发现，电路为异或功能。

作业5：试分析下图所示逻辑电路的逻辑功能。

(1) 列出逻辑函数并化简； (2) 列出真值表； (3) 描述逻辑功能。



解：(1) 分步骤写表达式

$$G_3 = B_3, \quad G_2 = B_3 \oplus B_2, \quad G_1 = B_2 \oplus B_1, \quad G_0 = B_1 \oplus B_0$$

(2) 列出真值表

B_3	B_2	B_1	B_0	G_3	G_2	G_1	G_0
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

(3) 通过真值表分析发现，将输入的4位二进制码转换成4位格雷码输出。

作业6:

设计一个检测输入8421码的是否为偶数电路，当出现偶数时，电路输出1，否则为0。

解：4个输入数据为A，B，C，D，输出为F。

(1) 真值表：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	d	1	0	0	0	0
0	0	0	1	d	1	0	0	1	1
0	0	1	0	d	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	d
0	1	1	0	0	1	1	1	0	d
0	1	1	1	1	1	1	1	1	d

列出0000、0001、0010、1101、1110、1111作为输入，F=d

(2) 表达式初步为：

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$

无关项会干扰输出结果，因此表达式化简时不能考虑无关项，因此表达为：

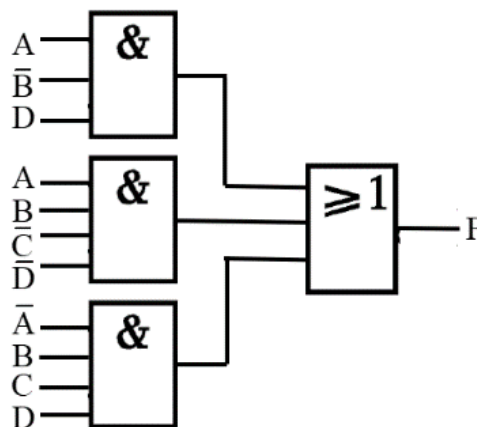
$$F(A,B,C,D) = A\bar{B}D + AB\bar{C}\bar{D} + \bar{A}BCD$$

(3) 根据卡诺图判断

AB \ CD		00	01	11	10
		00	01	11	10
00		d	0	1	0
01		d	0	d	1
11		0	1	d	1
10		d	0	d	0

该设计不会产生象。

(4) 逻辑图



(5) 参考代码:

```
module heshu (A,B,C,D,F);  
    input A,B,C,D;  
    output F;  
    reg F;  
    assign F= (A&(~B)&(D))&((A)&B&(~C)&(~D))&((~A)&B&C&D);//数据流描述  
endmodule
```

```
module heshu (A,B,C,D,F);  
    input A,B,C,D;  
    output F;  
    reg F;  
    always @(A or B or C or D)//行为描述  
        begin  
            case({A,B,C,D})  
                4`b0111: F=1;  
                4`b1001: F=1;  
                4`b1011: F=1;  
                4`b1100: F=1;  
                default: F=0;  
            endcase  
        end  
endmodule
```

```
module heshu (A,B,C,D,F);  
    input A,B,C,D;  
    output F;  
    wire w1,w2,w3;  
    and u1(w1, ~A,B,D),//例化逻辑门  
    u2(w2, A,B,~C,~D),  
    u3(w3,~A,B,C,D);  
    or u4(F,w1,w2,w3);  
endmodule
```

设计一个组合逻辑电路，用于判断以余3码表示的1位十进制数是否为合数（合数指自然数中除了能被1和本身整除外，还能被其他整数（0除外）整除的数）。（20分）

- （1）列出真值表；
- （2）写出逻辑表达式（提示：验证无关项是否会干扰输出结果）；
- （3）判断设计的电路是否产生险象，如有，请采取相应的办法进行消除；
- （4）画出逻辑电路图；
- （5）Verilog HDL编写模块代码。

解：4个输入数据为A，B，C，D，输出为F。

(1) 真值表：

A	B	C	D	F	A	B	C	D	F
0	0	0	0	d	1	0	0	0	0
0	0	0	1	d	1	0	0	1	1
0	0	1	0	d	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	d
0	1	1	0	0	1	1	1	0	d
0	1	1	1	1	1	1	1	1	d

列出0000、0001、0010、1101、1110、1111作为输入，F=d

(2) 表达式初步为：

$$F(A,B,C,D) = \sum m(7,9,11,12) + \sum d(0,1,2,13,14,15)$$

无关项会干扰输出结果，因此表达式化简时不能考虑无关项，因此表达为：

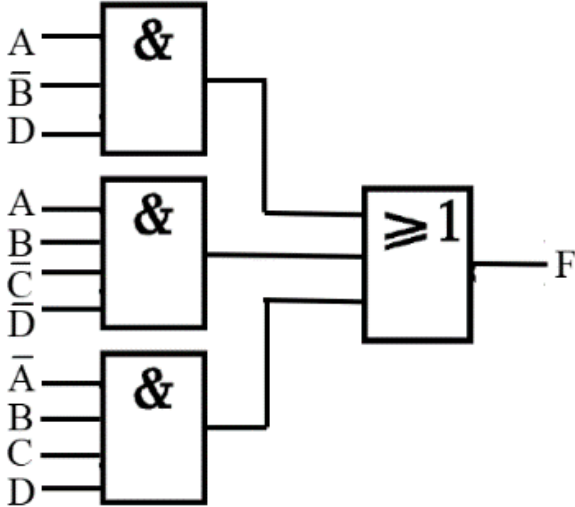
$$F(A,B,C,D) = \overline{A}\overline{B}D + A\overline{B}\overline{C}\overline{D} + \overline{A}BCD$$

(3) 根据卡诺图判断

AB \ CD	00	01	11	10
00	d	0	1	0
01	d	0	d	1
11	0	1	d	1
10	d	0	d	0

该设计不会产生险象。

(4) 逻辑图



(5) 用例化逻辑门、行为描述、数据流等方式进行代码设计均可。

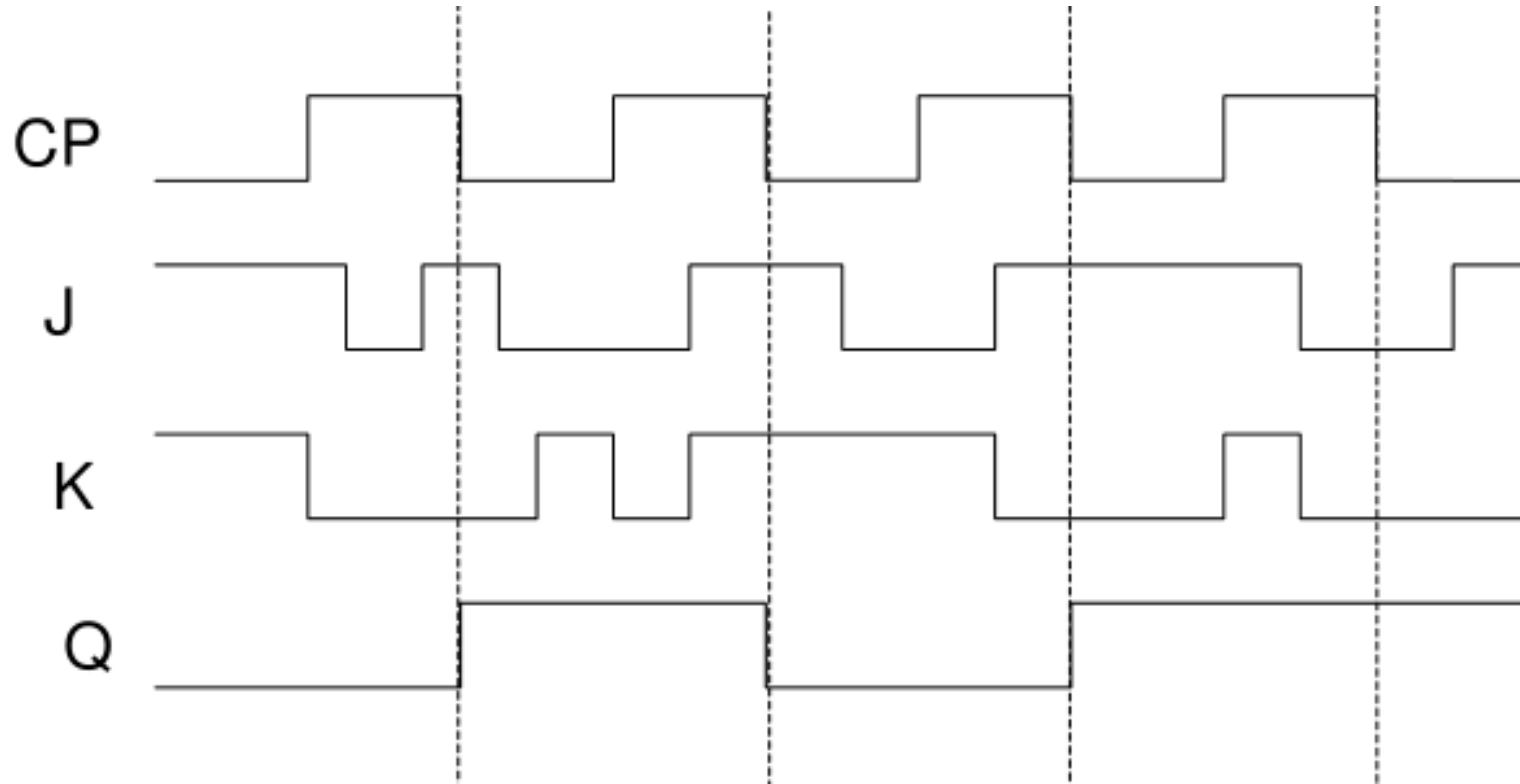
参考代码：

```
module heshu (A,B,C,D,F);
    input A,B,C,D;
    output F;
    reg F;
    assign F= (A&(~B)&(D))|((A)&B&(~C)&(~D)) |
    ((~A)&B&C&D);//数据流描述
endmodule
```

```
module heshu (A,B,C,D,F);
    input A,B,C,D;
    output F;
    wire w1,w2,w3;
    and u1(w1, ~A,B,D),//例化逻辑门
    u2(w2, A,B,~C,~D),
    u3(w3,~A,B,C,D);
    or u4(F,w1,w2,w3);
endmodule
```

```
module heshu (A,B,C,D,F);
    input A,B,C,D;
    output F;
    reg F;
    always @(A or B or C or D)//行为描述
    begin
        case({A,B,C,D})
            4'b0111: F=1;
            4'b1001: F=1;
            4'b1011: F=1;
            4'b1100: F=1;
            default: F=0;
        endcase
    end
endmodule
```

作业7: 1、下降沿J-K触发器, 初始状态为0, 画出输出波形。
2、用Verilog HDL描述下降沿J-K触发器。



```
module JKff_2(clk, j, k, q, n_q) ;  
    input clk, j, k ;  
    output q, n_q;  
    reg q ,n_q ;  
    always @(negedge clk)  
        case ({ j,k })  
            2'b00 : q<=q ;  
            2'b01 : q<=0 ;  
            2'b10 : q<=1 ;  
            2'b11 : q<=~q ;  
            default:q<=q ;  
        endcase  
endmodule
```

作业8：分析下图所示同步时序电路逻辑功能。初始状态为0，画出X=01101010的时序波形图。

解题步骤：

- (1) 该电路是同步时序还是异步时序，是Moore型还是Mealy型；
- (2) 列出激励方程、输出方程、次态方程；
- (3) 列出真值表；
- (4) 列出状态表、画出状态图；
- (5) 分析电路逻辑功能；
- (6) 画时序图

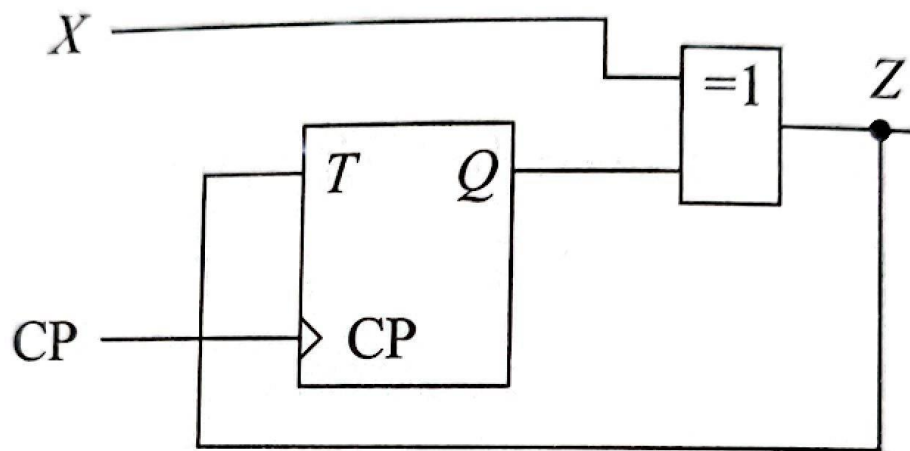
解：(1) 该电路是同步时序电路，Mealy型；

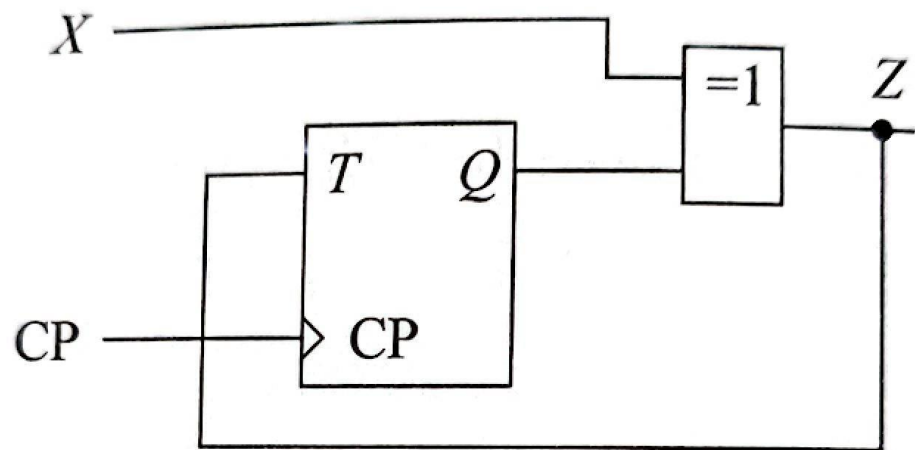
(2) 列出激励方程、输出方程、次态方程

$$Z = X \oplus y$$

$$T = Z = X \oplus y$$

$$Q_{t+1} = T \oplus Q_t = X \oplus y \oplus y = X \oplus 0 = \bar{X}0 + X\bar{0} = X$$





(4) 作出状态表和状态图

y \ X		0	1
		0	1
0		0/0	1/1
1		0/1	1/0

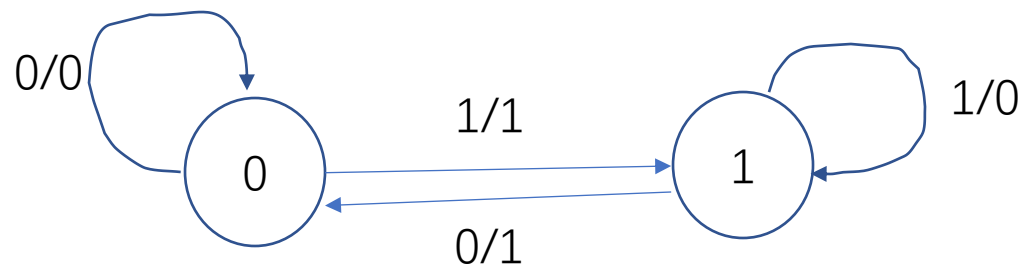
$$Z = X \oplus y$$

$$T = Z = X \oplus y$$

$$Q_{t+1} = T \oplus Q_t = X \oplus y \oplus y = X \oplus 0 = \bar{X}0 + X\bar{0} = X$$

(3) 列出电路次态真值表

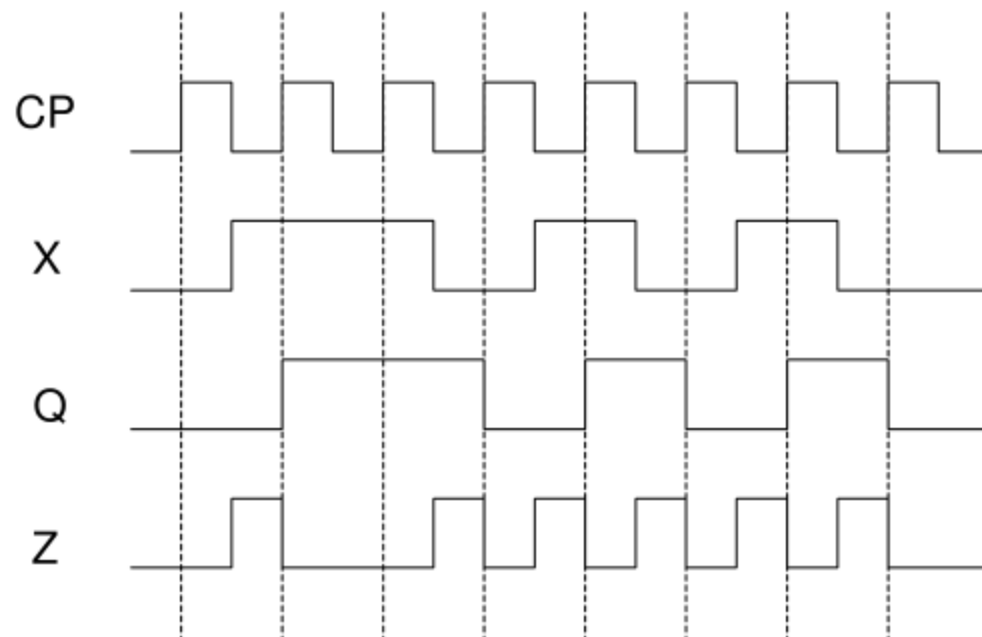
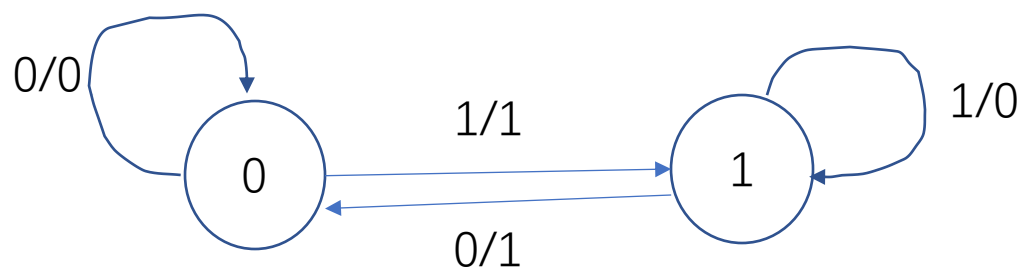
X	y	T	Q_{t+1}	Z
0	0	0	0	0
0	1	1	0	1
1	0	1	1	1
1	1	0	1	0



$y \backslash X$	0	1
0	0/0	1/1
1	0/1	1/0

(5) 功能评述:数据变化检测电路, 当输入数据有变化时, 输出正脉冲。

(6) 画时序图: 初始状态为0, $X=01101010$



作业9:

设计4位二进制同步加1计数器的Verilog HDL模型。

（要求：模块名称命名为counter，输入为时钟CP，上升沿有效，输出dataout，位宽为4，具备同步清零clr功能。）

作业10:

设计一个检测串行输入8421码的是否为偶数电路，输入顺序是先高位后低位，当出现偶数时，电路输出1，否则为0。（只画出原始状态图）