

Fakultät für Elektrotechnik und Informationstechnik  
Institut für Mikro- und Nanoelektronik  
Fachgebiet Elektronische Schaltungen und Systeme

# Digitale Zähler

## **Versuch 2**

im

### **Informationselektronischen Praktikum**

Studiengang Elektrotechnik und Informations-  
technik

2.Studienschwerpunkt:  
Mikro-, Nanoelektronik und Elektrotechnologie  
(BA)

Betreuer: Dipl.-Ing. Thomas Rommel  
Raum H1556, Tel. 69 1170

Praktikumsraum: H 1555

# ***Inhaltsverzeichnis***

<b>1. VERSUCHSZIEL.....</b>	<b>3</b>
<b>2. THEORETISCHE GRUNDLAGEN.....</b>	<b>3</b>
2.1. ALLGEMEINES .....	3
2.2. SYSTEMATISCHER ENTWURF VON ZÄHLERN .....	5
2.2.1. <i>synchrone Zähler</i> .....	5
2.2.2. <i>asynchrone Zähler</i> .....	8
<b>3. ALLGEMEINE BEDIENUNGSHINWEISE .....</b>	<b>10</b>
3.1. DER GRAFIKEDITOR .....	11
3.2. FEHLERBEHEBUNG .....	12
<b>4. AUFGABEN .....</b>	<b>12</b>
4.1. HAUSAUFGABEN .....	12
4.2. VERSUCHSDURCHFÜHRUNG .....	12
4.2.1. <i>synchroner Binärzähler (Aufgabe1.ic3)</i> .....	12
4.2.2. <i>asynchroner Binärzähler (Aufgabe2.ic3)</i> .....	13
4.2.3. <i>Vor/Rückwärtszähler (Aufgabe3.ic3)</i> .....	13
4.2.4. <i>synchroner Vorwärtsdezimalzähler (Aufgabe4.ic3)</i> .....	13
4.2.5. <i>Übertragsbildung (Aufgabe5.ic3)</i> .....	13
<b>5. LITERATUR .....</b>	<b>13</b>

# 1. Versuchsziel

Kennenlernen der Schaltungstechnik und der Wirkungsweise von digitalen Zählern, der verschiedenen Zählertypen und des systematischen Entwurfs von synchronen und asynchronen Zählern und Teilern.

## 2. Theoretische Grundlagen

### 2.1. Allgemeines

Die hier dargestellten Grundlagen sind in sehr knapper Form dargestellt. Ausführlichere Erläuterungen zu diesen Themen sind im Lehrbuch „Synthese und Analyse digitaler Schaltungen“ von Prof. Dr. Scarbata [1] nachzuschlagen.

Zähler sind digitale Schaltungen, die jeden über ihre Eingänge einlaufenden Impuls zu dem bereits im Zähler vorhandenen Zählerstand hinzuaddieren (Vorwärtszähler) bzw. von ihm subtrahieren (Rückwärtszähler), das Ergebnis speichern und in einem vereinbarten Code zur Verfügung stellen.

Dabei besteht ein eindeutiger Zusammenhang zwischen der Anzahl der Zählimpulse und dem Zählerstand, solange die Zählkapazität nicht überschritten wird. Wird die Zählkapazität  $m$  überschritten, so beginnt der Zähler im allgemeinen einen neuen Zählzyklus. Synchroner Zähler sind durch den Anschluß des Zähltaktes an alle Flipflops gekennzeichnet. Bei asynchron arbeitenden Zählern wird an das erste Flipflop der Systemtakt angelegt, die Taktsignale der anderen Flipflops werden nach Möglichkeit von den Ausgängen der anderen Zählerstufen abgeleitet. Dabei entsteht ein Teilerverhältnis von

$$\frac{f_{\text{aus}}}{f_{\text{ein}}} = \frac{m}{n}$$

wobei  $n$  die Anzahl der einzelnen Eingangsimpulse beschreibt.

Ein digitaler Zähler wird aus sequentiellen Elementen aufgebaut, die ein Speicherverhalten zeigen. Diese Flipflops können zwei logische Zustände einnehmen:  $Q = 0$  bzw.  $\bar{Q} = 1$  ( $Q = 1$  bzw.  $\bar{Q} = 0$ ).

Die maximale Anzahl der in Zähler- bzw. Teilerschaltungen zu generierenden Binärwörter  $Q_\mu$  ist  $m = 2^n$  ( $\mu = 0, \dots, m-1$ ) gleich der maximalen Anzahl der inneren  $z_\mu$  dieser Automaten. Die Darstellung dieser inneren Zustände  $z_\mu$  erfolgt durch die Zustandsvariable  $z_v$ , von denen mindestens

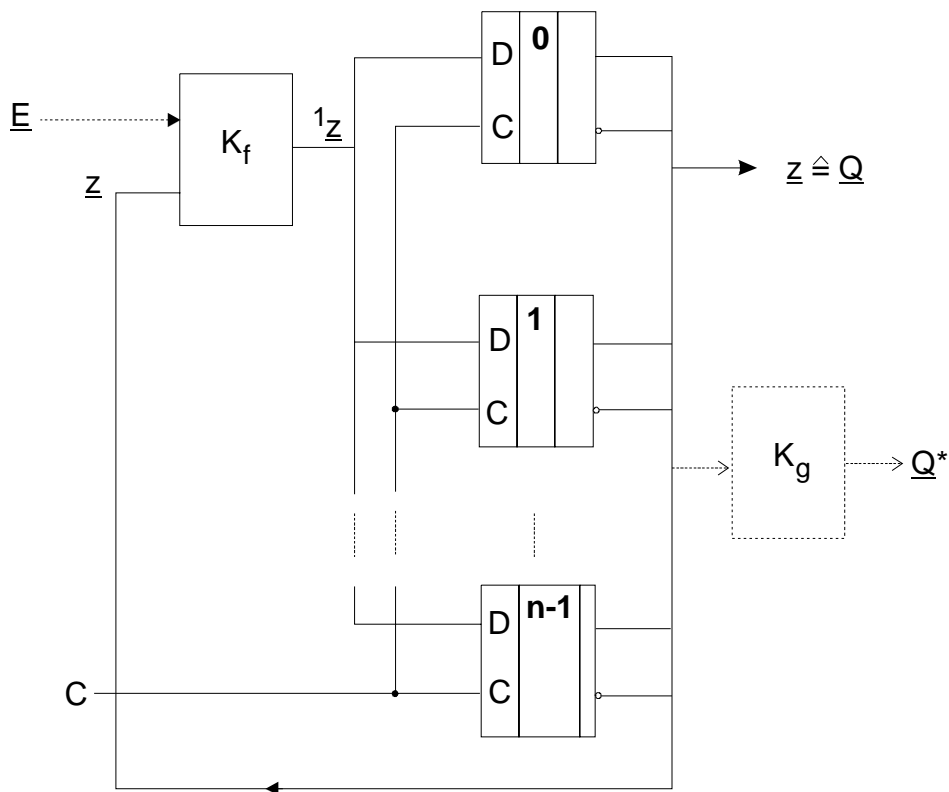
$$n = \text{ld } m, \quad v = (0, \dots, n-1) \quad \text{bzw.} \quad n = \lceil \text{ld } m \rceil$$

benötigt werden.

Weiterhin enthält der Zähler bzw. Teiler eine Kombinatorik  $K_f$ , welche die zur Funktion der Zähler und Teiler erforderlichen Ansteuerfunktionen für die Signaleingänge der Flipflops

generiert. Sollten externe Signale erforderlich sein, z. B. zum Umschalten der Zählrichtung, werden diese auch von der Kombinatorik  $K_f$  verarbeitet.

In den meisten Fällen sind die Flipflopausgänge  $Q_0$  und die Zähler- bzw. Teilerausgänge identisch. Ist aus schaltungstechnischen Gründen eine Umkodierung dieser Signale für die Ausgabe erforderlich, muß dafür eine zusätzliche Kombinatorik  $K_g$  vorgesehen werden.



Zähler lassen sich so entwerfen und aufbauen, daß an ihren Ausgängen ein bestimmter Code beim Zählen entsteht. So sind die Binärzähler und Dezimalzähler die am häufigsten anzutreffenden Typen. Daneben gibt es aber auch Zähler, die nach dem Aiken-, Gray- oder 3-Excess-Code arbeiten. Bei Dezimalzählern bezeichnet man die Eingangsbelegungen für die Zahlen 10 bis 15 als Pseudotetraden.

Je nach den verwendeten Flipfloptypen geschieht die Abfrage der Steuereingänge mit steigender oder mit fallender Flanke. Für den Zähler- bzw. Teilerentwurf geeignet sind einstufige taktflankengetriggerte bzw. 2 stufige taktzustandgestriggerte Flipflops (D-, RS-, JK-Typen).

Zählimpuls C	Momentanzustand $z_{\mu}$				Folgezustand $^1z_{\mu}$				
	Q <sub>3</sub>	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	<sup>1</sup> Q <sub>3</sub>	<sup>1</sup> Q <sub>2</sub>	<sup>1</sup> Q <sub>1</sub>	<sup>1</sup> Q <sub>0</sub>	
0	0	0	0	0	0	0	0	1	
1	0	0	0	1	0	0	1	0	
2	0	0	1	0	0	0	1	1	
3	0	0	1	1	0	1	0	0	
4	0	1	0	0	0	1	0	1	
5	0	1	0	1	0	1	1	0	
6	0	1	1	0	0	1	1	1	
7	0	1	1	1	1	0	0	0	
8	1	0	0	0	1	0	0	1	
9	1	0	0	1	1	0	1	0	
10(A)	1	0	1	0	1	0	1	1	PSEU- DO
11(B)	1	0	1	1	1	1	0	0	
12(C)	1	1	0	0	1	1	0	1	
13(D)	1	1	0	1	1	1	1	0	
14(E)	1	1	1	0	1	1	1	1	
15(F)	1	1	1	1	0	0	0	0	

Zählcode

## 2.2. Systematischer Entwurf von Zählern

Der Entwurf bezieht sich im wesentlichen auf die Ermittlung der Beschaltung der Signaleingänge entsprechend des gewünschten Zählumfangs, Zählcodes und der Beschaltung als synchroner oder asynchroner Zähler. Im folgenden wird der Entwurf eines synchronen Dezimalzählers vorgestellt. Dabei sind die Takteingänge aller Flipflops mit dem Zähltakt verbunden.

### 2.2.1. synchrone Zähler

#### 1. Schritt

Aufstellen der Schaltbelegungstafel entsprechend Zählumfang, Zählcode und Anzahl der benötigten Flipflops. Dabei gilt

$$m_{\max} = 2^n \quad (\text{m-Zählumfang; n-Anzahl der FF}).$$

Danach erfolgt die Festlegung des Flipfloptypes, z. B. ein JK-MS-Flipflop.

#### 2. Schritt

Aufstellen der Schaltbelegungstafel des JK-FF und Ableiten der Folgezustandstafel. Die Schaltbelegungstafel gibt Auskunft über den Momentanzustand, die Eingangsbelegung an den Steuereingängen und den Folgezustand <sup>1</sup>Q nach erfolgtem Takt. Die Folgezustandstafel gibt den Zusammenhang zwischen den Flipflopausgängen Q und <sup>1</sup>Q und der nötigen Belegung

von J und K wieder. Die Belegung mit „d“ (don't care, unbestimmter Zustand) zeigt an, daß dieser Eingang mit „0“ oder mit „1“ belegt werden kann. In das entsprechende Feld des Karnaugh (K-)Planes wird ebenfalls ein „d“ eingetragen.

### 3. Schritt

Mit Hilfe der Folgezustandstafel werden alle Belegungen der Signaleingänge ermittelt und in die Schaltbelegungstafel eingetragen. Ändert sich z. B. ein Ausgang Q von „0“ auf „1“, so ist an die Stelle für J eine „1“ und für „K“ ein „d“ einzutragen.

### 4. Schritt

Ermittlung der Schaltfunktionen für die Signaleingänge mittels Karnaugh-Plan. Jeder Signaleingang wird in einem K-Plan ermittelt. An den Achsen des Karnaugh-Planes für die Eingangsvariablen stehen demzufolge die Zählerausgänge.

### 5. Schritt

Die minimierten Schaltfunktionen für die Signaleingänge müssen für die endgültige Verdrahtung in eine Form gebracht werden, die mit Hilfe von Standardgattern realisierbar wird.

### 6. Schritt

Sollten Zählerstände existieren, die nicht im Zählumfang enthalten sind, muß mit Hilfe eines vollständigen Automatengraphen überprüft werden, ob diese Zustände in parasitäre Schleifen führen können, wenn sie z. B. zufällig beim Einschalten des Zählers entstehen. Bei asynchronen Zählern ist es wichtig zu ermitteln, ob das entsprechende Flipflop für den vorliegenden Zustandsübergang einen Takt erhält.

Bei parasitären Schleifen muß der Zähler entweder so entworfen werden, daß in jedem Fall ein Zustandsübergang erzeugt wird, oder es muß ein asynchrones RESET (POWER-ON RESET) vorgesehen werden.

Beispiel: Synchroner Binärzähler ( $m = 9$ ,  $\varepsilon = 3 \dots 9$ ,  $n = 4$ )

$\varepsilon$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
3	0	0	1	1	0	d	1	d	d	1	d	1
4	0	1	0	0	0	d	d	0	0	d	1	d
5	0	1	0	1	0	d	d	0	1	d	d	1
6	0	1	1	0	0	d	d	0	d	0	1	d
7	0	1	1	1	1	d	d	1	d	1	d	1
8	1	0	0	0	d	0	0	d	0	d	1	d
9	1	0	0	1	d	1	0	d	1	d	d	0
3	0	0	1	1							=1	

# SCHALTBELEGUNGSTAFEL DES JK-FF

# FOLGEZUSTANDSTAFEL

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	$\overline{Q}$

Q	Q <sup>1</sup>	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0

	d <sub>0</sub>	d <sub>1</sub>	d <sub>5</sub>	1 <sub>4</sub>
Q <sub>1</sub>	d <sub>2</sub>	d <sub>3</sub>	d <sub>7</sub>	1 <sub>6</sub>
Q <sub>3</sub>	d <sub>A</sub>	d <sub>B</sub>	d <sub>F</sub>	d <sub>E</sub>
	1 <sub>8</sub>	d <sub>9</sub>	d <sub>D</sub>	d <sub>C</sub>
	Q <sub>0</sub>		Q <sub>2</sub>	

$$J_0 = 1$$

d	d	1	d
d	1	1	d
d	d	d	d
d	0	d	d

$$K_0 = \overline{Q_3}$$

d	d	1	0
d	d	d	d
d	d	d	d
0	1	d	d

$$J_1 = Q_0$$

d	d	d	d
d	1	1	0
d	d	d	d
d	d	d	d

$$K_1 = Q_0$$

d	d	d	d
d	1	d	d
d	d	d	d
0	0	d	d

$$J_2 = Q_1$$

d	d	0	0
d	d	1	0
d	d	d	d
d	d	d	d

$$K_2 = Q_1 \cdot Q_0$$

d	d	0	0
d	0	1	0
d	d	d	d
d	d	d	d

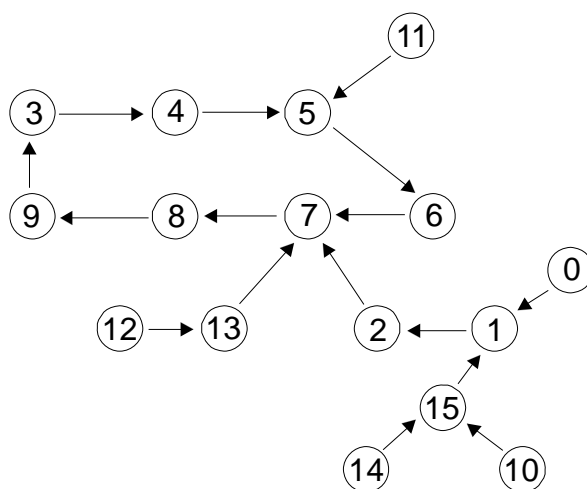
$$J_3 = Q_2 Q_1 Q_0$$

d	d	d	d
d	d	d	d
d	d	d	d
0	1	d	d

$$K_3 = Q_0$$

Überprüfung, ob zusätzliches Reset notwendig ist.

$\mu$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	${}^1\mu$	${}^1Q_3$	${}^1Q_2$	${}^1Q_1$	${}^1Q_0$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	0	0	1	0	0	0	0	0	0	1	1
1	0	0	0	1	2	0	0	1	0	0	1	0	0	1	1	1	1
2	0	0	1	0	7	0	1	1	1	0	0	1	0	0	0	1	1
10	1	0	1	0	15	1	1	1	1	0	0	1	0	0	0	1	0
11	1	0	1	1	5	0	1	0	1	0	1	1	1	1	1	1	0
12	1	1	0	0	13	1	1	0	1	0	0	0	0	0	0	1	0
13	1	1	0	1	7	0	1	1	1	0	1	0	0	1	1	1	0
14	1	1	1	0	15	1	1	1	1	0	0	1	0	0	0	1	0
15	1	1	1	1	1	0	0	0	1	1	1	1	1	1	1	1	0



## 2.2.2. asynchrone Zähler

Beispiel: asynchroner Binärzähler ( $m = 3, \varepsilon = 3 \dots 9$ )  $K = 4$ , fallende Taktflanke

$\varepsilon$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
3	0	0	1	1	0	d	1	d	d	1	d	1
4	0	←	←	←	0	d	d	d	0	d	1	d
5	0	←	←	←	0	d	d	d	1	d	d	1
6	0	←	←	←	0	d	d	d	d	0	1	d
7	0	←	←	←	1	d	d	1	d	1	d	1
8	1	←	←	←	d	0	d	d	0	d	1	d
9	1	←	←	←	d	1	d	d	1	d	d	0
3	0	0	1	1			=1	=1			=1	

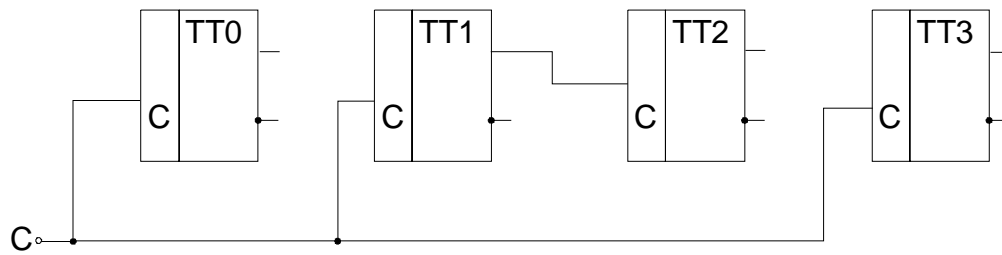


# SCHALTBELEGUNGSTAFEL DES JK-FF

# FOLGEZUSTANDSTABELLE

J	K	Q
0	0	Q
0	1	0
1	0	$\frac{1}{Q}$
1	1	$\overline{Q}$

Q	Q <sup>1</sup>	J	K
0	0	0	d
0	1	1	d
1	0	d	1
1	1	d	0



$$J_0 = 1$$

$$K_0 = \overline{Q}_3$$

d	d	1	d
d	1	1	d
d	d	d	d
d	0	d	d

$$J_1 = Q_0$$

d	d	1	0
d	d	d	d
d	d	d	d
0	1	d	d

$$K_1 = Q_0$$

d	d	d	d
d	1	1	0
d	d	d	d
d	d	d	d

$$J_2 = 1$$

$$K_2 = 1$$

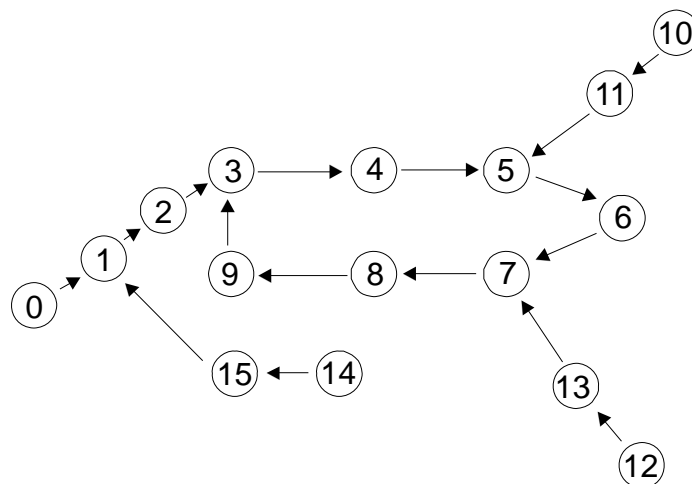
$$J_3 = Q_2 Q_1 Q_0$$

d	d	0	0
d	0	1	0
d	d	d	d
d	d	d	d

$$K_3 = Q_0$$

d	d	d	d
d	d	d	d
d	d	d	d
0	1	d	d

$\mu$	$Q_3$	$Q_2$	$Q_1$	$Q_0$	${}^1\mu$	${}^1Q_3$	${}^1Q_2$	${}^1Q_1$	${}^1Q_0$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
0	0	0	0	0	1	0	0	0	1	0	0	1	1	0	0	1	1
1	0	0	0	1	2	0	0	1	0	0	1	1	1	1	1	1	1
2	0	0	1	0	3	0	0	1	1	0	0	1	1	0	0	1	1
10	1	0	1	0	11	1	0	1	1	0	0	1	1	0	0	1	0
11	1	0	1	1	5	0	1 ←	0	1	0	1	1	1	1	1	1	0
12	1	1	0	0	13	1	1	0	1	0	0	1	1	0	0	1	0
13	1	1	0	1	7	0	1	1	1	0	1	1	1	1	1	1	0
14	1	1	1	0	15	1	1	1	1	0	0	1	1	0	0	1	0
15	1	1	1	1	1	0	0 ←	0	1	1	1	1	1	1	1	1	0



### 3. Allgemeine Bedienungshinweise

Das Praktikum wird auf dem Logic Circuit Trainer CE300 absolviert. Dabei handelt es sich um eine kombinierte Hard- und Softwarelösung. Die Schaltungen werden mit einem Grafikeditor eingegeben und dann in der Hardware emuliert! Durch den Emulator werden nur funktionelle Werte wiedergegeben. Zeitliche Emulationen sind daher nicht möglich! Es ist aus diesem Grund erforderlich, **daß alle Schaltvorgänge per Hand langsam (ca. in Sekunden Abständen) erfolgen müssen**.

Die Hardware ist vom Praktikumsverantwortlichen bereits vollständig vorgefertigt. **Eine Veränderung der Hardware ist nur unter Zustimmung des Verantwortlichen zulässig!**

Die Praktikumsrechner sind mit dem Betriebssystem Windows NT 4.0 ausgestattet.

#### Login

Benutzername: prak\_dst  
Kennwort: prak\_dst

Arbeitsverzeichnis: D:\Praktik\Dst\Zähler

**Nur in diesem Verzeichnis werden Dateien gespeichert!**

Das Programm für den CE 300 wird automatisch gestartet!

### 3.1. Der Grafikeditor

In Abb. 1 sehen Sie den Grafikeditor des CE300. Die Bedienung ist logisch aufgebaut und selbsterklärend. Alle fürs Praktikum benötigte Bauelemente sind in der Symbolleiste Registerkarte **Digital** verfügbar. Durch das Anklicken eines Symbols (z.B. AND-Gatter) wird das entsprechende Bauelement aktiviert und durch einen weiteren Klick, läßt es sich auf der Arbeitsfläche platzieren.

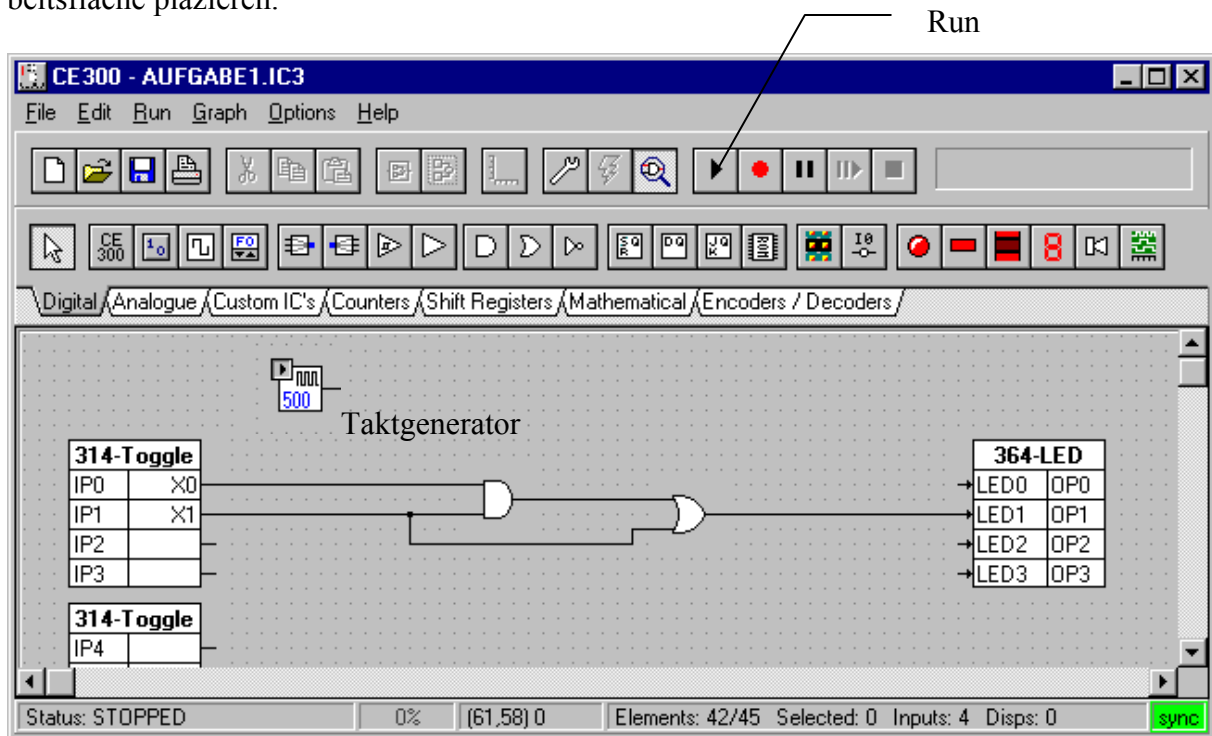
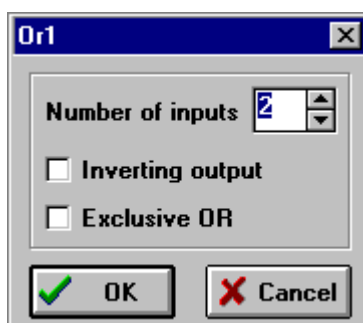


Abb 1: Arbeitsbildschirm

Mit dem Klick der rechten Maustaste auf einem Symbol lassen sich die Eigenschaften (Properties) verändern, bzw. das Bauelement spiegeln (reverse) und Löschen (Delete). Verschieben wird es durch Drag und Drop.

In Abb. 2 wird ein Dialogfenster für die Eigenschaften an Hand eines OR-Gatters gezeigt. Dadurch lassen sich auch OR, NAND, Exclusive OR (Antivalenz) und Exclusive NOR (Äquivalenz) -Gatter realisieren. Die Anzahl der Eingänge ist auf 3 begrenzt. Unter der Registerkarte **Custom IC's** sind auch Gatter mit mehreren Eingängen verfügbar.



## Abb. 2: Properties der Symbole

Für die meisten Aufgaben ist die externe Beschaltung schon vorgegeben. Beachten Sie die Anweisungen in den einzelnen Aufgaben bei der Versuchsdurchführung!

Die Verdrahtung erfolgt einfach durch Anklicken und Ziehen der Inputs oder Outputs der Bauelemente. Nur wenn die Maus die Form eines Lötkolbens annimmt, läßt sich eine Verdrahtung realisieren.

Nach fertiger Eingabe kann über die Taste **RUN** die Schaltung in der Hardware emuliert werden.

### 3.2. Fehlerbehebung

Klicken Sie bei Auftreten der Fehlermeldung **Daten Overrun** die Fehlermeldung weg und starten Sie **RUN** neu!

Bei allen anderen Fehlermeldungen wenden Sie sich bitte an Ihren Betreuer!

## 4. Aufgaben

### 4.1. Hausaufgaben

- Nennen Sie Beispiele für den Einsatz von digitalen Zählern!
- Wie arbeiten die Flipflop-Typen RS-FF, T-FF, D-FF und JK-FF!  
Was ist ein Master-Slave-FF?
- Welche FF-Typen eignen sich zum Aufbau von Zählern?
- Diskutieren Sie die Vor- und Nachteile asynchroner und synchroner digitaler Zähler!
- Wie groß ist die maximale Zählkapazität eines aus  $k=5$  Flipflops aufgebauten Zählers?
- Welche Möglichkeiten der Einschränkung des Zählbereiches sind Ihnen bekannt?
- Machen Sie sich mit dem Problem der Übertragsbildung vertraut!

### 4.2. Versuchsdurchführung

Allgemeine Hinweise:

Zu jeder Aufgabe gibt es ein File (Aufgaben $n$ .ic3 ;  $n$  = Aufgabennummer), indem eine gewisse Vorverdrahtung bereits implementiert ist. Öffnen Sie diese Datei und **speichern Sie sie nach Eingabe ihrer Schaltungen und Überprüfung im CE300 unter dem gleichen Namen wieder ab!** Nutzen Sie die bereits implementierten CE300 Elemente und den Taktgenerator!

#### 4.2.1. synchroner Binärzähler (Aufgabe1.ic3)

Entwerfen Sie einen synchronen Binärzähler ( $m=16$ ) von 0 bis 15 mit (JK-FF) in minimierter Form! und überprüfen Sie ihn im CE300! Überprüfen Sie, ob ein zusätzliches RESET erforderlich ist!

#### 4.2.2. asynchroner Binärzähler (Aufgabe2.ic3)

Entwerfen Sie einen asynchronen Binärzähler ( $m=10$ ) von 0 bis 9 mit Hilfe von JK-FF in minimierter Form und überprüfen Sie ihn mit dem CE300! Welche Rolle spielt es, ob die FF mit positiver oder negativer Taktflanken getriggert sind?

Überprüfen Sie, ob ein zusätzliches RESET erforderlich ist!

#### 4.2.3. Vor/Rückwärtszähler (Aufgabe3.ic3)

Entwerfen Sie einen Vor/Rückwärtszähler ( $m=8$ ) von 0 bis 7 mit einem Signal (U/D) zur Umschaltung der Zählrichtung und überprüfen Sie die Schaltung im CE300!

Überprüfen Sie, ob ein zusätzliches RESET erforderlich ist!

#### 4.2.4. synchroner Vorwärtsdezimalzähler (Aufgabe4.ic3)

Entwerfen Sie einen synchronen Vorwärtsdezimalzähler und überprüfen Sie die Schaltung mit dem CE300!

#### 4.2.5. Übertragsbildung (Aufgabe5.ic3)

Erstellen Sie einen Dezimalzähler von 0-99 unter Verwendung von zwei Zähldekaden (Baustein 74163 unter der Registerkarte Customs-IC) und überprüfen Sie die Schaltung im CE300!

Beachten Sie, dass die **Enable** Eingänge *highaktiv* und **Clear** bzw. **Load** *lowaktiv* sind!

### 5. Literatur

- [1] Scarbata, Gerd  
Symthese und Analyse digitaler Schaltungen,  
Oldenbourg Verlag, 1996

***Hinweis:***

***Dieses Praktikum wird im Raum H1555 durchgeführt!***