

2. Sequentielle Schaltungen, Schaltwerke, Automaten

2.1. Begriffsbestimmung – Schaltnetze und Schaltwerke

Schaltnetz

Schaltwerk

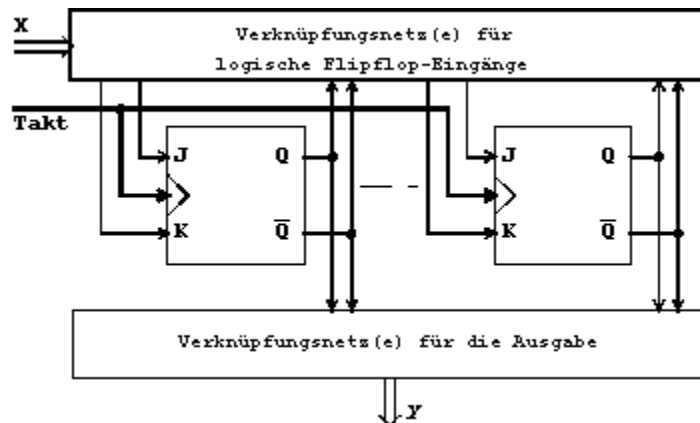
Für einen Eingangszustand sind mehrere Ausgangszustände möglich, d.h der Ausgangszustand hängt von allen bisherigen Eingangszuständen ab.

2.2. Zähler

Aufgaben für Zählerschaltungen:

- Umwandlung einer Anzahl von Zählimpulsen in einen vorgegeben Code
- Erzeugung spezieller Zählfolgen, z.B zur Steuerung von Abläufen
- Generierung von Zeitverzögerungen von vorgebbbarer Dauer

2.2.1. Entwurf synchroner Zähler



Synchron:

Zählimpulse werden den Takteingängen aller FFs zugeführt (gemeinsames Taktsignal).

- Zähler sind einfacher und übersichtlicher aufgebaut und leichter erweiterbar,
- Es treten keine Laufzeitprobleme auf.

2.2.1.1. Mod-5-Vorwärtzähler mit RS-FF

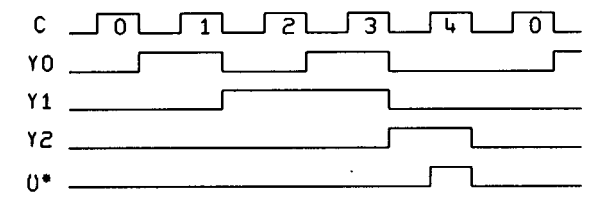
Zustandsgraph

Zustandstabelle

Anzahl der FFs

Dez. Zählerstand	Y ₂	Y ₁	Y ₀	Ü
0				
1				
2				
3				
4				

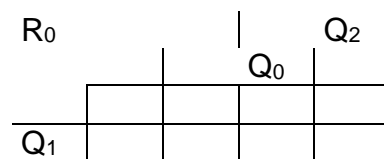
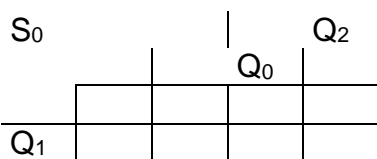
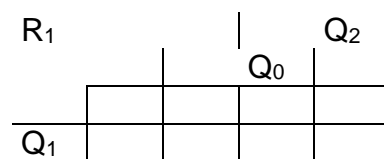
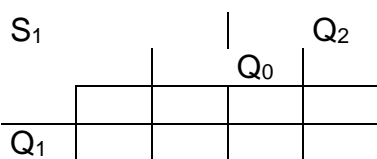
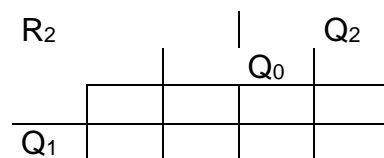
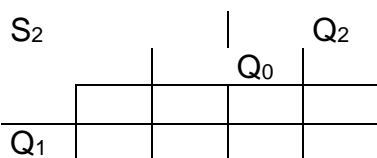
Impulsdiagramm



Entwurf des Übergangsnetzes

Zustandsfolgetabelle des Übergangsnetzes

Dez. Zählerstand	Q ₂	Q ₁	Q ₀	¹ Q ₂	¹ Q ₁	¹ Q ₀	S ₂	R ₂	S ₁	R ₁	S ₀	R ₀
0	0	0	0									
1	0	0	1									
2	0	1	0									
3	0	1	1									
4	1	0	0									
5	1	0	1									
6	1	1	0									
7	1	1	1									

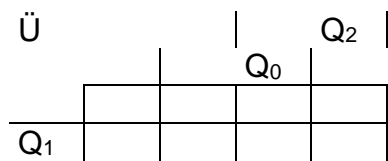


Kontrolle der Nebenbedingung

Wegen RS=0 dürfen Blöcke von R_i und S_i nicht das gleiche x-Feld enthalten.

Entwurf des Ausgangsnetzes

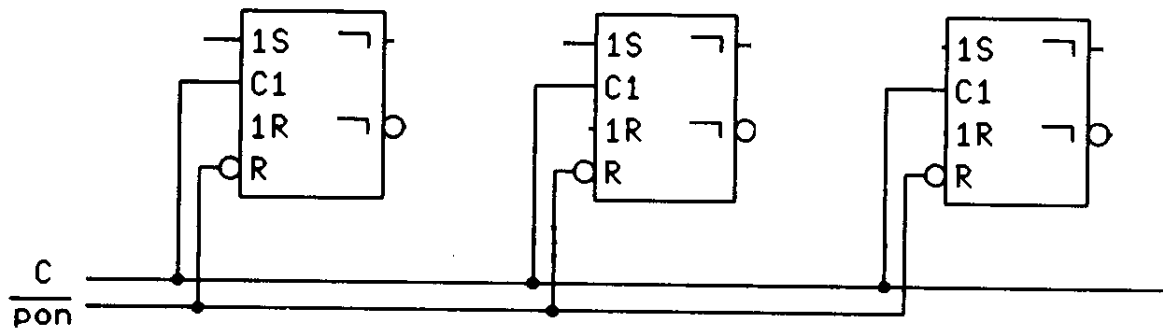
Dez. Zählerstand	Q ₂	Q ₁	Q ₀	Ü
0				
1				
2				
3				
4				



Untersuchung der Pseudozustände

[illegible]

Schaltung



Zustandsgraph

Zusammenfassung der Entwurfsschritte:

- Bestimmung der Anzahl der FFs
- Auswahl des FF-Typs
- Aufstellen der Zustandstabelle (Automatentabelle)
- Entwurf des Übergangsnetzes
- Entwurf des Ausgangsnetzes
- Überprüfung der Psoudozustände
- Erstellung der Schaltung

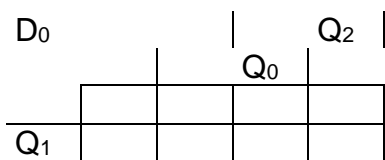
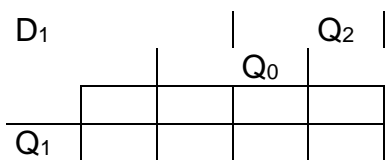
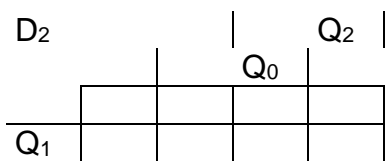
Aufgabe 1: Entwerfen Sie den Mod-5-Vorwärtzähler mit D-FFs

a) Entwurf des Übergangsnetzes

Charakteristische Gleichung: ${}^1Q = D$

Zustandsfolgetabelle des Übergangsnetzes

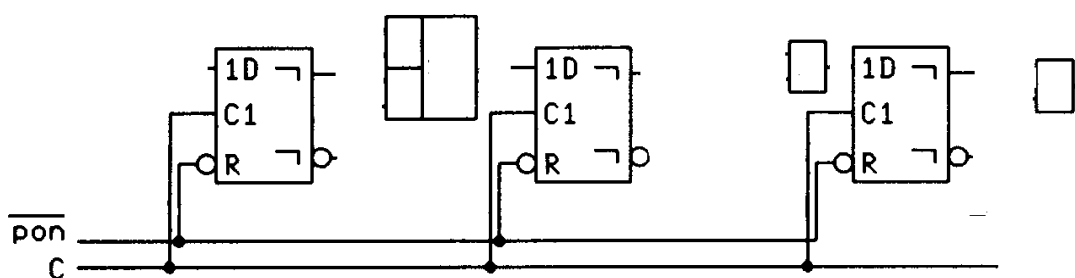
Dez. Zählerstand	Q ₂	Q ₁	Q ₀	¹ Q ₂	¹ Q ₁	¹ Q ₀	D ₂	D ₁	D ₀
0	0	0	0						
1	0	0	1						
2	0	1	0						
3	0	1	1						
4	1	0	0						
5	1	0	1						
6	1	1	0						
7	1	1	1						



b) Untersuchung der Pseudozustände

	Q ₂	Q ₁	Q ₀	D ₂	D ₁	D ₀	¹ Q ₂	¹ Q ₁	¹ Q ₀	
5	1	0	1							
6	1	1	0							
7	1	1	1							

c) Schaltung



d) Zustandsgraph

4.5.1.3 Mod-5-Rückwärtszähler mit JK-FF

Zustandsgraph

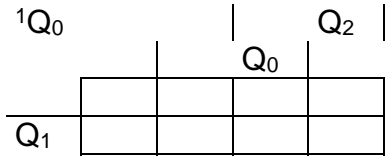
Entwurf des Übergangsnetzes

Charakteristische Gleichung:

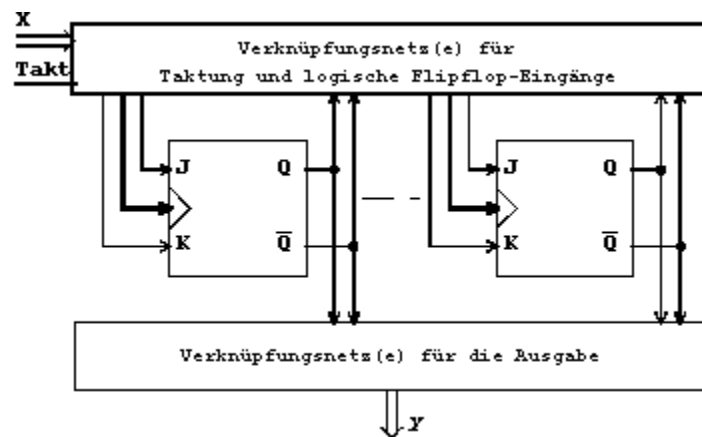
Zustandsfolgetabelle des Übergangsnetzes

Dez. Zählerstand	Q ₂	Q ₁	Q ₀	¹ Q ₂	¹ Q ₁	¹ Q ₀	J ₂	K ₂	J ₁	K ₁	J ₀	K ₀
4	1	0	0									
3	0	1	1									
2	0	1	0									
1	0	0	1									
0	0	0	0									

¹ Q ₂				Q ₂
		Q ₀		
Q ₁				



2.2.2. Asynchrone Zähler



Min. ein FF wird nicht durch das Taktsignal, sondern durch im Zähler selbst erzeugten Impulse angesteuert.

Vorteil:

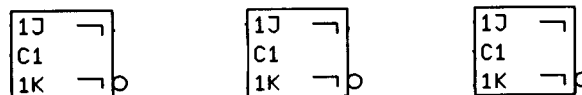
Nicht alle FFs müssen für die max. Frequenz des Eingangstaktes ausgelegt sein.
Der Gatteraufwand ist geringer.

Nachteil:

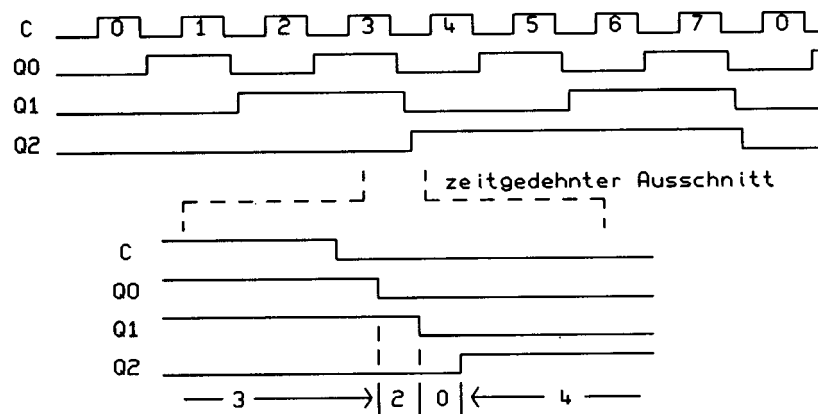
Es können fehlerhafte Zwischenzustände beim Umschalten auftreten – Laufzeitprobleme.

Asynchroner mod-8-Vorwärtszähler

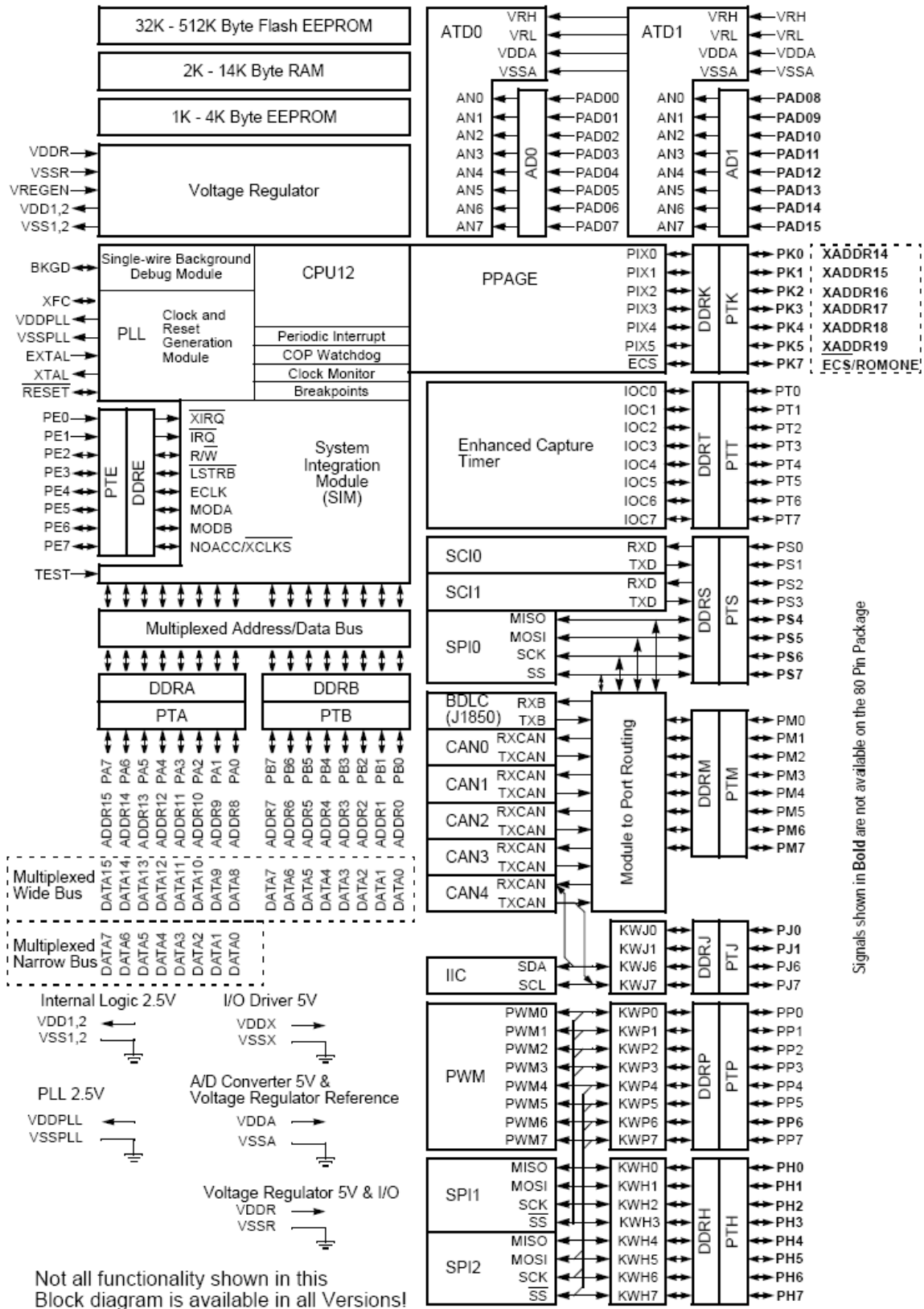
Schaltung



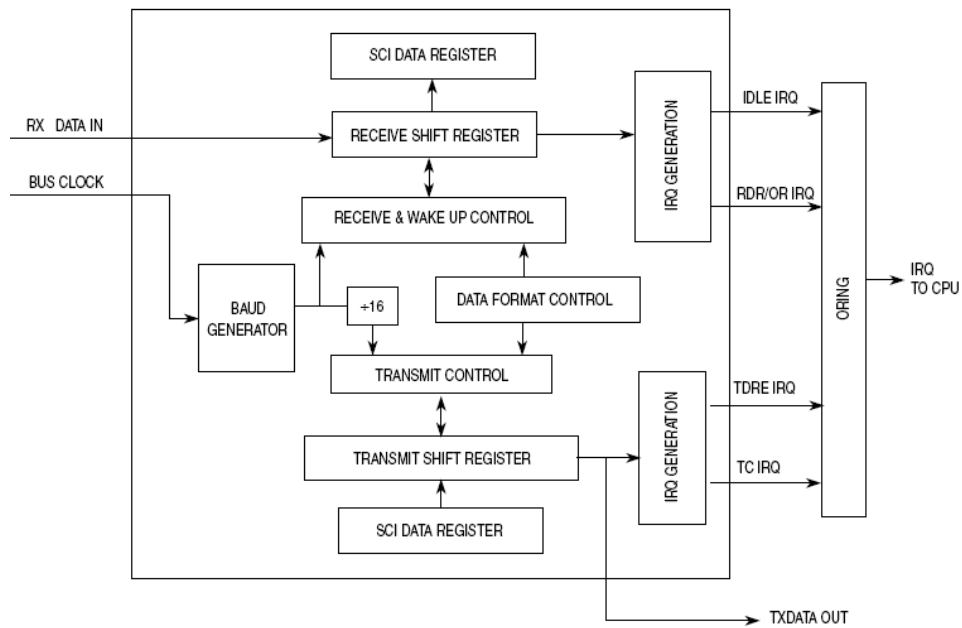
Impulsdiagramm



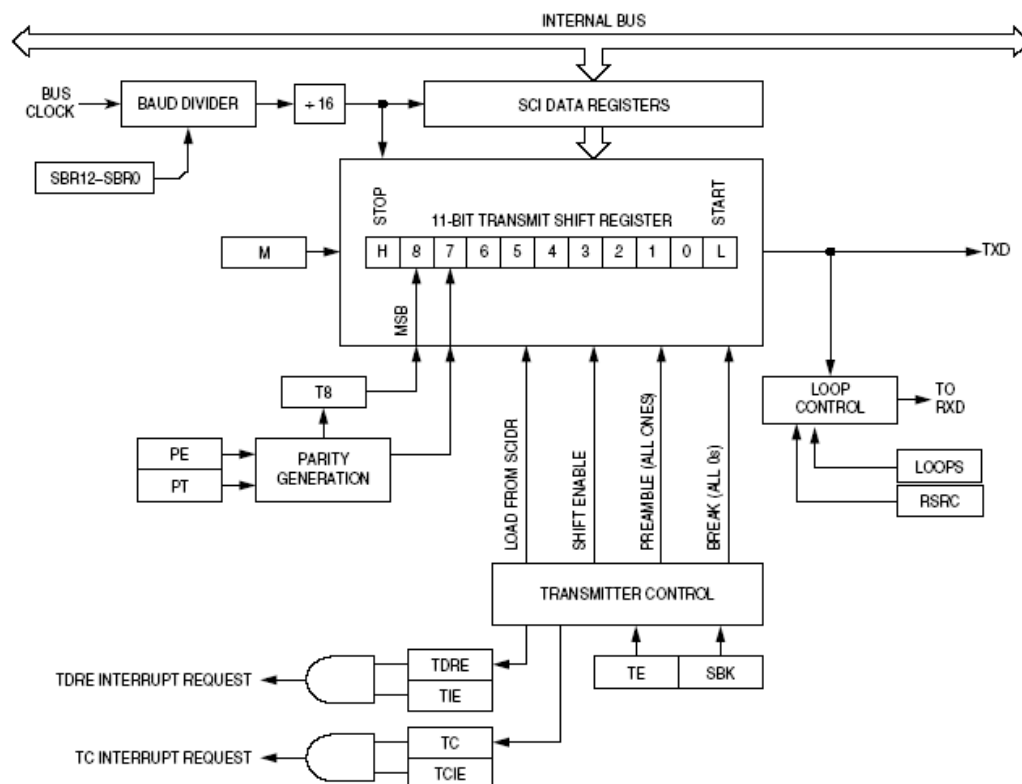
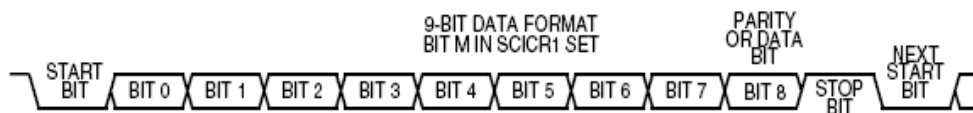
HC12 von Freescale (früher Motorola)



Blockschaltbild der SCI des HC12



Datenformat SCI (mit Paritätsbit)

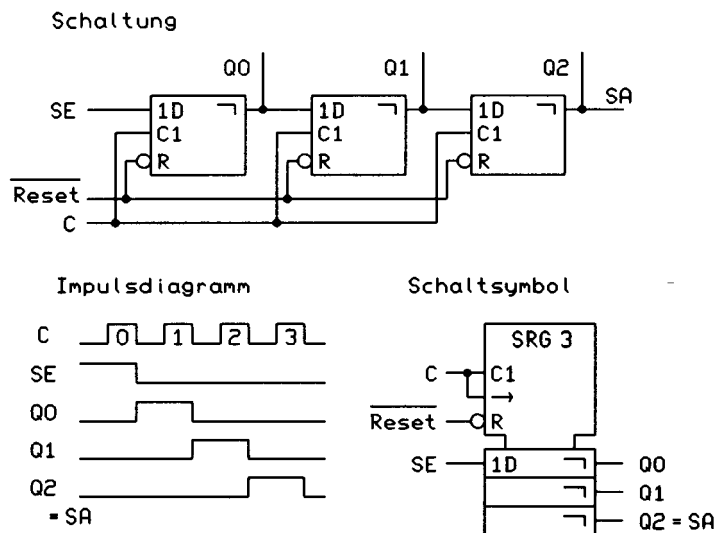


2.3.2. Schieberegister

Schieberegister- Klassen

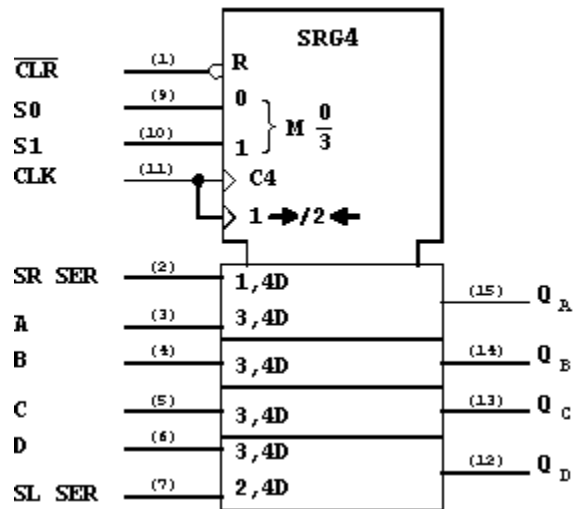
Dateneingang	Datenausgang	Funktion	Beispiel (8Bit)
seriell	seriell	SISO	
seriell	parallel	SIPO	
parallel	seriell	PISO	
parallel	parallel	PIPO	

2.3.2.1. Seriell-Parallel-Umsetzer



Der Baustein 74LS194

74LS194:
4-Bit Bidirectional Universal Shift Register



Funktionstabelle

Inputs										Outputs			
Clear	Mode		Clock	Serial		Parallel				QA	QB	QC	QD
	S1	S0		Left	Right	A	B	C	D	QA	QB	QC	QD
L	x	x	x	x	x	x	x	x	x	L	L	L	L
H	x	x	L	x	x	x	x	x	x	QA0	QB0	QC0	QD0
H	H	H		x	x	a	b	c	d	a	b	c	d
H	L	H		x	H	x	x	x	x	H	QAn	QBn	QCn
H	L	H		x	L	x	x	x	x	L	QAn	QBn	QCn
H	H	L		H	x	x	x	x	x	QBn	QCn	QDn	H
H	H	L		L	x	x	x	x	x	QBn	QCn	QDn	L
H	L	L	x	x	x	x	x	x	x	QA0	QB0	QC0	QD0

Betriebszustände:

- Für $S_1 = S_0 = L$ (Mode 0) wird weder geschoben noch geladen. Die gespeicherten Daten liegen unverändert an den Ausgängen.
- Für $S_1 = S_0 = H$ (Mode 3) werden mit der nächsten ansteigenden Taktflanke die an den Eingängen DO, ..., D3 anliegenden Daten parallel geladen.
- $S_1 = H$ und $S_0 = L$ (Mode 2) gibt Schieben in Richtung von Q3 nach Q0 frei. Ein am seriellen Eingang für 'Linksschieben' (SE L) anliegender Wert wird dabei in Q3 übernommen.
- $S_1 = L$ und $S_0 = H$ (Mode 1) gibt Schieben in Richtung von Q0 nach Q3 frei. Ein am seriellen Eingang für 'Rechtsschieben' (SE R) anliegender Wert wird dabei in Q0 übernommen.

Aufgabe 2

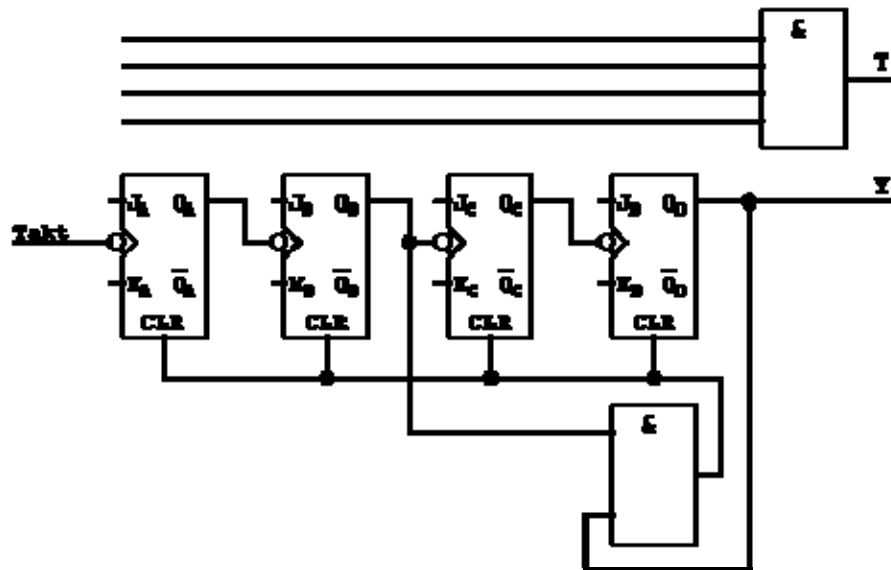
Entwerfen Sie einen Aikenzähler (2-4-2-1 Code) mit JK-FFs als synchronen Vorwärtszähler.

ε	Q3	Q2	Q1	Q0	¹ Q3	¹ Q2	¹ Q1	¹ Q0

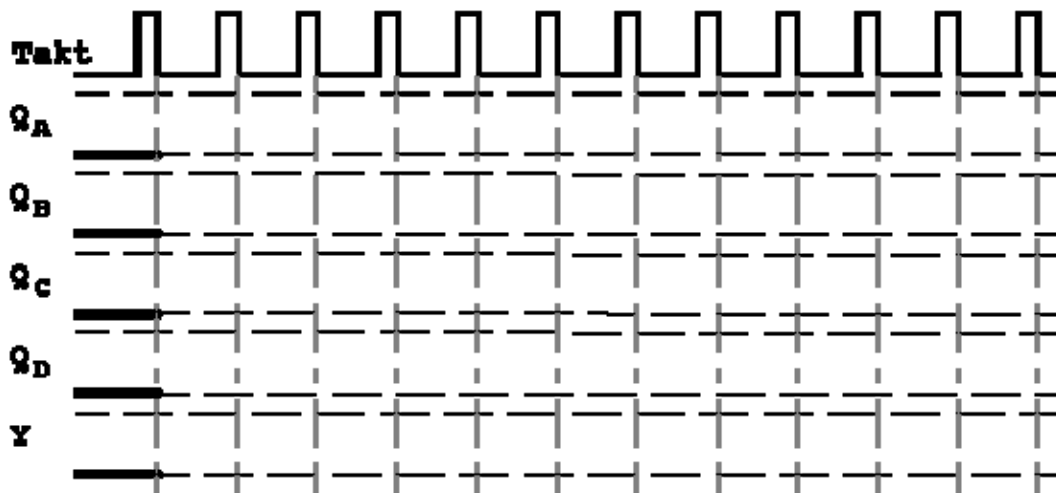
Karnaugh-Plan

Aufgabe 3

Der folgende asynchrone Zähler wird aus JK-Flipflops aufgebaut:



a) Bestimmen Sie das Impulsdiagramm für zehn Taktimpulse.



b) Welche Flipflop-Ausgänge müssen mit den vier Eingängen des zusätzlichen UND-Gatters verbunden werden, damit der Ausgang dieses Gatters nach sechs Clock-Impulsen auf "high" geht?

Hinweis:

Die nicht verbundenen JK-Eingänge entsprechen auf "high" liegenden Eingangssignalen (bei TTL-Logik). Alle Q-Ausgänge liegen zu Beginn der Taktung auf "0" ($Q_A=Q_B=Q_C=Q_D=0$).