Digitaltechnik

AI - 3

ilearn : DZ68nQB=

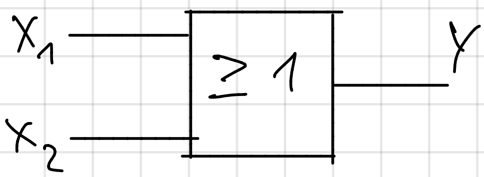
1.) Wie beschreiben Sie die Schaltfunktion und Schaltung der Theoreme für 2 Variablen

- oder
- xor

ODER:

$Y = X_1 + X_2$ $\qquad$ $Y = A \vee B$

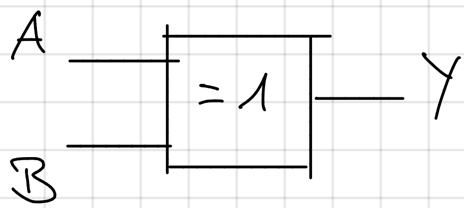
X_1	X_2	Y
0	0	0
0	1	1
1	0	1
1	1	1



XOR:

$Y = A \wedge \bar{B} \vee \bar{A} \wedge B$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



2.) Schreiben Sie die

kommutative: $A \wedge B = B \wedge A$; $A \vee B = B \vee A$

assoziative: $A \vee (B \vee C) = (A \vee B) \vee C$; $A \wedge (B \wedge C) = (A \wedge B) \wedge C$

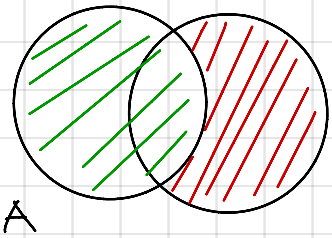
distributive: $A \wedge (B \vee C) = A \wedge B \vee A \wedge C$; $A \vee (B \wedge C) = (A \vee B) \wedge (A \vee C)$

Gesetze auf!

3.) Welche Absorptionsgesetze können Sie in folgenden Fällen anwenden?

a) $A \vee A \wedge B = A$

b) $A \vee \bar{A} \wedge B = A \vee B \longrightarrow$



c) $A \wedge B \vee A \wedge \bar{B} = A \wedge (B \vee \bar{B}) = A \wedge 1 = A$

d) $y = A\bar{B}C + \bar{A}\bar{B}C + AB\bar{C} + ABC$

$$= \underbrace{(A+\bar{A})}_{1}\bar{B}C + AB\underbrace{(\bar{C}+C)}_{1} = \bar{B}C + AB$$

e) $A\bar{B}(B+A) + \overline{A\bar{B}}\,(\overline{B+A})$

$$= \underbrace{A\overbrace{\bar{B}B}^{0}}_{0} + \underbrace{A\bar{B}A}_{A\bar{B}} + \overline{A\bar{B}}\,\bar{B}\,\bar{A}$$

$$= A\bar{B} + (\bar{A}+B)\,\bar{B}\bar{A}$$

$$= A\bar{B} + \bar{A}\bar{B}\bar{A} + \overbrace{B\bar{B}}^{0}\bar{A}$$

$$= A\bar{B} + \bar{A}\bar{B} + 0$$

$$= \underbrace{(A+\bar{A})}_{1}\,\bar{B}$$

$$= \bar{B}$$

4.) Wie sieht das Karnaugh-Veith-Diagramm für zwei Eingangsvariablen mit den eingetragenen Dezimaläquivalenten aus?

		x_1
	0	2
x_0	1	3

x_1	x_0	d
0	0	0
0	1	1
1	0	2
1	1	3

5.) Gegeben sei folgendes KV-Diagramm.
Zeichnen Sie die Primimplikanten ein und schreiben Sie die minimierte Form der Funktion auf!

			x_2	
	0	1	X	X
x_0	1	X	1	0
		x_1		

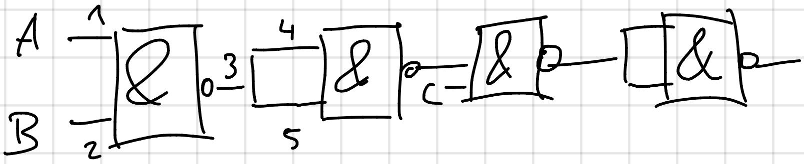
$$Y(x_2, x_1, x) = x_1 \vee x_0 \wedge \overline{x_2}$$

$$= x_1 + x_0 \, \overline{x_2}$$

NAND

	A	B	AB	$\overline{AB}$
$A = B \rightarrow$	0	0	0	1
	0	1	0	1
	1	0	0	1
$\rightarrow$	1	1	1	0

$$ABC = \overline{\overline{AB}}\,C = \overline{\overline{\overline{\overline{AB}}\,C}}$$



NOR

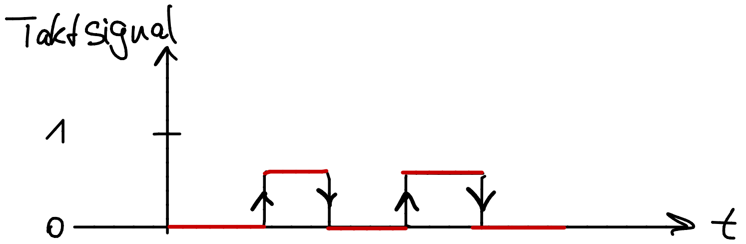
$$\overline{A+B+C} = \bar{A}\,\bar{B}\,\bar{C} = \overline{\overline{\overline{\overline{\bar{A}\,\bar{B}}}\,\bar{C}}}$$

11.10.2016

1 Flip-Flop (FF), Bistabile Trigger

1.1 Einteilung der Flip-Flop

- ungetaktet (ereignisgesteuert)
- getaktet
  - taktzustands- gesteuert
  - taktflanken- gesteuert



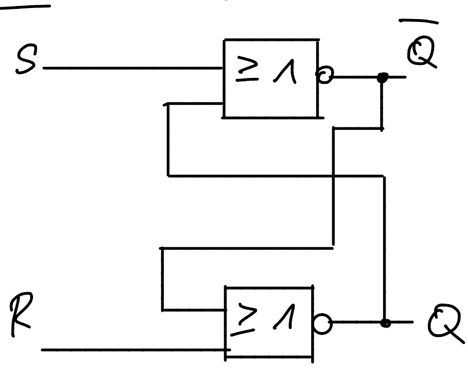
Taktzustand: Pegel 1, high / 0, low

Taktflanke: Pegeländerung

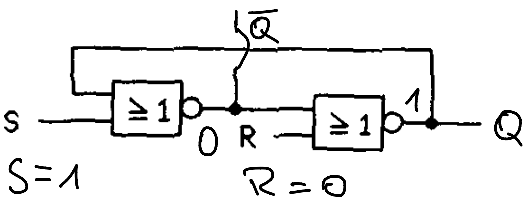
1.2 Basis-RS-Flip-Flop

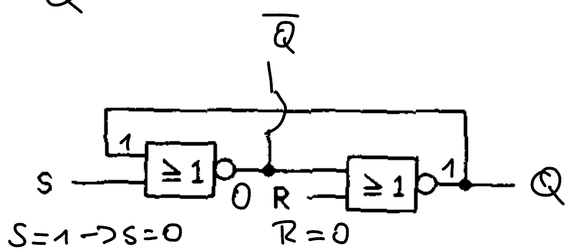
1.2.1 RS-FF in NOR-Realisierung

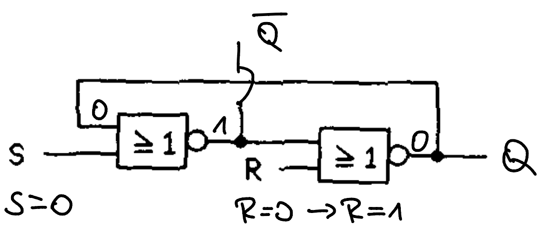
Reset set

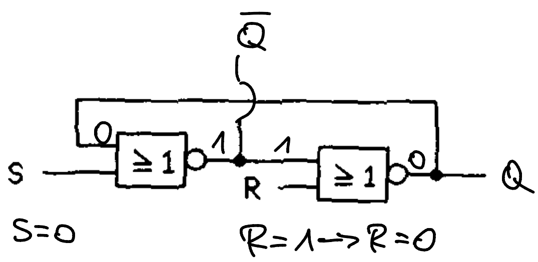


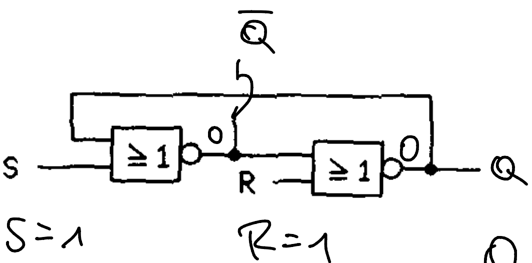
A	B	$\overline{A+B}$
0	0	1
0	1	0
1	0	0
1	1	0











$Q = \overline{Q}$ ↯ !

unzulässig

Zustandsfolgetabelle

Ausgang Q^n

S	R	Q	^1Q	$^1\overline{Q}$	
0	0	0	0	1	} speicher
0	0	1	1	0	
0	1	0	0	1	} löschen/zurücksetzen
0	1	1	0	1	
1	0	0	1	0	} setzen
1	0	1	1	0	
1	1	0	X	X	} unzulässig
1	1	1	X	X	

Kurzform

S	R	^1Q
0	0	Q
0	1	0
1	0	1
1	1	X

Charakteristische Gleichung

$^1Q = S \vee \overline{R}Q$

Nebenbedingung

$R \wedge S = 0$

			S	S
		Q	Q	
	0	1	1	1
R	0	0	X	X

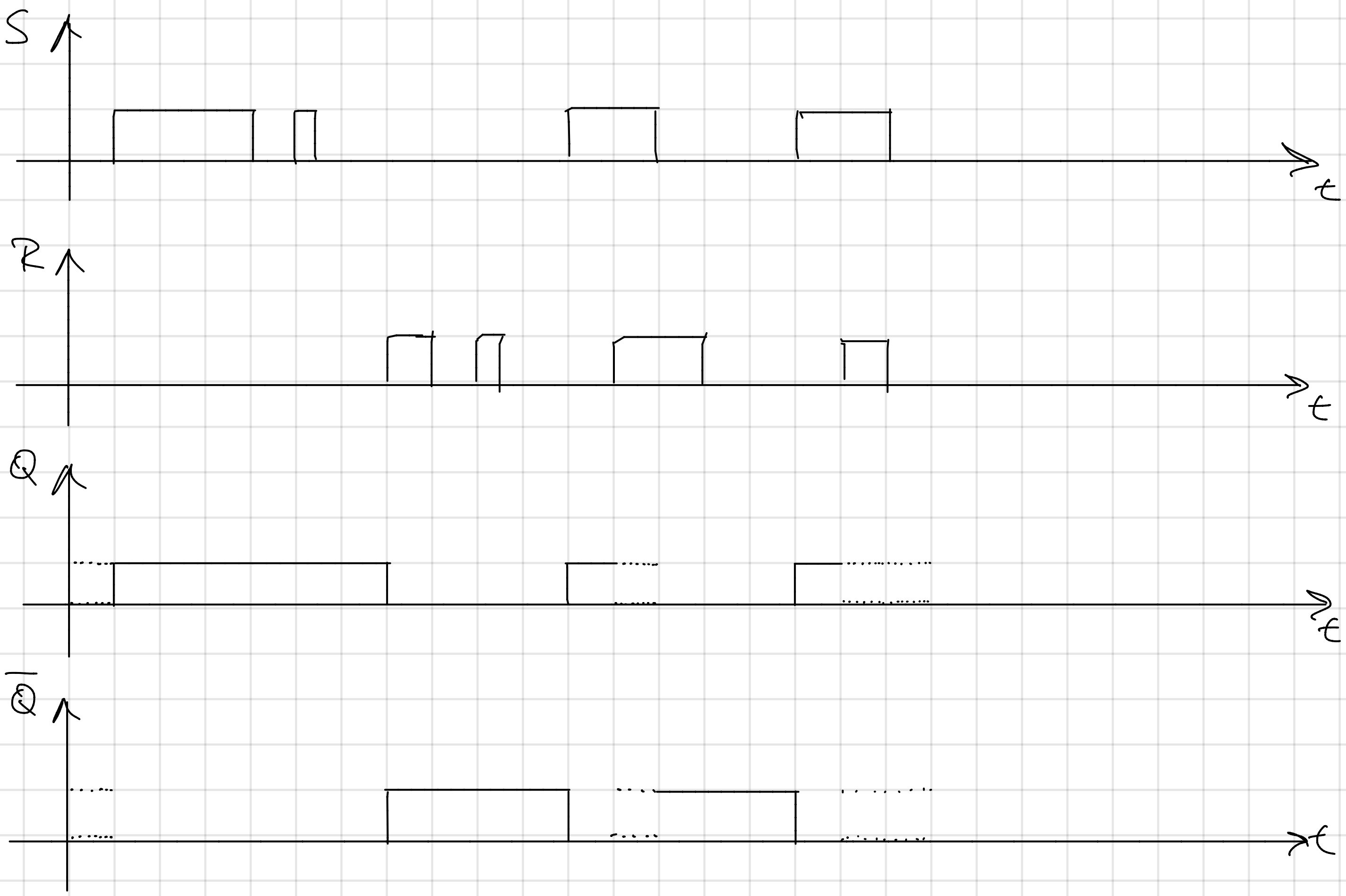
Synthesetabelle

Q	^1Q	S	R
0	0	0	0
		0	1
0	1	1	0
1	0	0	1
1	1	0	0
		1	0

Kurzform

Q	^1Q	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Impulsdiagramm / Signalzeitplan eines RS-Flip-Flops in NOR-Technik



XOR mit 4 NAND mit 5:

$$A\bar{B} + \bar{A}B = \overline{\overline{A\bar{B} + \bar{A}B}} = \overline{\overline{A\bar{B}}\;\overline{\bar{A}B}}$$

mit 4:

$$A\bar{B} + \bar{A}B = \overline{\bar{A} + B} + \overline{A + \bar{B}}$$

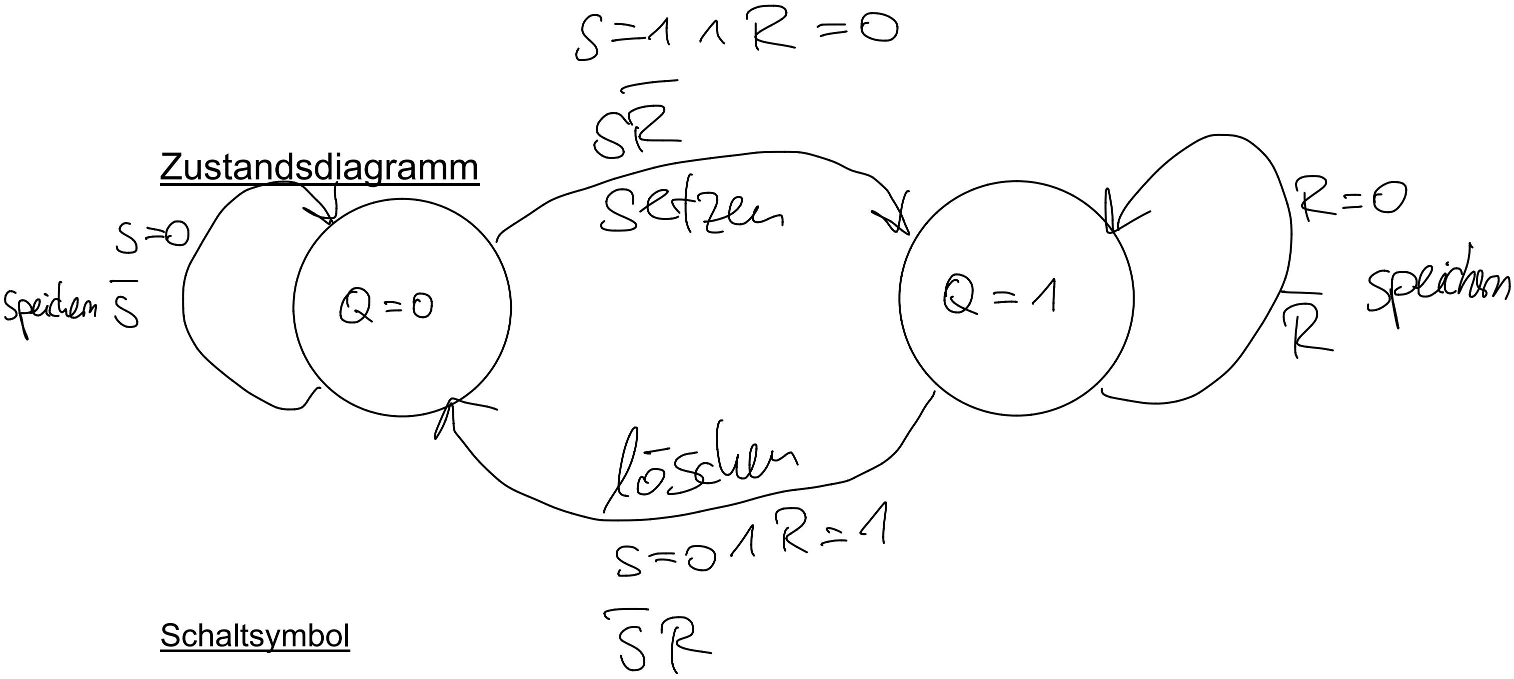
$$= \overline{\bar{A} + B} + \overline{A + \bar{B}}$$

$$= A\overline{AB} + \overline{AB}B = \overline{\overline{A\overline{AB} + \overline{AB}B}} = \overline{\overline{A\overline{AB}}\;\overline{\overline{AB}B}}$$

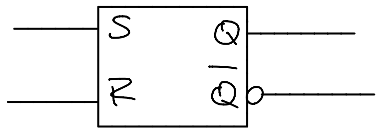
Impulsdiagramm

vgl. Skizze davor

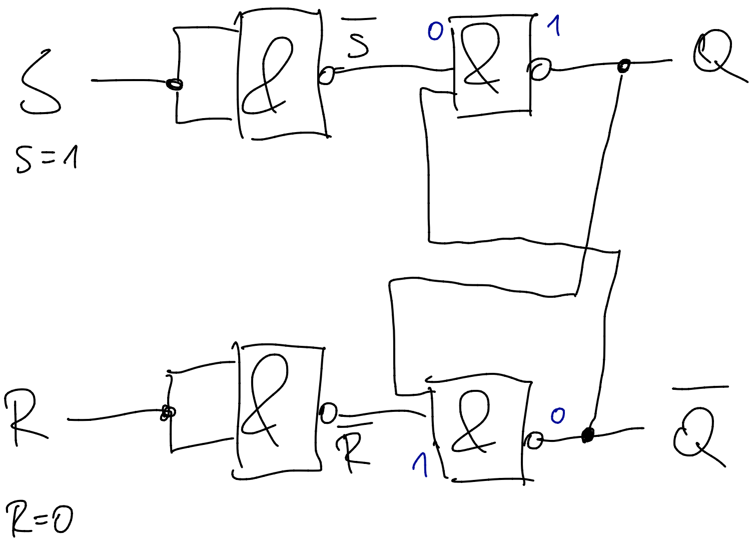
Zustandsdiagramm



Schaltsymbol



1.2.2 RS-FF in NAND-Realisierung



A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

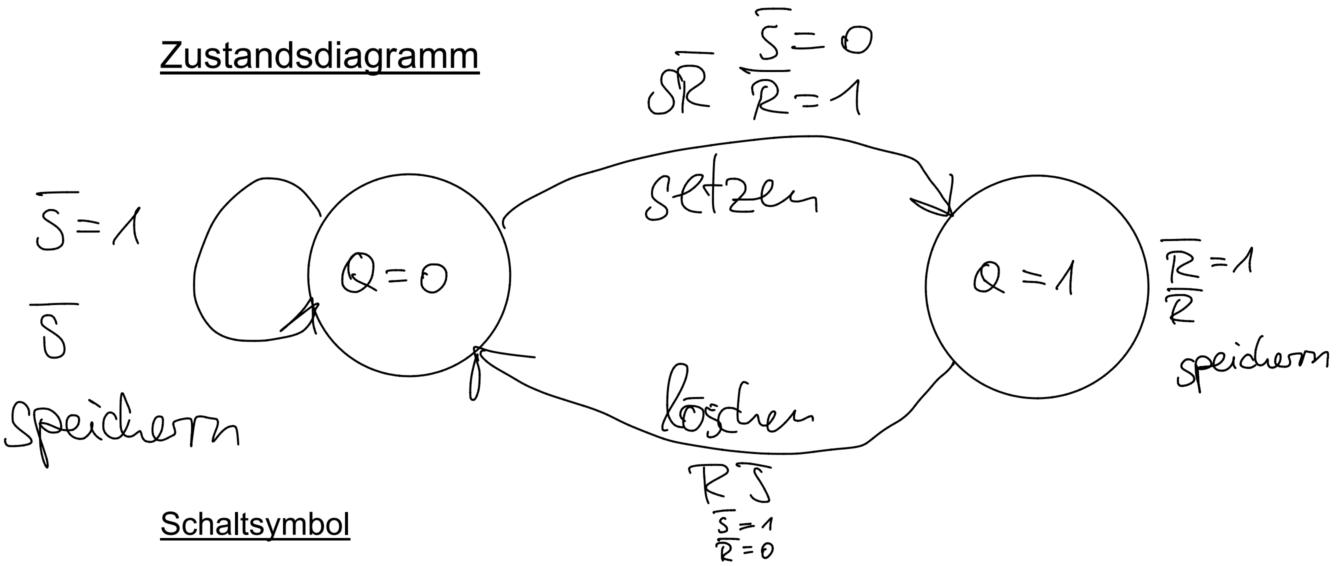
Zustandsfolgetabelle

S	R	$\overline{S}$	$\overline{R}$	Q	^1Q	$^1\overline{Q}$	
1	1	0	0	0	X	X	unzulässige
1	1	0	0	1	X	X	
1	0	0	1	0	1	0	setzen
1	0	0	1	1	1	0	
0	1	1	0	0	0	1	löschen
0	1	1	0	1	0	1	
0	0	1	1	0	0	1	speichern
0	0	1	1	1	1	0	

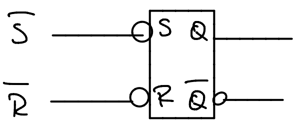
Kurzform

$\overline{S}$	$\overline{R}$	^1Q
0	0	X
0	1	1
1	0	0
1	1	Q

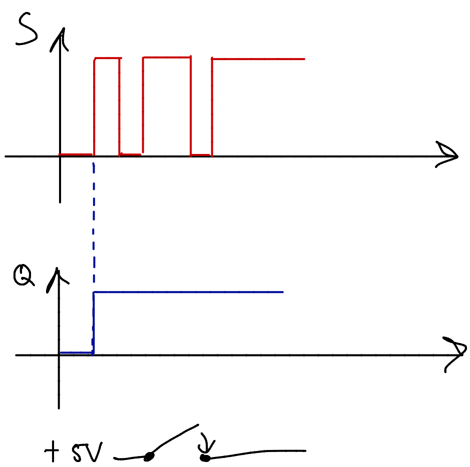
Zustandsdiagramm

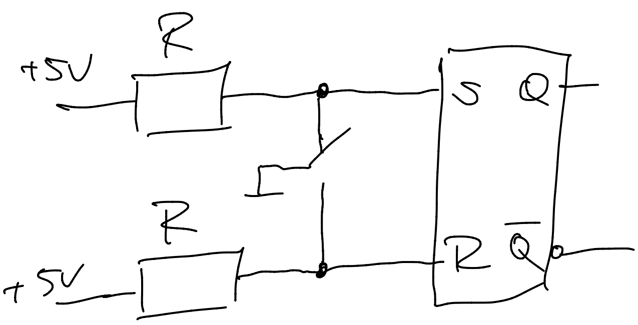


Schaltsymbol



1.2.3 Anwendung des RS-FF für einen prellfreien Schalter

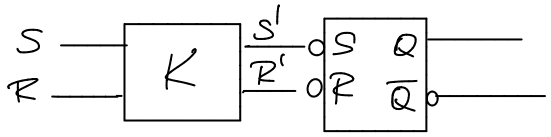




$S = R = 1$: 3 Optionen:
- $R' = 0$ $S' = 0$ setzen
- $R' = 1$ $S' = 0$ löschen
- $R = 0$ $S' = 0$ speichern

1.2.4 RS-FF mit besonderem Schaltverhalten

Ziel: Verhinderung der verbotenen Zustände durch ein vorgeschaltetes Schaltnetz

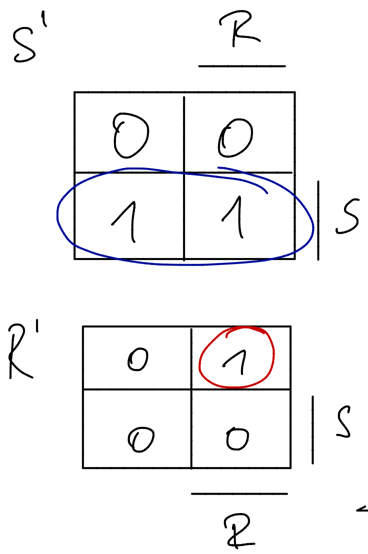


<u>RS-FF mit Setzvorrang</u> $R = S = 1 \Rightarrow R' = 0,\ S' = 1$

Zustandstabelle

S	R	S´	R´
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	0

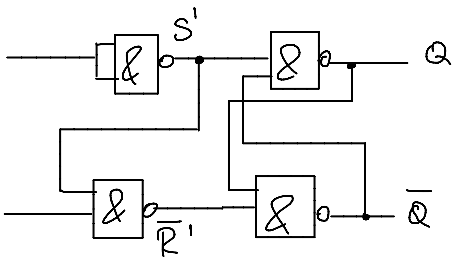
Problemfall → (Zeile $S = 1$, $R = 1$)



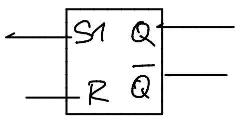
$S' = S$

$R' = \bar{S}R$

Schaltung mit NAND Gatter



Schaltsymbol



ereignisgesteuerte / ungetaktete FF's reagieren auf jede Änderung der Eingangsparameter sofort

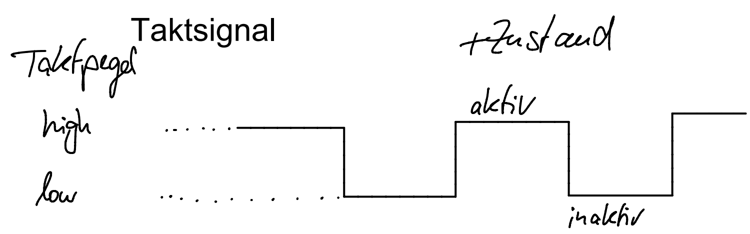
1.3 Flip-Flop mit Taktsteuerung

1.3.1 Taktzustandsgesteuerte Einspeicher-Flip-Flop

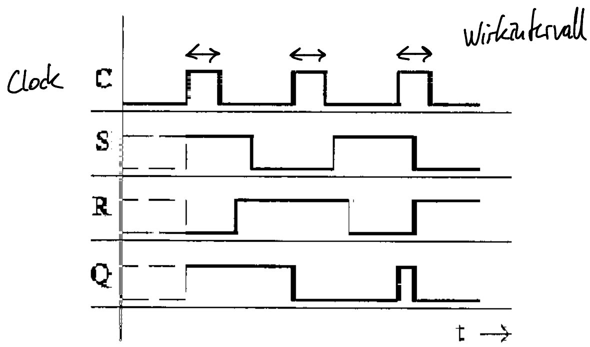
1.3.1.1 Taktzustandsgesteuertes RS-FF

Zustandsänderung erfolgt synchron mit dem Takt

Taktsignal



Beispiel-Signalverlauf

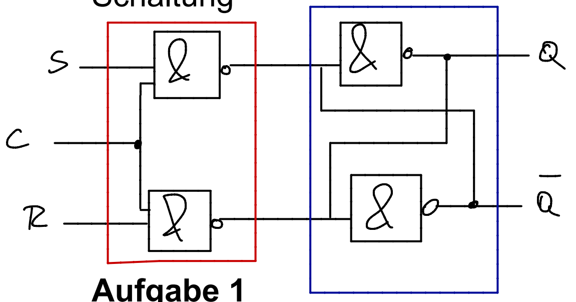


A	B	NAND
0	0	1
0	1	1
1	0	1
1	1	0

TAKTOR

Schaltung

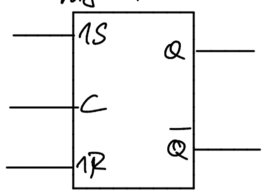
RS-FF

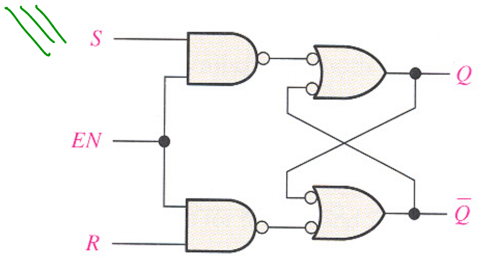


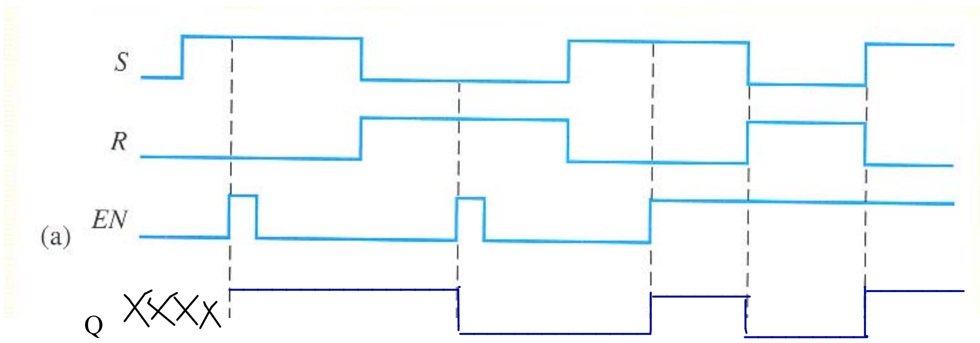
Aufgabe 1

Schaltsymbol

highaktiv



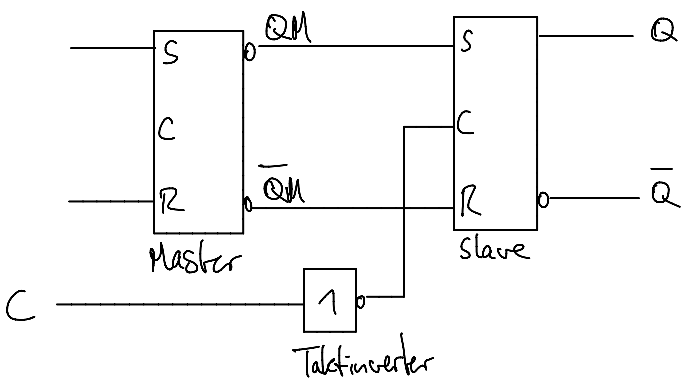




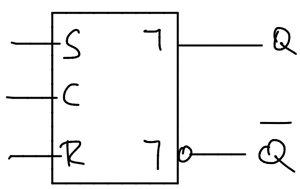
1.3.2 Taktzustandsgesteuerte Zweispeicher-Flip-Flop (Master-Slave-FF)

1.3.2.1 RS-Master-Slave-FF

Schaltung

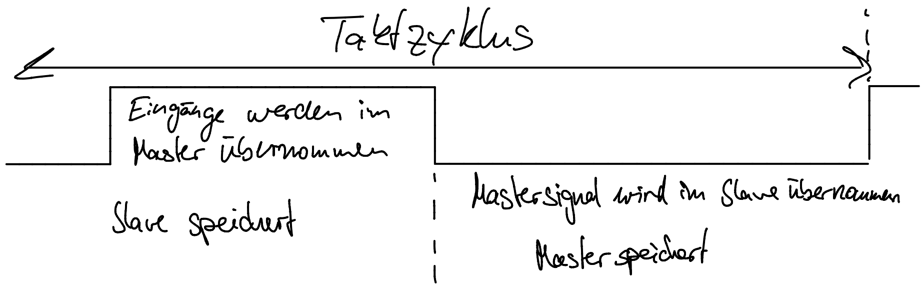


Symbol

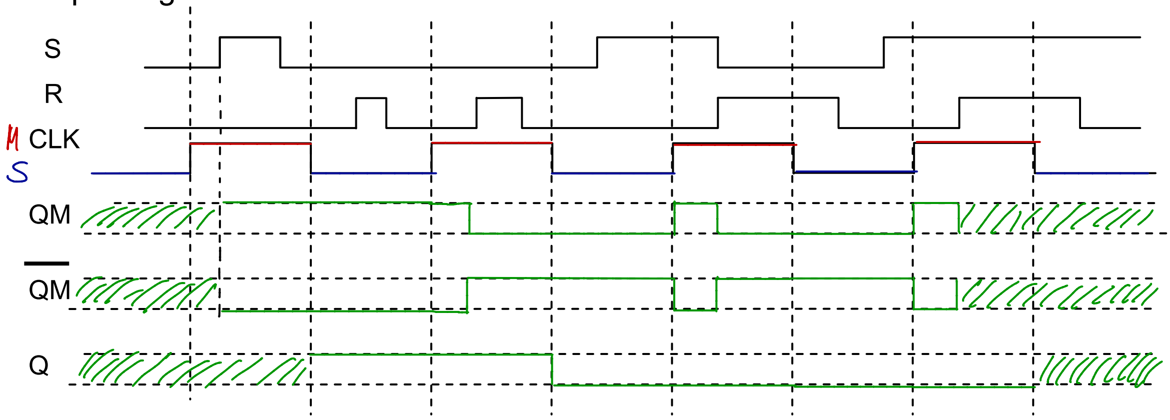


rechtwinklige Haken: die Auswertung der Eingangspegel wird verzögert, erst nach Ablauf eines Taktzyklus am Ausgang angelegt.

Schaltverhalten



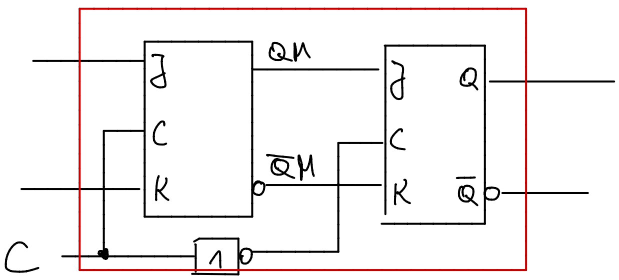
Beispiel Signalverlauf



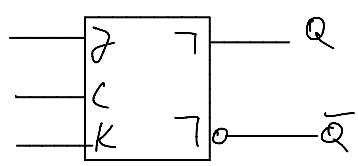
1.3.2.2 JK-Flip-Flop Weiterführung des RS-FF (das universellste FlipFlop)

RS = 11 ⇒ JK = 11: toggle kippen
1 → 0
0 → 1

Blockschaltbild



Symbol



J: Jump
K: Kill

Zustandsfolgetabelle

J	K	Q	^1Q
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

} toggle

Kurzform

J	K	^1Q
0	0	Q
0	1	0
1	0	1
1	1	$\overline{Q}$

Charakteristische Gleichung

		Q	J, Q	J
	0	1	1	1
K	0	0	0	1

$$^1Q = J \wedge \overline{Q} \vee \overline{K} \wedge Q$$

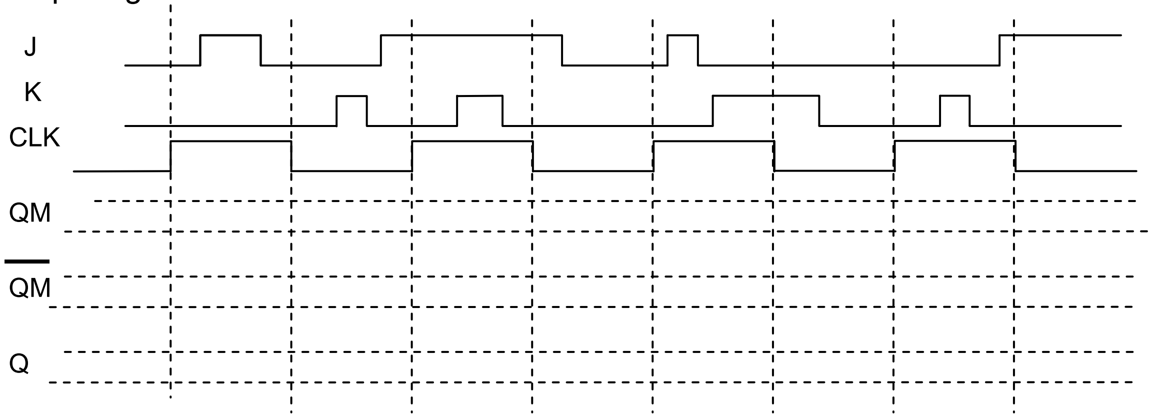
Synthesetabelle

Q	^{1}Q	J	K
0	0	0	0
		0	1
0	1	1	0
		1	1
1	0	0	1
		1	1
1	1	0	0
		1	0

Kurzform

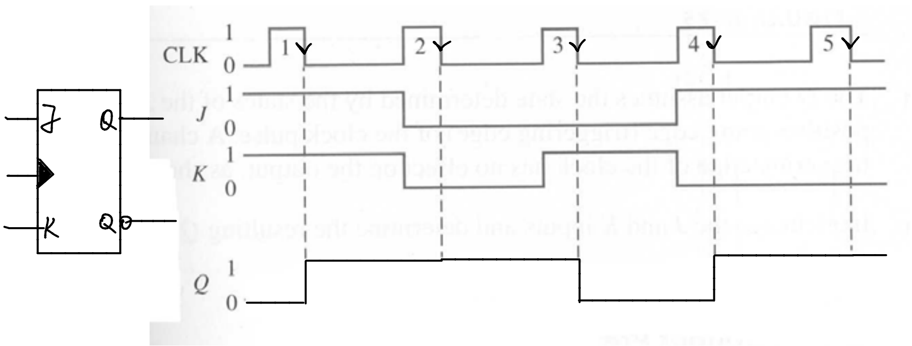
Q	^{1}Q	J	K
0	0	0	X
0	1	1	X
1	0	X	1
1	1	X	0

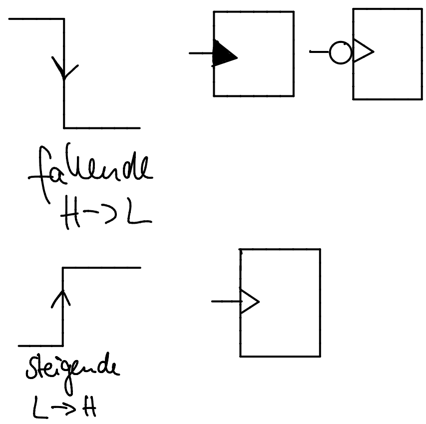
Beispielsignalverlauf HAUSAUFGABE

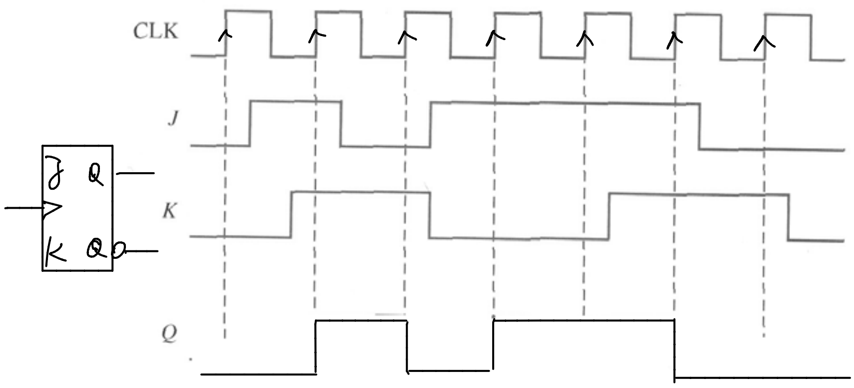


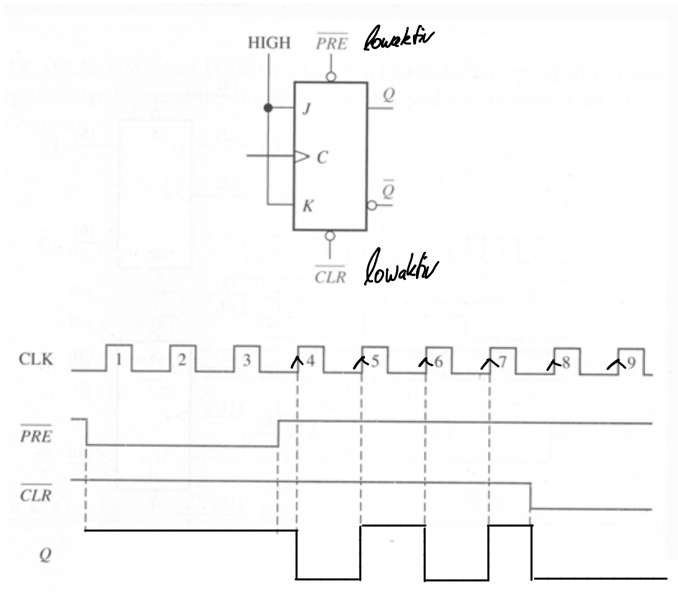
1.3.3 Taktflankengesteuerte Flip-Flop

JK-FF









Preset und Clear:

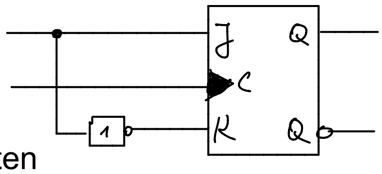
$\overline{PRE}$ $\overline{CLR}$

asynchrone Steuersignale um das FF in einen genau definierten Ausgangszustand zu setzen (bisherige synchron gesetzten Wert zu überschreiben)

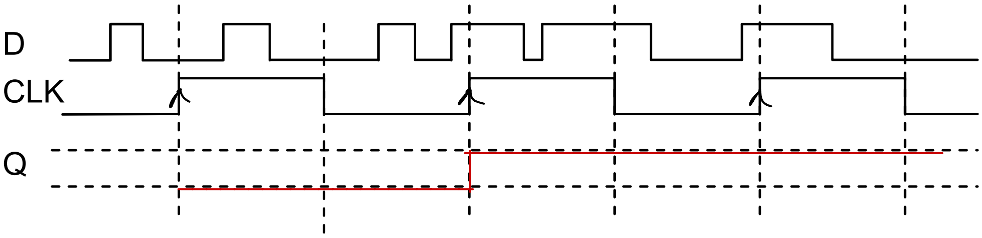
Preset	Clear	^1Q
0	0	nicht benutzt
0	1	1
1	0	0
1	1	normale Funktion

D-FF

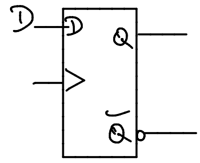
D- delay



Schaltverhalten



Symbol



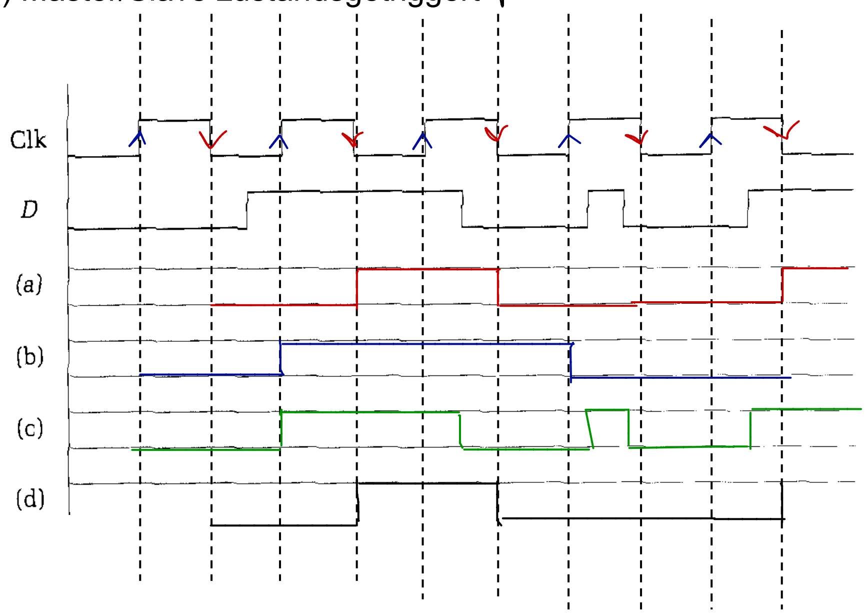
$^1Q = D$ wenn CLK aktiv, ansonsten speichert

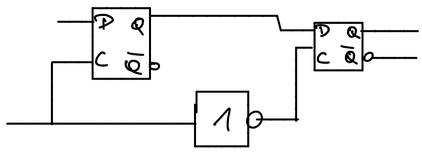
C	D	^1Q
0	0	Q
0	1	Q
1	0	0
1	1	1

Aufgabe 2

Zeichen Sie den Ausgang Q für folgende D-FF-Typen (Initialzustand Q=0):

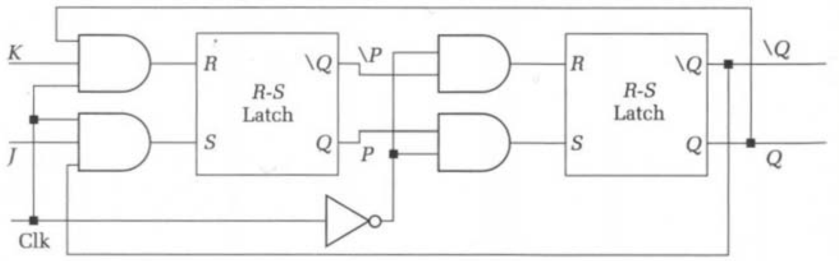
a) negativ flankengetriggert
b) positiv flankengetriggert
c) zustandsgetriggert + positiv
d) Master/Slave zustandsgetriggert positiv

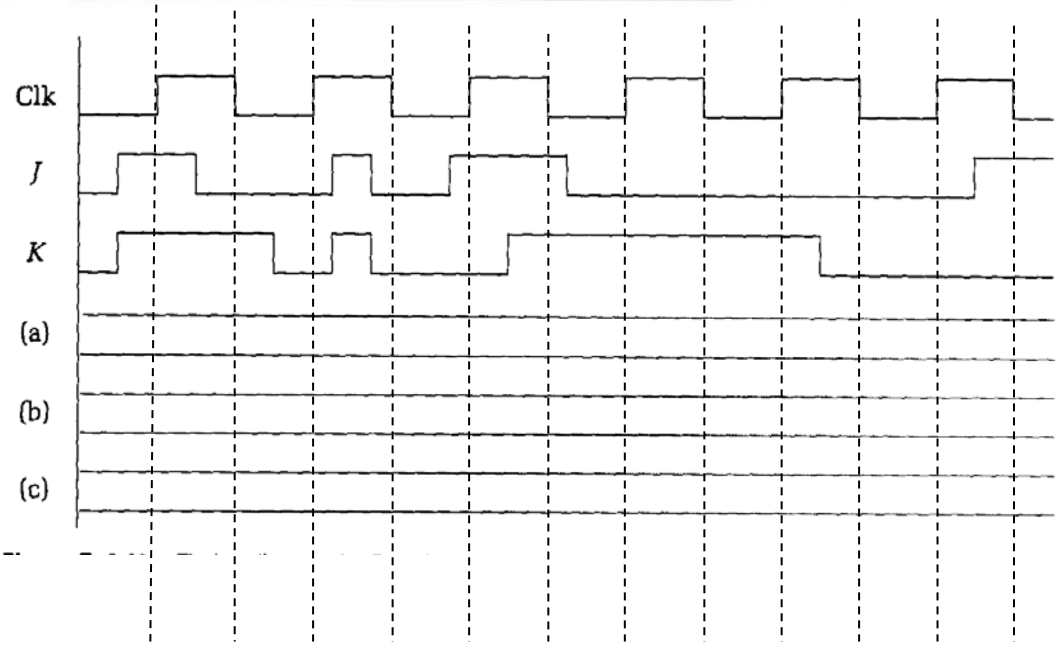




Aufgabe 3
Zeichen Sie den Ausgang Q für folgende JK-FF-Typen (Initialzustand Q=0):

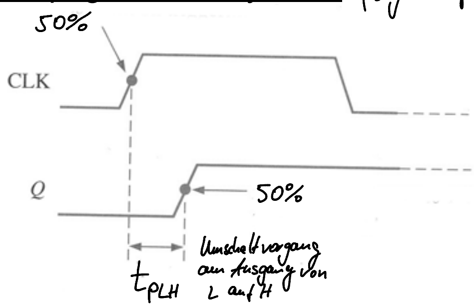
a) Master/Slave zustandsgetriggert
b) negativ flankengetriggert
c) positiv flankengetriggert
Interne Struktur eines JK-FFs

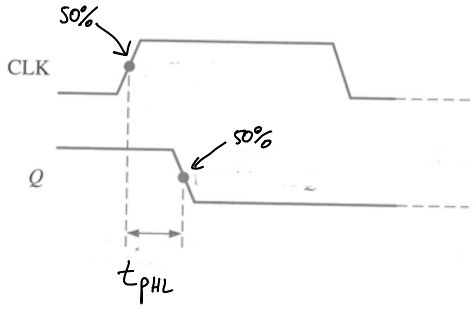


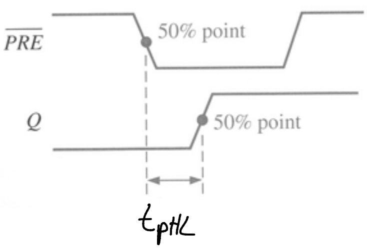


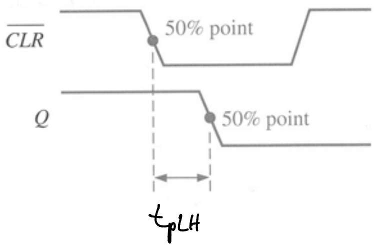
1.4 Dynamisches Verhalten

Propagation Delay Time (Signallaufzeit)   Gatterlaufzeit: baulich bedingt



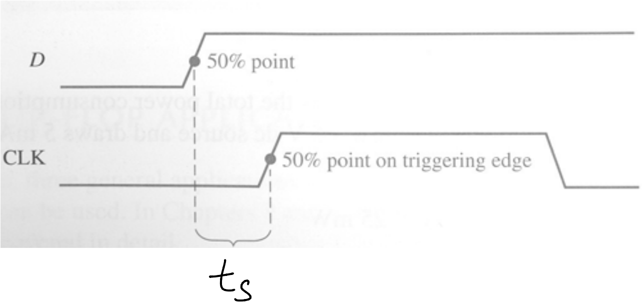






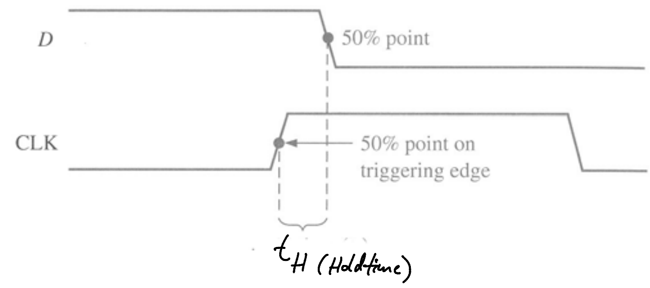
Set-up Time

Das Eingangssignal darf sich vor der aktiven Schaltflanke des Taktsignals für eine definierte Mindestdauer t_S nicht ändern.

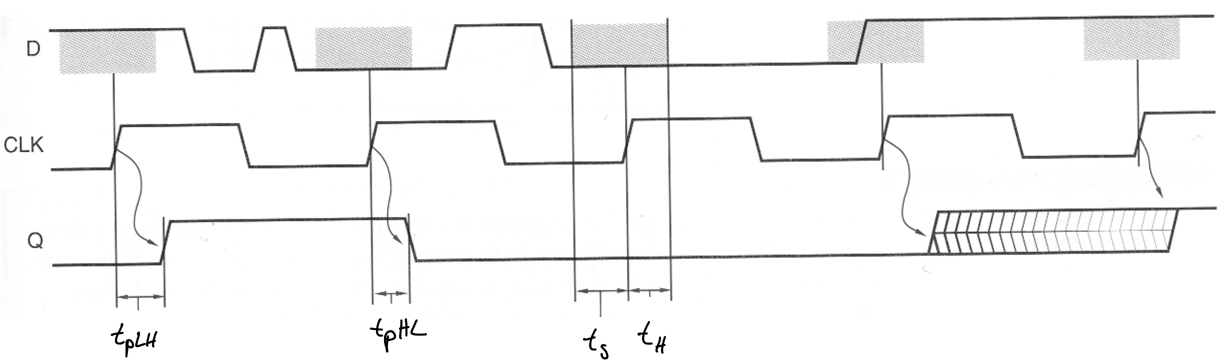


Hold Time

Der Logikzustand am Eingang darf sich nach der aktiven Schaltflanke des Taktsignals für eine definierte Mindestdauer t_H ebenfalls nicht ändern.



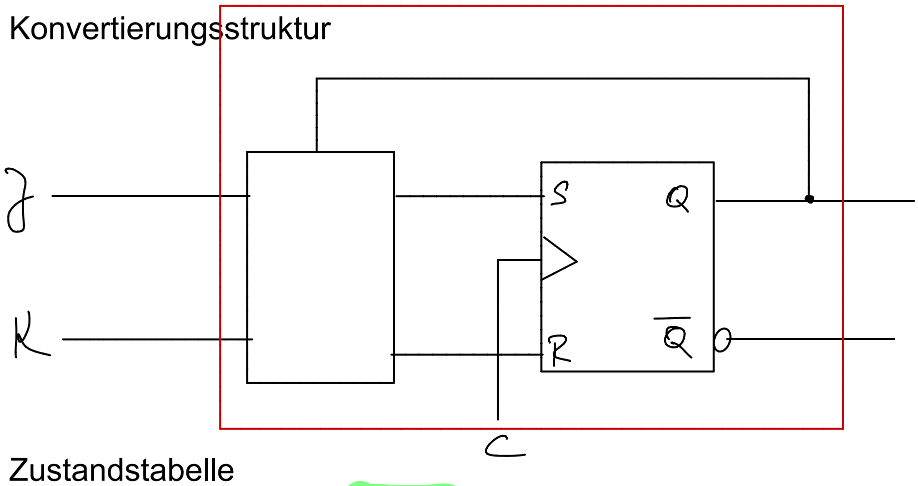
Beispiel D-FF



1.5 Konvertierung von Flip-Flop

Konvertierung eines RS- in ein JK-FF

Konvertierungsstruktur



Zustandstabelle

J	K	Q	'Q	S	R
0	0	0	0	0	X
0	0	1	1	X	0
0	1	0	0	0	X
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	1	X	0
1	1	0	1	1	0
1	1	1	0	0	1

$S = J\overline{Q}$

		Q	Q (J)	J
	0	X	X	1
K	0	0	0	1

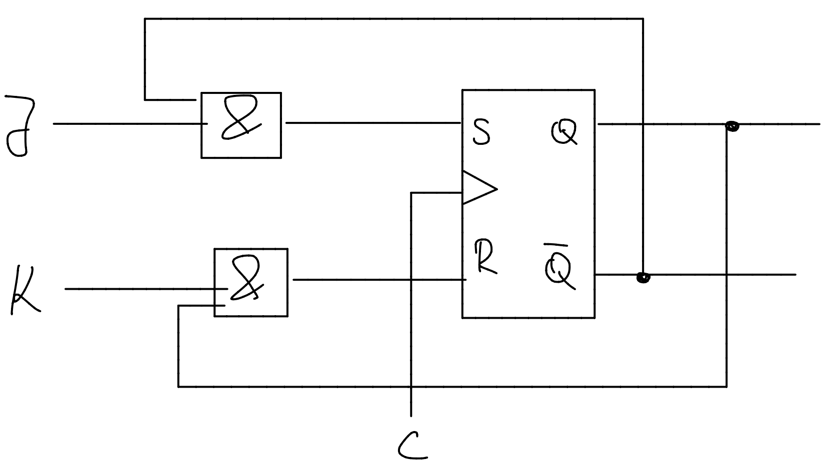
$R = KQ$

		Q	Q (J)	J
	X	0	0	0
K	X	1	1	0

J	K	'Q
0	0	Q
0	1	0
1	0	1
1	1	$\overline{Q}$

Q	'Q	S	R
0	0	0	X
0	1	1	0
1	0	0	1
1	1	X	0

Schaltbild



Aufgabe 4

Gegeben ist ein getaktetes T-FF mit folgender Funktionstabelle:

T	Q	^1Q
0	0	0
0	1	1
1	0	1
1	1	0

Entwerfen Sie dieses T-FF auf Basis eines RS-FFs.

a) Stellen Sie die Wahrheitstabelle auf:

T	Q	^1Q	R	S
0	0	0	x	0
0	1	1	0	x
1	0	1	0	1
1	1	0	1	0

2.) Synthesetabelle RS-FF

R =

x	0
0	1

S =

0	x
1	0

b) Geben Sie die minimierte Schaltfunktion der Zusatzbeschaltung an:

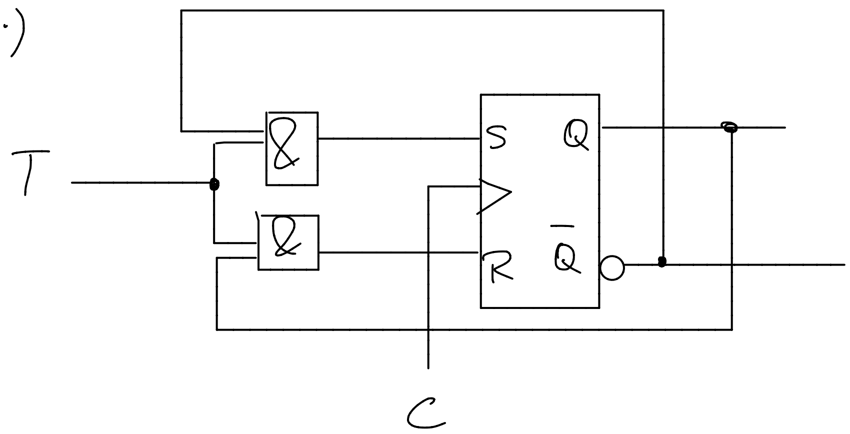
4.)

R = TQ

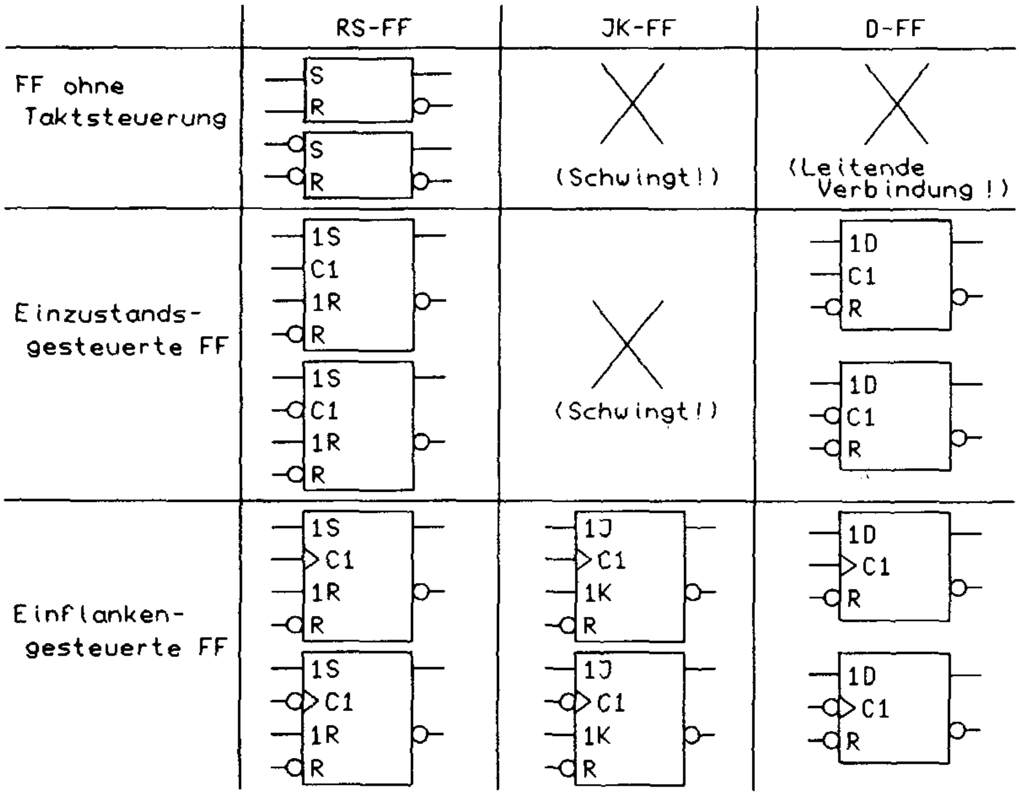
S = $T\overline{Q}$

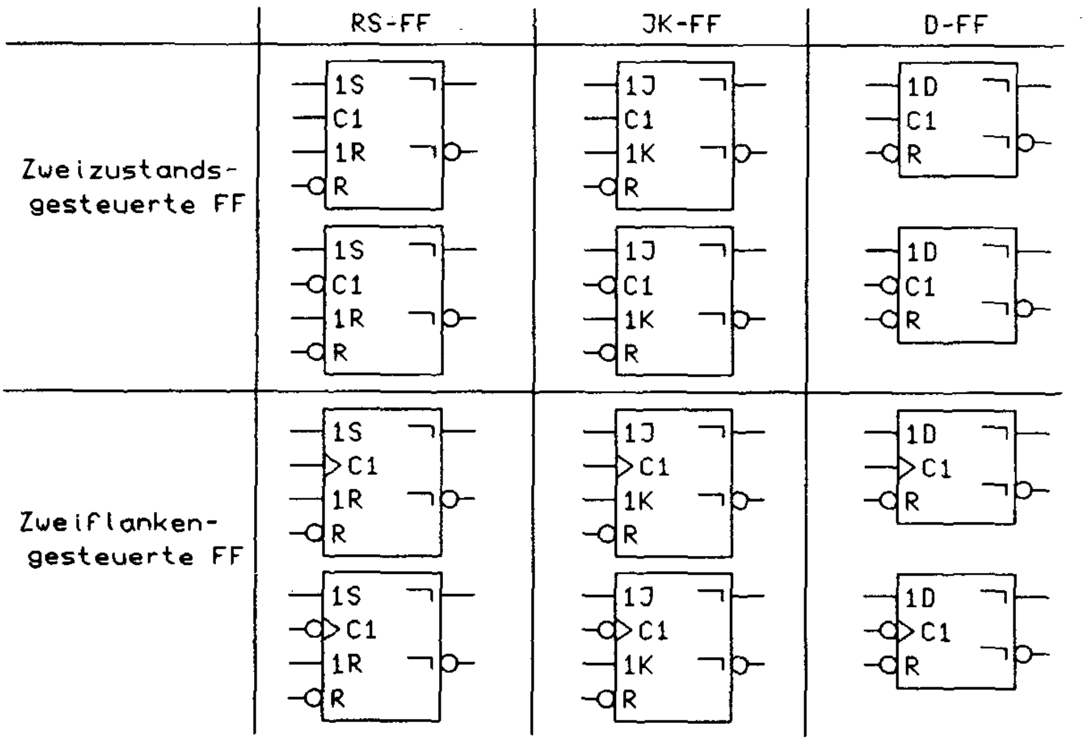
c) Zeichnen Sie die Schaltung.

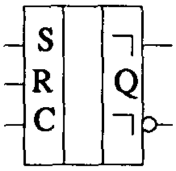
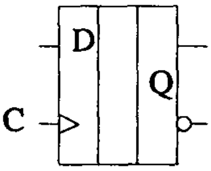
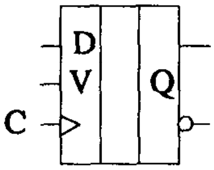
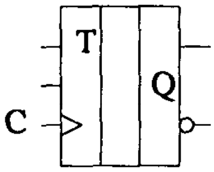
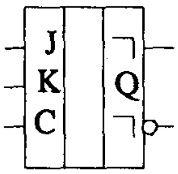
5.)

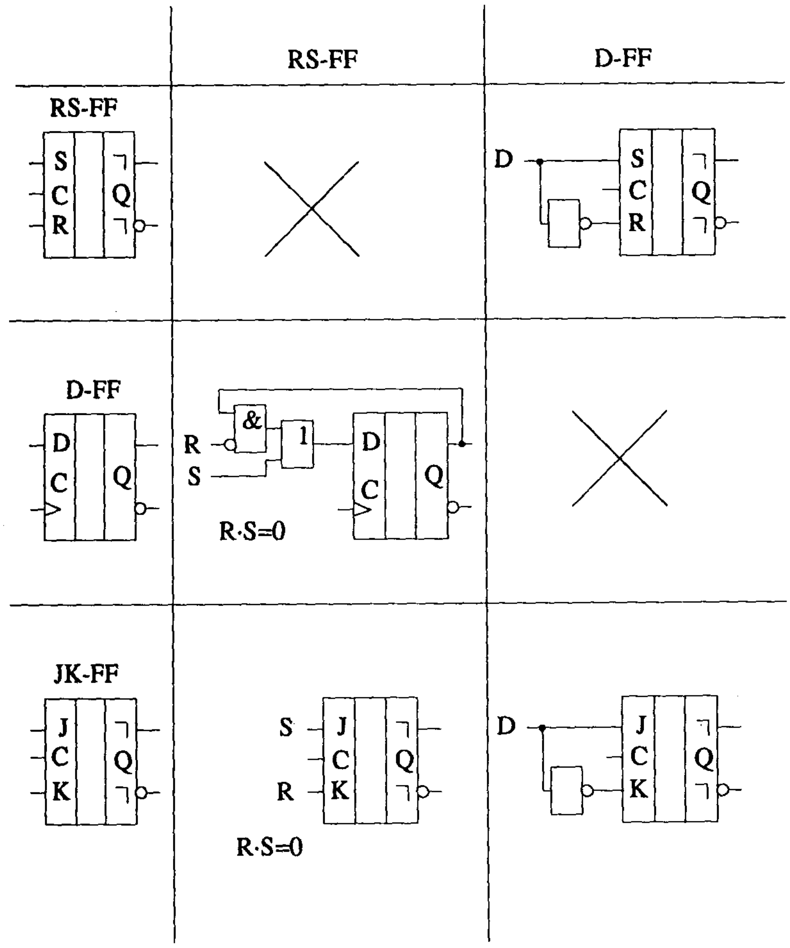


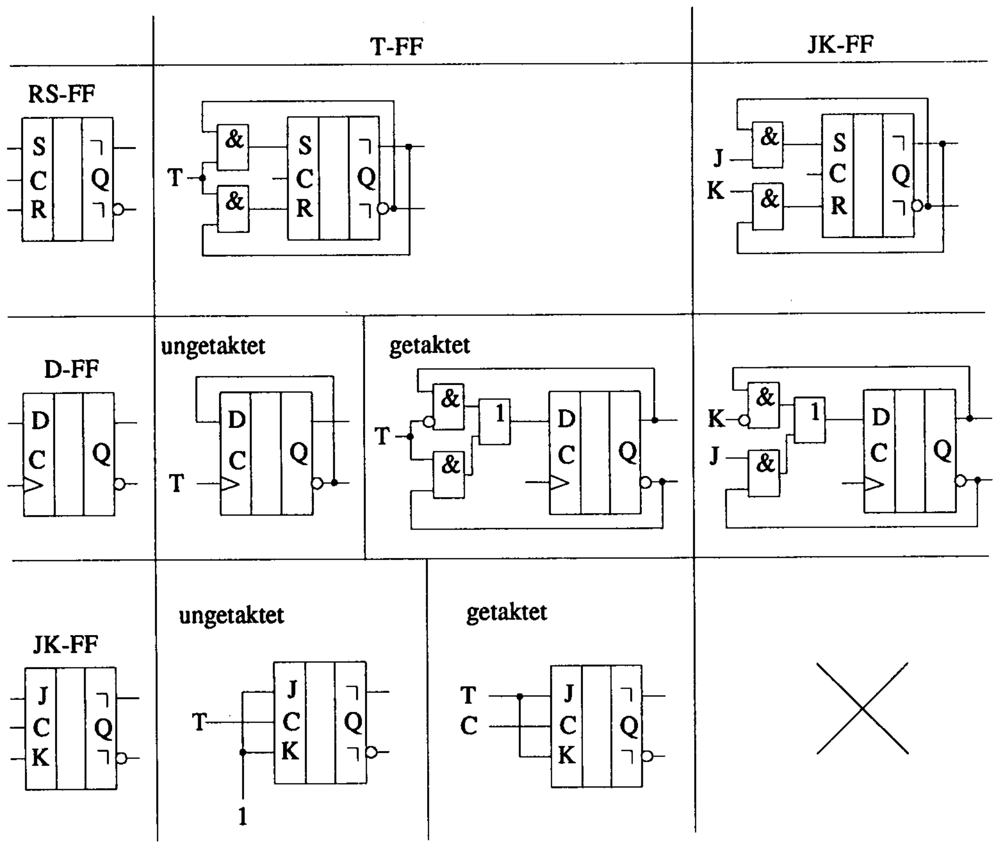
1.6 Zusammenfassung der FFs





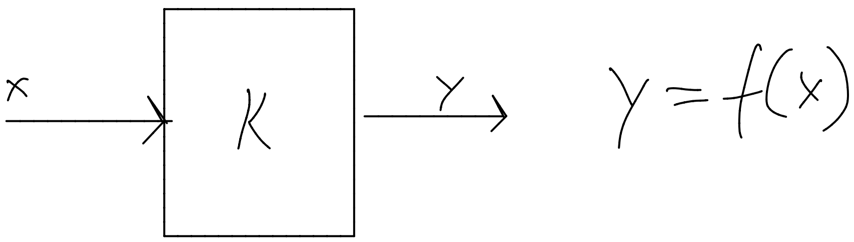
FF-Typ	Schaltbild (Beispiele)	reduzierte Wahrheitstabelle	Schaltfunktion
RS		Q ¹Q | S R 0 0 | 0 d 0 1 | 1 0 1 0 | 0 1 1 1 | d 0	${}^{1}Q = S + \bar{R}Q$ $R \cdot S = 0$
D		Q ¹Q | D 0 0 | 0 0 1 | 1 1 0 | 0 1 1 | 1	${}^{1}Q = D$
DV		Q ¹Q | C V D 0 0 | 0 d d 0 0 | d 0 d 0 0 | 1 1 0 0 1 | 1 1 1 1 0 | 1 1 0 1 1 | 1 1 1 1 1 | 0 d d 1 1 | d 0 d	${}^{1}Q = \bar{C}Q + \bar{V}Q + CVD$
T		Q ¹Q | T C 0 0 | 0 d 0 0 | d 0 0 1 | 1 1 1 0 | 1 1 1 1 | 0 d 1 1 | d 0	${}^{1}Q = \bar{C}Q + \bar{T}Q + TC\bar{Q}$
JK		Q ¹Q | J K 0 0 | 0 d 0 1 | 1 d 1 0 | d 1 1 1 | d 0	${}^{1}Q = J\bar{Q} + \bar{K}Q$


RS-FF
D-FF
RS-FF
D-FF
JK-FF
R·S=0
R·S=0

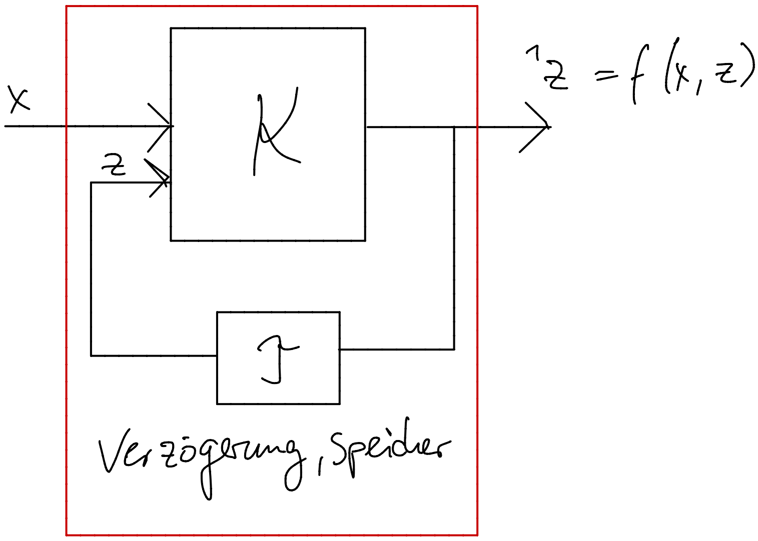

T-FF
JK-FF
RS-FF
D-FF
ungetaktet
getaktet
JK-FF
ungetaktet
getaktet

2. Sequentielle Schaltungen, Schaltwerke, Automaten
2.1. Begriffsbestimmung – Schaltnetze und Schaltwerke

Schaltnetz



Schaltwerk



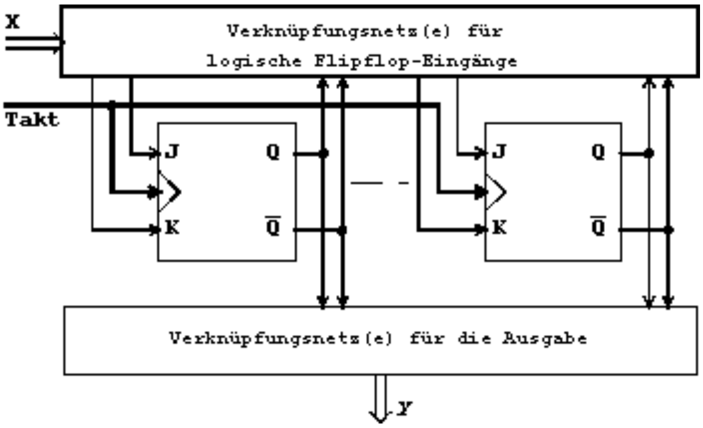
Für einen Eingangszustand sind mehre Ausgangszustände möglich, d.h der Ausgangszustand hängt von allen bisherigen Eingangszuständen ab.

2.2. Zähler : das zu zählende Signal ist der Takt für die FF's

Aufgaben für Zählerschaltungen:

- Umwandlung einer Anzahl von Zählimpulsen in einen vorgegeben Code
- Erzeugung spezieller Zählfolgen, z.B zur Steuerung von Abläufen
- Generierung von Zeitverzögerungen von vorgebbarer Dauer

2.2.1. Entwurf synchroner Zähler



Synchron:
Zählimpulse werden den Takteingängen aller FFs zugeführt (gemeinsames Taktsignal).

- Zähler sind einfacher und übersichtlicher aufgebaut und leichter erweiterbar,
- Es treten keine Laufzeitprobleme auf.

2.2.1.1. Mod-5-Vorwärtszähler mit RS-FF

Zustandsgraph

Modulo $\hat{=}$ Division mit Rest

$m = 5$

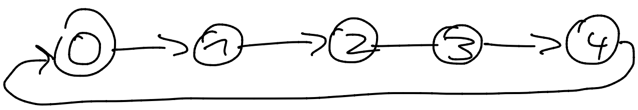
$r \in \{0, 1, 2, 3, 4\}$

$n = a \cdot m + r$

n und $m \neq 0$

$0 \leq r < |m|$

m: Ganzzahlquotient
r: Rest



Zustandstabelle

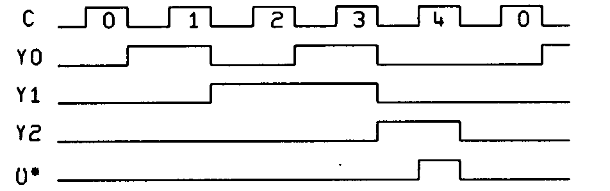
Anzahl der FFs : 3

Dez. Zählerstand	Y_2	Y_1	Y_0	Ü
0	0	0	0	
1	0	0	1	
2	0	1	0	
3	0	1	1	
4	1	0	0	1

beim Zählerhöchststand "Überlauf"

$$Z = Y_0 \cdot 2^0 + Y_1 \cdot 2^1 + Y_2 \cdot 2^2$$

Impulsdiagramm



Entwurf des Übergangsnetzes

Q	'Q	SR
0	0	0x
0	1	10
1	0	01
1	1	x0

Zustandsfolgetabelle des Übergangsnetzes

Dez. Zählerstand	Q_2	Q_1	Q_0	$^1Q_2$	$^1Q_1$	$^1Q_0$	S_2	R_2	S_1	R_1	S_0	R_0
0	0	0	0	0	0	1	0	x	0	x	1	0
1	0	0	1	0	1	0	0	x	1	0	0	1
2	0	1	0	0	1	1	0	x	x	0	1	0
3	0	1	1	1	0	0	1	0	0	1	0	1
4	1	0	0	0	0	0	0	1	0	x	0	x
5	1	0	1	x	x	x	x	x	x	x	x	x
6	1	1	0	x	x	x	x	x	x	x	x	x
7	1	1	1	x	x	x	x	x	x	x	x	x

$S_2 = Q_0 Q_1$

		Q0	Q0, Q2	Q2
	0	0	x	0
Q1	0	1	x	x

$R_2 = Q_2$

$R_2 = \overline{Q_1}$

		Q0	Q0, Q2	Q2
	x	x	x	1
Q1	x	0	x	x

$S_1 = Q_0 \overline{Q_1}$

		Q0	Q0, Q2	Q2
	0	1	x	0
Q1	x	0	x	x

$R_1 = Q_0 Q_1$

		Q0	Q0, Q2	Q2
	x	0	x	x
Q1	0	1	x	x

$S_0 = \overline{Q_0}\,\overline{Q_2}$

		Q0	Q0, Q2	Q2
	1	0	x	0
Q1	1	0	x	x

$R_0 = Q_0$

		Q0	Q0, Q2	Q2
	0	1	x	x
Q1	0	1	x	x

Kontrolle der Nebenbedingung

Wegen RS=0 dürfen Blöcke von R_i und S_i nicht das gleiche x-Feld enthalten.

$S_2 R_2 = Q_0 Q_1 Q_2$ ↯ $S_2 R_2 = Q_0 Q_1 \overline{Q_1} = 0$ ✓

$S_1 R_1 = Q_0 \overline{Q_1} Q_0 Q_1 = 0$

$S_0 R_0 = \overline{Q_0}\,\overline{Q_2} Q_0 = 0$

Entwurf des Ausgangsnetzes

Dez. Zählerstand	Q_2	Q_1	Q_0	Ü
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1

Ü = Q_2

			Q_0	Q_2
	0	0	X	1
Q_1	0	0	X	X

Untersuchung der Pseudozustände :

	Q_2	Q_1	Q_0	S_2	R_2	S_1	R_1	S_0	R_0	${}^1Q_2$	${}^1Q_1$	${}^1Q_0$	
5	1	0	1										
6	1	1	0										
7	1	1	1										