

NOME DO GRUPO / INTEGRANTES:

1 – OBJETIVOS:

Compreender as principais propriedades de Construção e Agrupamento relativas ao Mapa de Karnaugh; Aplicar a técnica de minimização de expressões circuitos lógicos combinacionais utilizando Mapas de Karnaugh; e Montar e testar circuitos lógicos combinacionais simples e minimizados.

2 – INTRODUÇÃO TEÓRICA:

Os circuitos combinacionais estão presentes em toda a eletrônica digital. Até mesmo os circuitos sequenciais, que serão estudados mais a frente, utilizam intrinsecamente uma parte combinacional. Destacam-se como exclusivamente combinacionais os circuitos lógicos: somadores, subtratores, multiplexadores, demultiplexadores, codificadores, decodificadores, circuitos geradores e verificadores de paridade e outros. Os circuitos combinacionais também são utilizados para resolver problemas específicos que envolvem lógica.

Os circuitos combinacionais são circuitos cujas saídas dependem exclusivamente das entradas, ou seja, haverá saídas enquanto houver sinais nas entradas. Retirando os sinais das entradas, desaparecem as respostas nas saídas. Estes circuitos são implementados utilizando portas lógicas que realizam em hardware operações da Álgebra de Boole, cujas principais operações e respectivas propriedades são as seguintes:

Operação booleana negação
(NOT)



Expressão: $S = A'$

A	S
0	1
1	0

Operação booleana "E" (AND)



Expressão: $S = A \cdot B$

A	B	S
0	0	0
0	1	0
1	0	0
1	1	1

Operação booleana "OU" (OR)



Expressão: $S = A + B$

A	B	S
0	0	0
0	1	1
1	0	1
1	1	1

Operação booleana "OU EXCLUSIVO" (XOR)



Expressão: $S = A \oplus B$

A	B	S
0	0	0
0	1	1
1	0	1
1	1	0

OR	AND	NOT
$A + 0 = A$	$A \cdot 0 = 0$	$0' = 1$
$A + 1 = 1$	$A \cdot 1 = A$	$1' = 0$
$A + A' = 1$	$A \cdot A' = 0$	$A'' = A$
$A + A = A$	$A \cdot A = A$	

Tabela 2.2 - Propriedades básicas.

Associativa	
$(A + B) + C = A + (B + C)$	$(A \cdot B) \cdot C = A \cdot (B \cdot C)$
Comutativa	
$A + B = B + A$	$A \cdot B = B \cdot A$
Distributiva	
$A \cdot (B + C) = A \cdot B + A \cdot C$	

Tabela 2.3 - Propriedades auxiliares.

$A + A \cdot B = A$	$A' + A' \cdot B' = A'$
$A' + A \cdot B = A' + B$	$A' + A \cdot B' = A' + B'$
$A + A' \cdot B = A + B$	$A + A' \cdot B' = A + B'$
$A + A \cdot B' = A$	$(A + B) \cdot (A + C) = A + B \cdot C$
$A' + A' \cdot B = A'$	

Tabela 2.4 - Teorema de De Morgan.

$(A \cdot B \cdot C \cdot \dots)' = A' + B' + C' + \dots$	$(A + B + C + \dots)' = A' \cdot B' \cdot C' \cdot \dots$
---	---

Um problema de lógica combinacional pode ser representado pela tabela verdade, que mostra todos os estados possíveis das funções booleanas que descrevam o sistema combinacional. Essas funções podem ser extraídas da tabela verdade e devem ser simplificadas ou minimizadas. Esse processo pode ser feito analiticamente, por meio das propriedades descritas nas Tabelas 2.2, 2.3 e 2.4 ou, graficamente, por meio dos mapas de Karnaugh. O processo de minimização com os Mapas de Karnaugh pode ser entendido à partir do exemplo do sistema combinacional descrito na Tabela 2.5, cujo mapa de Karnaugh é descrito na Figura 2.1

D	C	B	A	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	1

DC/ BA	00	01	11	10
00	1	0	0	0
01	1	0	1	1
11	1	0	1	1
10	1	0	0	0

Figura 2.1 - Mapa de Karnaugh do sistema.

Tabela 2.5 - Tabela verdade de um exemplo de sistema combinacional.

Fazem-se as combinações entre as janelas (grupos) que possuem o valor 1. São possíveis combinações de 2, 4, 8 e 16 janelas (valores correspondentes às potências de 2).

As combinações circuladas podem ser representadas, respectivamente, da esquerda para a direita por $D'.C'$ e $D.A$. Portanto a função é $Y = D'.C' + D.A$.

3 – MATERIAIS E EQUIPAMENTOS:

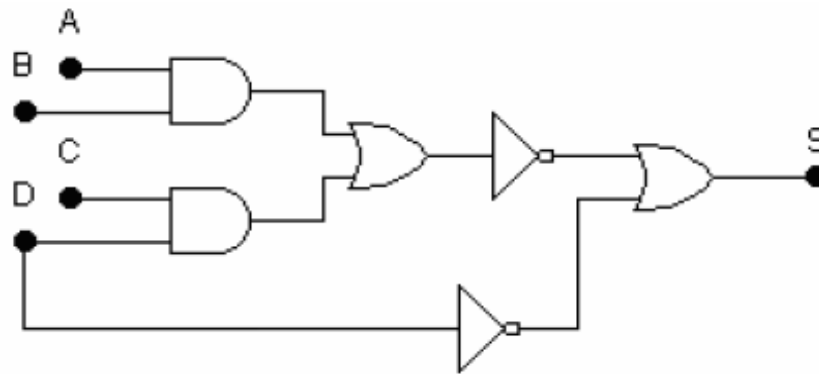
Kit de circuitos lógicos com fonte, chaves, LED e *protoboard*;

Circuitos integrados 74LS04, 74LS08 e 74LS32;

Fios para interconexão (*jumpers*).

4 – PROCEDIMENTOS PRÉ-LABORATÓRIO:

4.1 - Considere o circuito a seguir:



Represente o circuito na forma de Tabela Verdade:

índice	A	B	C	D	S
0					
1					
2					
3					
4					
5					
6					
7					
8					
9					
10					
11					
12					
13					
14					
15					

4.2 – Minimize o circuito usando Mapa de Karnaugh e obtenha a expressão mínima:

Minimização via Mapa de Karnaugh:

Expressão Mínima:

S = _____

5 – PROCEDIMENTOS EXPERIMENTAIS:

5.1 – Monte o circuito minimizado e teste cada linha da Tabela Verdade acima, verificando qual a saída correspondente a cada uma das combinações possíveis de valores lógicos nas entradas das portas, e confira os resultados com a saída da Tabela Verdade.

5.2 – Fotografar, de forma panorâmica, o circuito mínimo montado. Anexe a foto no quadro abaixo.

5.3 – Fotografar os resultados (*Level Generator + Level Detector*) dos testes relacionados a 5 linhas da tabela verdade que gerem resultado 0 e 5 linhas da tabela verdade que gerem resultado 1. Não esqueça de identificar nas fotos as variáveis A, B, C e D no *Level Generator* do Kit.

LINHAS COM SAÍDA “1”:

Linha _____ (A = ____, B = ____, C = ____, D = ____, Y = ____)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

Linha ____ (A = ____, B = ____, C = ____, D = ____, Y = ____)

LINHAS COM SAÍDA “0”:

Linha ____ (A = ____, B = ____, C = ____, D = ____, Y = ____)

Linha ____ (A = ____, B = ____, C = ____, D = ____, Y = ____)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

Linha ____ (A = __, B = __, C = __, D = __, Y = __)

6 – CONCLUSÕES: