

LABORATÓRIO DE CIRCUITOS DIGITAIS

NOME DO GRUPO / INTEGRANTES: L - OBJETIVO: Conhecer as formas de representação de uma função lógica e a correspondência derivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ simples. 2 - MATERIAIS E EQUIPAMENTOS: Kit de circuitos lógicos com fonte, chaves, LEDs e protoboard; Circuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; Fios para interconexão (jumpers). 3 - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): Y = A \bigoplus C + \overline{B} Direcencher a tabela verdade com valores de níveis de tensão, considerand combinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). Indice A B C Y	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a e o C é o LSB, o A é o MSB e Y, a saída).
onhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ mples. - MATERIAIS E EQUIPAMENTOS: it de circuitos lógicos com fonte, chaves, LEDs e protoboard; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; ios para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): $Y = A \bigoplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). $\overline{\begin{array}{c c} indice & A & B & C & Y \\ \hline 0 & 1 & 2 \\ \hline 3 & 4 & 5 \\ \hline 6 & 7 & 1 \\ \hline \end{array}$ Desenhar o esquemático/diagrama de interligação entre os chips para a expr	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
conhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ imples. - MATERIAIS E EQUIPAMENTOS: It de circuitos lógicos com fonte, chaves, LEDs e protoboard; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; os para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): 1 - Para a expressão: $Y = A \oplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída).	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
conhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ imples. - MATERIAIS E EQUIPAMENTOS: t de circuitos lógicos com fonte, chaves, LEDs e protoboard; recuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; os para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): 1 – Para a expressão: $Y = A \bigoplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída).	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
conhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ imples. - MATERIAIS E EQUIPAMENTOS: It de circuitos lógicos com fonte, chaves, LEDs e protoboard; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; os para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): 1 - Para a expressão: $Y = A \oplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída).	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
conhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ mples. - MATERIAIS E EQUIPAMENTOS: it de circuitos lógicos com fonte, chaves, LEDs e protoboard; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; ios para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): $Y = A \bigoplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). $\overline{\begin{array}{c cccccccccccccccccccccccccccccccccc$	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
onhecer as formas de representação de uma função lógica e a correspondência erivar as formas canônicas expressas na forma de SoP e PoS; montar e testar circ imples. - MATERIAIS E EQUIPAMENTOS: it de circuitos lógicos com fonte, chaves, LEDs e protoboard; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; ios para interconexão (jumpers). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): $Y = A \bigoplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). $\overline{\begin{array}{c cccccccccccccccccccccccccccccccccc$	na forma de SoP e PoS; montar e testar circuitos lógicos, LEDs e protoboard; LS86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a co C é o LSB, o A é o MSB e Y, a saída).
it de circuitos lógicos com fonte, chaves, LEDs e $protoboard$; ircuitos integrados 74LS04, 74LS08, 74LS86 e 74LS32; ios para interconexão ($jumpers$). - PROCEDIMENTOS PRÉ-LABORATÓRIO (PREPARATÓRIOS): 1 - Para a expressão: $Y = A \oplus C + \overline{B}$ reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). $ \frac{indice}{0} \frac{A}{0} \frac{B}{0} \frac{C}{0} \frac{Y}{0} \frac{A}{0} \frac$	S86 e 74LS32; O (PREPARATÓRIOS): $C + \overline{B}$ alores de níveis de tensão, considerando todas a $O C \in O LSB$, o A $O C \in O LSB$
A \oplus C + \bar{B} reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída).	$\stackrel{\cdot}{D}C+\bar{B}$ alores de níveis de tensão, considerando todas a o C é o LSB, o A é o MSB e Y, a saída).
reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). indice	alores de níveis de tensão, considerando todas a o C é o LSB, o A é o MSB e Y, a saída).
reencher a tabela verdade com valores de níveis de tensão, considerand ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). indice	alores de níveis de tensão, considerando todas a o C é o LSB, o A é o MSB e Y, a saída).
ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). indice	o C é o LSB, o A é o MSB e Y, a saída).
ombinações das entradas, A, B, C (onde o C é o LSB, o A é o MSB e Y, a saída). indice	o C é o LSB, o A é o MSB e Y, a saída).
0 1 2 3 4 5 6 7 Desenhar o esquemático/diagrama de interligação entre os chips para a expr	B C Y
2 3 4 5 6 7 Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
1 2 3 4 5 6 7 2 - Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
3 4 5 6 7 2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
4 5 6 7 2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
5 6 7 2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
6 7 2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
7 2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
.2 – Desenhar o esquemático/diagrama de interligação entre os chips para a expr	
sima da mada a facilitar a nactariar mantagam dactas usanda a kit lágica dispaníva	a de interligação entre os chips para a expressão lógic
cima de modo a facilitar a posterior montagem destes usando o kit lógico disponíve	
	ntagem destes usando o kit logico disponivel.



SIMULAÇÃO: EXPANSÃO DE MAXTERMOS (PoS)

3.3 – Determinar a função booleana implementada pela saída Y do circuito expressa em termos de produto de somas (PoS).
Y (PoS) =
3.4 — Usando softwares/aplicativos apropriados, simular o circuito lógico representado pela função lógica obtida expressa na forma de PoS. Testar o circuito lógico, verificando quais as saídas correspondentes a cada combinação possível de valores lógicos nas entradas das portas, comparando seus resultados com a função original acima.
O que se conclui a respeito destas expressões? (Compare os resultados com aqueles contidos na tabela verdade anterior e nos testes práticos a serem realizados). Resp:
3.4.1 – Imagem do circuito simulado (PoS). Anexe a foto no quadro abaixo.
3.4.2 – Incorporar imagens dos testes simulados: 4 linhas quaisquer da tabela verdade para a expressão na forma PoS.
Linha (A =, B =, C =, Y =)

LAB 02 – CIRCUITOS DIGITAIS – FORMAS DE REPRESENTAÇÃO LÓGICA



Linha (A =, B =, C =, Y =)	
Linha (A =, B =, C =, Y =)	
Linha (A =, B =, C =, Y =)	

4 – PROCEDIMENTOS EXPERIMENTAIS:

4.1 – Montar o circuito lógico representado pela expressão lógica da saída y ($Y=A\oplus\mathcal{C}+\bar{B}$).



Į	4.3 – Testar o circuito lógico montado, verificando qual a saída correspondente a todas a combinações possíveis de valores lógicos nas entradas das portas, e conferir com a tabela criada
	4.4 – Fotografar os resultados (<i>Level Generator</i> + <i>Level Detector</i>) dos testes relacionados a linhas diferentes (em relação às anteriores) da tabela verdade. Não esqueça de identificar na fotos as variáveis A, B e C no <i>Level Generator</i> do Kit.
	Linha (A =, B =, C =, Y =)
	Linha (A =, B =, C =, Y =)



Linha	_ (A	_,	_,					
					`			
Linha	_ (A =	_, B =	_, C =	_, Y =	_)			
Linha	_ (A =	_, B =	_, C =	, Y =	_)			
Linha	(A =	_, B =	_, C =	, Y =	_)			
Linha	_ (A =	_, B =	_, C =	_, Y =	_)			
Linha	_ (A =	_, B =	_, C =	, Y =	_)			
Linha	_ (A =	_, B =	_, C =	_, Y =	_)			
Linha	_ (A =	_, B =	_, C =	_, Y =	_)			

4 – CONCLUSÕES: